

基于 ANSYS 的信号和电源 完整性设计与分析

周润景 姜 攀 编著

電子工業出版社·

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书主要介绍信号完整性和电源完整性的基础理论和设计方法,并结合实例,详细介绍了如何在ANSYS仿真平台完成相关仿真,并分析结果。同时,在常见的数字信号高速电路设计方面,本书详细介绍了高速并行总线DDR3和高速串行总线PCIE、SFP+传输的特点,以及运用ANSYS仿真平台的分析流程和方法。

本书特点是理论和实例相结合,并且基于ANSYS 15.0的SIwave、HFSS、Designer仿真平台,使读者可以在软件的实际操作过程中,理解高速电路设计理念,熟悉仿真工具和分析流程,发现相关的问题,并运用类似的设计、仿真方法去解决。

本书适合从事芯片、封装、PCB设计及数字电路硬件设计的工程技术人员阅读使用,也可作为高等学校相关专业的教学用书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有,侵权必究。

图书在版编目(CIP)数据

基于ANSYS的信号和电源完整性设计与分析/周润景,姜攀编著. —北京:电子工业出版社,2017.1

ISBN 978-7-121-30495-8

I. ①基… II. ①周… ②姜… III. ①有限元分析-应用软件 IV. ①O241.82

中国版本图书馆CIP数据核字(2016)第288209号

策划编辑:张剑(zhang@phei.com.cn)

责任编辑:靳平

印 刷:

装 订:

出版发行:电子工业出版社

北京市海淀区万寿路173信箱 邮编 100036

开 本:787×1092 1/16 印张:15.75 字数:403.2千字

版 次:2017年1月第1版

印 次:2017年1月第1次印刷

定 价:49.00元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010)88254888,88258888。

质量投诉请发邮件至zltz@phei.com.cn,盗版侵权举报请发邮件至dbqq@phei.com.cn。

本书咨询联系方式:zhang@phei.com.cn。

前 言

目前, PCB 系统中最典型的电性能分析主要包括信号完整性 (Signal Integrity, SI)、电源完整性 (Power Integrity, PI) 和电磁兼容 (Electro Magnetic Compatibility, EMC) 三大方向, 越来越多的人和公司开始逐渐意识到高速设计对 PCB 和系统设计带来的挑战。伴随着集成电子电路的工作频率和集成化程度的不断提高, PCB 布局布线越来越密集, 信号之间的影响也越来越大, 通过仿真手段在 PCB 设计阶段就对潜在的 SI/PI/EMI 问题进行控制, 可以降低研发成本与缩短产品开发时间。不管是在国外还是在国内, 在半导体、芯片封装、计算机、通信、消费电子、航空航天和国防等各个领域, 人们对 SI、PI 和 EMI 的设计流程和分析验证都显得格外重视。

基于以上的认识, 我们对本书各章节做了相应的安排。本书具有如下 3 个特点。

- ⑤ 理论与软件操作相结合: 将信号完整性及电源完整性理论分析与 ANSYS 的信号完整性工具及电源完整性工具相结合, 对高速电路设计中存在的信号完整性问题和电源完整性问题进行了分析和研究, 并提出了相应的解决方法。
- ⑤ 与设计实例相结合: 本书结合了 Altera 公司的 Stratix GX 开发板、DDR 板卡与 Stratix GX 开发板的互连系统、PCI-E 板卡等设计实例, 对其中的信号完整性和电源完整性问题进行了分析与研究, 使读者在掌握理论与软件操作的同时, 最终将其应用到实际设计中。
- ⑤ 系统性与独立性: 本书基本上涵盖了高速电路板设计中信号完整性、电源完整性及电磁兼容的基本问题, 读者既可以把本书作为教材来系统性地学习, 也可以当作工具书有针对性地阅读其中的某一章或某几章, 从而适合不同层次、不同水平的读者进行阅读。

本文所采用的 ANSYS 电子自动化设计 (EDA) 软件, 提供业界唯一完整的系统、电路和电磁场全集成化设计平台, 完成从部件设计、电路仿真优化到系统仿真验证的全过程, 并在高频和低频电磁场仿真、时域/频域非线性电路仿真、机电一体化设计技术等方面始终处于领导地位, 广泛应用于各类高性能电子设备的设计。本书所采用的软件工具如下。

- ⑤ HFSS: 3 维高频结构全波电磁场仿真, 对高速信号通道中的 PCB、过孔、封装、连接器、电缆等进行精确的全波仿真、设计与建模, 仿真机箱/机柜的屏蔽效能、谐振特性和 PCB 系统的辐射特性。
- ⑤ SIwave: PCB 和封装信号完整性/电源完整性、EMI/EMC 设计仿真工具, 采用有限元法直接仿真复杂的 PCB 结构, 得到 PCB 电源/地平面的谐振特性、完备的信号线传输模型、供电阻抗、直流压降、近场和远场辐射等特性。
- ⑤ Designer: 高速系统设计和仿真环境, 可以动态链接和直接调用 3 维电磁场仿真、PCB 电磁场仿真、电路仿真及测试数据, 进行高速信号通道和 PCB 工作特性仿真。

本书主要分为信号完整性分析、电源完整性分析、电磁兼容三大部分, 每部分又可分为基础理论与软件操作。本书共 8 章, 其中第 4 章由贾雯进行验证并编写, 第 5 章由托亚进行

验证并编写，第 7 章由姜攀进行验证并编写，其余各章由周润景编写，全书由周润景统稿。参加本书编写的还有王洪艳、蒋诗俊、李志、刘艳珍、刘白灵、韩亦佷、刘晓霞、张大山、何茹、张晨、樊宇。

本书的出版得到了电子工业出版社张剑先生的大力支持，也有很多读者提出了宝贵的意见，在此一并表示感谢！

本书得到国家自然科学基金的支持（高速数字系统的信号与电源完整性联合分析及优化设计，项目批准号：61161001，2012.1—2015.12），在此表示感谢！

本书对于高速电路设计人员及相关专业的教师、学生具有很好的使用价值与参考意义，并对提高我国高速电路的设计水平发挥积极的作用。由于 ANSYS 公司的仿真工具功能非常强大，不可能通过一本书完成全部内容的详尽介绍，加上时间与水平有限，不妥之处还望各位读者指正。

编著者

目 录

第 1 章 信号完整性	1
1.1 信号完整性的要求及问题的产生	1
1.2 信号完整性问题的分类	2
1.3 传输线基础理论	3
1.4 端接电阻匹配方式	8
1.5 仿真模型	12
1.6 S 参数	27
1.7 电磁场求解方法	29
第 2 章 HDMI 的仿真与测试	33
2.1 HDMI 简介	33
2.2 HDMI 信号完整性前仿真分析	34
2.3 HDMI 信号完整性后仿真分析	35
2.3.1 切割 TMDS 差分线	35
2.3.2 频域分析	39
2.3.3 时域分析	47
2.3.4 差分对匹配	58
2.3.5 实测对比	60
2.4 本章小结	61
第 3 章 PCIE 的仿真与测试	62
3.1 PCIE 简介	62
3.2 SIwave 提取传输线 S 参数	63
3.3 差分对建模仿真分析	68
3.4 在 Designer 中联合仿真	80
3.5 PCIE 的仿真与实测对比	86
3.6 本章小结	87
第 4 章 SFP + 高速通道的仿真与测试	88
4.1 SFP + 简介	88
4.2 SFP + 通道仿真	89
4.3 系统级频域 S 参数仿真	97
4.3.1 添加 S 参数模型	98
4.3.2 添加频率扫描	99
4.3.3 查看仿真结果	101
4.4 TDR 仿真	102
4.4.1 添加参数模型	103

4.4.2	建立瞬态分析	104
4.4.3	创建结果报告	105
4.5	时域眼图仿真	106
4.5.1	输入 AMI 模型	107
4.5.2	设置 AMI 模型	109
4.5.3	仿真设置	109
4.5.4	查看眼图	111
4.5.5	添加眼罩	113
4.6	SFP + 通道实际测试	116
4.7	本章小结	118
第 5 章	并行通道 DDR3 的仿真与分析	119
5.1	DDR3 简介	119
5.2	使用 SIwave 提取 DDR3 数据组	119
5.3	基于 Designer 的 SI 仿真	123
5.3.1	新建工程	123
5.3.2	选择元器件	123
5.3.3	运行分析	125
5.4	DDR3 的 SI + PI 仿真	126
5.4.1	眼图分析	126
5.4.2	SSN 分析	127
5.4.3	选取更多频率点的分析	129
5.5	IR drop 仿真	129
5.5.1	SIwave IR 压降检查	130
5.5.2	IR 压降仿真	131
5.6	2.5 维、3 维模型在信号完整性中的对比分析	133
5.7	本章总结	144
第 6 章	电源完整性问题	145
6.1	电源完整性概述	145
6.2	电源噪声形成机理及危害	145
6.3	VRM 模块	146
6.4	电容去耦原理	148
6.4.1	从储能角度来理解	148
6.4.2	从阻抗角度来理解	148
6.5	PDS 阻抗分析	149
6.5.1	PDS 简介	149
6.5.2	PCB PDS 仿真	151
6.6	PCB 谐振仿真	156
6.6.1	谐振简介	156
6.6.2	PCB 谐振仿真	157
6.6.3	去耦电容容值估算	161

6.6.4 两种去耦电容配置方法	162
6.6.5 PCB 谐振优化	162
6.7 传导干扰和电压噪声测量	165
6.8 直流压降分析	169
6.9 串行通道的 SSN 分析	174
6.10 DDR3 的同步开关噪声分析	185
6.10.1 “Stratix IV GX FPGA Development Board” 电路板简介	185
6.10.2 SIwave 提取传输线 S 参数	186
6.10.3 在 Designer 中进行 DDR 的 SSN 分析	192
6.11 本章小结	199
第 7 章 辐射分析	200
7.1 电磁兼容概述	200
7.2 电磁兼容相关标准	201
7.3 电磁干扰方式	202
7.3.1 差模辐射	204
7.3.2 共模辐射	206
7.4 辐射仿真与分析	207
7.5 本章小结	218
第 8 章 信号完整性问题的场路协同仿真	219
8.1 SMA 串行通道仿真	219
8.1.1 Stratix V GX 信号完整性开发板简介	219
8.1.2 从 Cadence 导入 SIwave	221
8.1.3 在 SIwave 中进行 SMA 通道仿真	221
8.2 SMA 建模	227
8.2.1 PCB 的切割	227
8.2.2 建立基座和同轴线缆	228
8.2.3 添加 Wave Port	230
8.2.4 仿真设置	231
8.2.5 查看仿真结果	231
8.3 Designer 对整个高速互连通道进行系统级仿真	232
8.3.1 导入参数模型	232
8.3.2 设置仿真参数和查看仿真结果	233
8.3.3 TDR 仿真	236
8.3.4 时域眼图分析	238
8.4 本章小结	241
参考文献	242

第 1 章 信号完整性

广义上讲，信号完整性 SI (Signal Integrity) 是指信号在信号传输过程中能够保持信号时域和频域特性的能力，即信号在电路中能以正确的时序、幅值及相位等做出响应。如果每个信号都是完整的，那么由这些完整的信号组成的系统，也同样具有很好的完整性。

若电路中信号能够以要求的时序和电压幅度从源端传送到接收端，就表明该电路具有较好的信号完整性。否则，若信号不能正确地响应时，就出现了信号完整性问题。

信号完整性具有以下两个基本条件。

☺ 空间完整性 (信号幅值完整性): 满足电路的最小输入高电平和最大输入低电平要求。

☺ 时间完整性: 电路的最小建立和维持时间。

1.1 信号完整性的要求及问题的产生

信号完整性问题如果未能得到妥善解决将会导致信号失真，而失真后的不正确数据信号、地址信号和控制线信号将会引起系统错误工作，甚至直接导致系统崩溃。因此，信号完整性问题已成为高速产品设计中值得注意的问题。

信号完整性最原始的含义应该是：信号保持其应该具有的波形，即得到良好的保证而不产生畸变。很多因素都会导致信号波形的畸变，如果畸变较小，对于电路的功能不会产生影响，可是如果畸变很大，电路应有的功能就将会受损甚至被破坏。那么这里又会出现另一个问题，波形畸变多大，会对电路板功能产生影响。这就是信号完整性的要求问题。而这个要求，和具体应用及电路板的其他电气指标有关，并没有确定统一的指标。

1. 信号完整性的要求

系统频率 (芯片内部时钟源及外部时钟源)、电磁干扰、电源纹波、数字器件开关噪声、系统热噪声等都会对信号产生影响。

从信号完整的两个基本条件可以得出信号完整性的要求。信号完整性的要求也要从这两个方面——时间和空间，反映到实际的信号上，就是信号的幅值高低和频率相位。

对于数字信号而言，对畸变的兼容性相对较大。能有多大的兼容性，还要考虑电路板上的电源系统供电电压波纹、系统的噪声余量、所用器件对于信号建立时间和保持时间的要求等。而对于模拟信号，相对比较敏感，可容忍的畸变相对较小，至于能容忍多大的畸变，和系统噪声、器件非线性特性、电源质量等有关。

2. 信号完整性问题产生的原因

信号完整性问题的真正起因是不断缩减的信号上升与下降时间。一般来说，当信号跳变比较慢即信号的上升和下降时间比较长时，PCB 中的布线可以建模成具有一定数量延时的

理想导线而确保有相当高的精度。此时，对于功能分析来说，所有连线延时都可以集总在驱动器的输出端，于是，通过不同连线连接到该驱动器输出端的所有接收器的输入端，在同一时刻观察都可得到相同波形。

然而，随着信号变化的加快，信号上升时间和下降时间缩短，电路板上的每一个线段由理想的导线转变为复杂的传输线。此时信号连线的延时不能再以集总参数模型的方式建模在驱动器的输出端，同一个驱动器以信号驱动一个复杂的 PCB 连线时，电学上连接在一起的每一个接收器上接收到的信号就不再相同。从实践经验中得知，一旦传输线的长度大于驱动器上升时间或者下降时间对应的有效长度的 $1/6$ ，传输线效应就会出来，即出现信号完整性问题，包括反射、上冲和下冲、振荡和环绕振荡、地电平面反弹和回流噪声、串扰和延迟等。

1.2 信号完整性问题的分类

信号完整性问题可以分为以下四类。

- ☺ Single Trace Signal Integrity：单根传输线的信号完整性问题——反射效应。
- ☺ Crosstalk：相邻传输线之间的信号串扰问题——串扰效应。
- ☺ PI Related：与电源和地分布相关的问题——轨道塌陷。
- ☺ EMI：电磁干扰和辐射问题——电磁干扰。

这四类解决方案是按照层次逐级递进的。也就是说，在实施信号完整性解决方案时，要按照上述的分类顺序依次解决好问题，然后再解决下一个层次的问题，显然，上述观点涉及的其实已经是广义的信号完整性了，它融合 SI、PI、EMI 为一体。在实际应用中，SI、PI、EMI 经常由不同的工程师负责，这个时候就要协同合作，做出相对完美的产品。

在实际工作中，信号完整性问题的根源大部分都是反射和串扰。在所有的单个网络信号完整性问题中，几乎所有的问题都来源于信号传输路径上的阻抗不连续所导致的反射，反射是指传输线上存在回波，驱动器输出信号（电压/电流）的一部分经传输线到达负载端的接收器；由于不匹配，一部分被反射回源端驱动器，在传输线上形成振铃。而串扰是指两个不同互联网之间引起的干扰和噪声。

1. 反射

源端与负载端阻抗不匹配会引起线上反射，负载将一部分电压反射回源端。如果负载阻抗小于源阻抗，反射电压为负，反之，如果负载阻抗大于源阻抗，反射电压为正。布线的几何形状、不正确的线端接、经过连接器的传输及电源平面的不连续等因素的变化均会导致此类反射。

在实际工作中，很多硬件工程师都会在时钟输出信号上串接一个小电阻，这个小电阻的作用就是为了解决信号反射问题。而且随着电阻的加大，振铃会消失，但信号上升沿不再那么陡峭了。这个解决方法叫阻抗匹配，一定要注意阻抗匹配，阻抗在信号完整性问题中占据着极其重要的地位。

2. 串扰

我们在实验中经常发现，有时对于某根信号线，从功能上来说并没有输出信号，但测量

时,会有幅度很小的规则波形,就像有信号输出。这时如果测量一下与它邻近的信号线,则会发现某种相似的规律,如果两根信号线靠得很近的话,通常会出现这种现象,这就是串扰。

当然,被串扰影响的信号线上的波形不一定和邻近信号波形相似,也不一定有明显的规律,更多的是表现为噪声形式。串扰在当今的高密度电路板中一直是个让人头疼的问题,由于布线空间小,信号必然靠得很近,所以只能控制但无法消除。对于受到串扰影响的信号线,邻近信号的干扰对它来说就相当于噪声。串扰大小和电路板上的很多因素有关,并不是仅仅因为两根信号线间的距离。当然,距离最容易控制,也是最常用的解决串扰的方法,但不是唯一方法。这也是很多工程师容易误解的地方。

串扰是由同一 PCB 上的两条信号线与地平面引起的,故也称为三线系统。串扰是两条信号线之间的耦合,信号线之间的互感和互容引起线上的噪声。容性耦合引发耦合电流,而感性耦合引发耦合电压。PCB 板层的参数、信号线间距、驱动端和接收端的电气特性及线端接方式对串扰都有一定的影响。

3. 轨道塌陷

噪声不仅存在于信号网络中,电源分配系统也存在。我们知道,电源和地之间电流流经路径上不可避免存在阻抗,除非电路板上的所有东西都变成超导体。那么,当电流变化时,不可避免产生压降,因此,真正送到芯片电源引脚上的电压会减小,有时减小得很厉害,就像电压突然产生了塌陷,这就是轨道塌陷。

轨道塌陷有时会产生致命的问题,很可能影响电路板的功能。高性能处理器集成的门数越来越多,开关速度也越来越快,在更短的时间内消耗更多的开关电流,可以容忍的噪声变得越来越大。但同时控制噪声越来越难,因为高性能处理器对电源系统的苛刻要求,构建更低阻抗的电源分配系统变得越来越困难,这里又一次涉及阻抗,理解阻抗是理解信号完整性问题的关键。

4. 电磁干扰

当板级时钟频率在 100 ~ 500MHz 范围内时,这一频段的前几次谐波在电视、调频广播、移动电话和个人通信服务(PCS)这些普通通信波段内,这就意味着电子产品极有可能干扰通信,所以这些电子产品的电磁辐射必须低于容许的程度。遗憾的是,如果不进行特殊设计,在较高频率时,电磁干扰会更严重。共模电流的辐射远场强度随着频率线性增加,而差分电流的辐射远场与频率的平方呈正比,随着时钟频率的提高,对辐射的要求必然也会提高。

电磁干扰问题有三个方面:噪声源、辐射传播路径和天线。前面提到的每个信号完整性问题的根源也是电磁干扰的根源。电磁干扰之所以这么复杂,是因为即使噪声远远低于信号完整性噪声预算,它也仍会达到足以引起严重的辐射。

1.3 传输线基础理论

1. 传输线

在高速电路中,传输线的特性会有别于低速系统,会相对复杂,也会更重要。在高速系

统中, 电路板上的导线称为传输线, 传输线与返回路径组成的回路等效为一系列的电容和电感的组合。传输线的特性是高速系统必须考虑的问题, 信号在传输线上的传输情况如 1.3.1 所示。

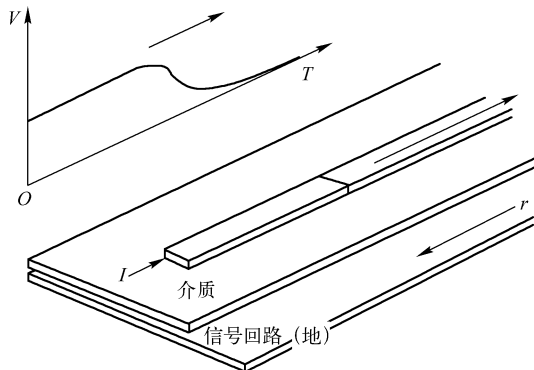


图 1.3.1 信号传播示意图

假设给信号线施加幅度为 1V 的电压信号, 则信号电压以约 6inch/ns (1/6 光速) 的速度向前传播, 在开始的 10ps 内, 信号向前行进 0.06inch, 这意味着一段 0.06inch 信号线与其回路间产生了 1V 的电压, 同时这段回路形成一个电容, 此时信号未到达的前段仍为 0V, 依此规律一直传播的过程就是传输线的信号传输过程。传输线由两个具有一定长度的导体构成, 且其中一个导体为信号传输的通道, 另一个导体为信号的返回通路, 一般为地。

在信号的传输过程中, 某一时刻信号遇到的瞬间阻抗称为特性阻抗, 如果整个传输线的瞬间阻抗都是一致的, 则将其称为受控阻抗传输线, 或者均匀传输线。

在进行高速 PCB 布线时, 须尽量使信号线成为均匀传输线, 这样信号就可以平稳地向前传播, 否则信号能量的一部分就会在阻抗变化处发生反射, 并可能形成振荡, 从而产生信号完整性问题。而在低速系统中, 由于有足够的时间使信号稳定下来, 所以不会有严重的后果。

2. 特性阻抗的计算

以前面的模型为例进行传输线特性阻抗的推导。令 Z 表示信号传递过程中每一步的阻抗; V 表示信号输入电压; ΔQ 表示每一步的电量; Δt 表示每一步的时间; C_L 表示传输线单位长度容量; v 表示信号传递速度。将上一段回路看作电源, 有

$$\Delta Q = \Delta C \times V \quad (1.3.1)$$

ΔC 表示前一段回路的等效电容, 则

$$\Delta C = C_L \times v \times \Delta t \quad (1.3.2)$$

综合以上各项, 可以得出特性阻抗:

$$Z = \frac{V}{I} = \frac{V}{\frac{\Delta Q}{\Delta t}} = \frac{V}{\Delta C \times \frac{V}{\Delta t}} = \frac{V}{C_L \times v \times \Delta t \times \frac{V}{\Delta t}} = \frac{1}{C_L \times v} \quad (1.3.3)$$

由上可知, 特性阻抗跟传输线单位长度电荷容量和信号传递速度有关。用 Z_0 代表特性阻抗为

$$Z_0 = \frac{1}{C_L \times v} \quad (1.3.4)$$

可见, 所有能够影响传输线单位长度电荷容量及信号传递速度的因素, 都将影响传输线的特性阻抗。在高速电路中, 这些因素就都是要重点考虑、仔细设计的。在实际电路设计中, 传输线阻抗的计算非常复杂, 这时就要借助 EDA 软件来自动计算了。

用另一种计算方法, 忽略一些因素以后, 传输线可以简化为如图 1.3.2 所示电路, 其中

L' 、 C' 是等效电路的容抗和感抗，则传输线的阻抗为

$$Z_0 = \sqrt{\frac{L'}{C'}} \quad (1.3.5)$$

信号的传输速度 (propagation time) (单位: ps/inch) 为

$$t_{po} = \sqrt{L'C'} \quad (1.3.6)$$

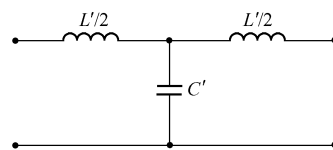


图 1.3.2 传输线等效电路

3. 传输线的分类

在电路板上，传输线一般分为两种，如图 1.3.3 所示，左图是带状线 (stripline)，右图是微带线 (microstrip)。

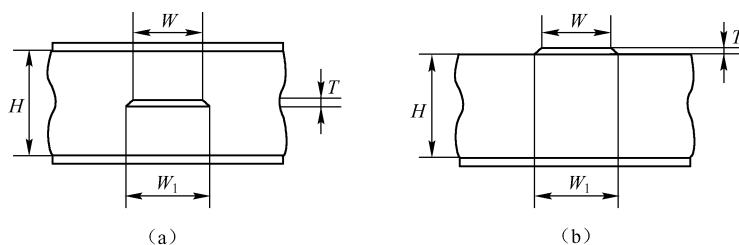


图 1.3.3 传输线的两种类型

带状线是指 PCB 内层的传输线，微带线是指 PCB 表层的传输线。微带线和带状线都是传输线的一种，它们都是均匀传输线。

微带线和带状线的阻抗及传输速度都可以通过软件计算出来。在总线设计中阻抗和信号的传输速度的计算要更加复杂。

4. 传输线效应

基于上述定义的传输线模型，归纳起来，传输线会对整个电路设计带来以下效应。

- ☺ 反射信号 (Reflected signals)。
- ☺ 延时和时序错误 (Delay & Timing errors)。
- ☺ 多次跨越逻辑电平门限错误 (False Switching)。
- ☺ 过冲与下冲 (Overshoot/Undershoot)。
- ☺ 串扰 (Crosstalk)。
- ☺ 电磁辐射 (EMI radiation)。

1) **反射信号** 如果一根布线没有被正确终结 (终端匹配)，那么来自于驱动端的信号脉冲在接收端将被反射，从而引发不可预期效应，使信号轮廓失真。当失真变形非常显著时，可导致多种错误发生，引起设计失败。同时，失真变形的信号对噪声的敏感性增加了，也会引起设计失败。如果上述情况没有被充分考虑，EMI 将显著增加，这就不单单影响自身设计结果，还会造成整个系统的失败。

反射信号产生的主要原因是过长的布线、未被匹配终结的传输线、过量电容或电感及阻抗失配。

2) **信号延时和时序错误** 信号延时和时序错误表现为信号在逻辑电平的高、低门限之间变化时，保持一段时间信号不跳变。过多的信号延时可能导致时序错误和元器件功能的混乱。通常在有多个接收端时会出现问题。电路设计者必须确定最坏情况下的时间延时，以确

保设计的正确性。信号延时产生的原因包括驱动过载和布线过长。

3) **多次跨越逻辑电平门限错误** 信号在跳变的过程中可能多次跨越逻辑电平门限,从而导致这一类型错误的发生。多次跨越逻辑电平门限错误是信号振荡的一种特殊形式,即信号的振荡发生在逻辑电平门限附近,多次跨越逻辑电平门限将导致逻辑功能紊乱。

4) **过冲与下冲** 布线过长或信号变化太快,可以导致过冲与下冲的发生。虽然大多数元器件接收端有输入保护二极管保护,但有时这些过冲电平会远远超过元器件电源电压范围,仍会导致元器件的损坏。

5) **串扰** 在一根信号线上有信号通过时,在 PCB 上与之相邻的信号线上就会感应出相关的信号,这种现象称为串扰。异步信号和时钟信号更容易产生串扰。解决串扰的方法是移开发生串扰的信号或屏蔽被严重干扰的信号。信号线距离地线越近,或者加大线间距,可以减少串扰的发生。

6) **电磁辐射** 电磁辐射有两个重要方面:电流流过导体会产生磁场,如图 1.3.4 所示;将导体放入磁场将会引起感应电流。这两方面符合右手定则。电流流过导体产生的磁场强度受导体形状影响,反之亦然。



图 1.3.4 电流流过导体会产生磁场

电磁干扰 (Electro - Magnetic Interference, EMI) 通常是指设计中不希望出现的电磁辐射。电磁干扰包括产生过量的电磁辐射和对电磁辐射的敏感性两个方面。EMI 表现为在数字系统由于处理周期和快速的时钟和转换率,致使系统加电运行时,会向周围环境辐射电磁波,从而使周围环境中正常工作的电子设备受到干扰,特别是模拟电路,由于其本身的高增益功能,成为易受影响的电路。EMI 产生的主要原因是电路工作频率太高及布局、布线不合理。目前已有进行 EMI 仿真的软件工具,但大都很昂贵,且仿真参数和边界条件设置又比较困难,直接影响了仿真结果的准确性和实用性。通常可在设计的每个环节,应用控制 EMI 的各项设计规则,以达到控制 EMI 的目的。

5. 避免传输线效应的方法

针对传输线问题所引入的影响,可以从以下 5 个方面控制这些影响。

1) **严格控制关键网线的布线长度** 如果设计中有高速跳变沿存在,就必须考虑在 PCB 上存在传输线效应的问题。特别是现在普遍使用的很高时钟频率的快速集成电路芯片更是存在这样的问题。解决这个问题有一些基本原则,即如果采用 CMOS 或 TTL 电路进行设计,工作频率小于 10MHz 时,布线长度应不大于 7in;工作频率在 50MHz 时,布线长度应不大

于 1.5in；如果工作频率达到或超过 75MHz 时，布线长度应在 1in 以内。如果超过上述标准，就存在传输线效应的问题。

2) **合理规划布线的拓扑结构** 选择正确的布线路径和终端拓扑结构是解决传输线效应问题的方法。布线的拓扑结构是指一根网线的布线顺序及布线结构。当使用高速逻辑器件时，除非布线分支长度很短，否则快速边沿变化的信号将被信号主干布线上的分支布线所扭曲。通常，PCB 布线采用两种基本拓扑结构，即菊花链（daisy chain）布线和星形（star）布线。

菊花链布线，即布线从驱动端开始，依次到达各接收端。如果使用串联电阻来改变信号特性，串联电阻应该紧靠驱动端。菊花链布线在控制布线的高次谐波干扰方面效果最好。但这种布线方式布通率最低，不容易实现 100% 布通。在实际设计中，可以使菊花链布线中的分支长度尽可能短。

星形布线可以有效地避免时钟信号的不同步问题，但在密度很高的 PCB 上手工完成布线将变得十分困难。使用自动布线器是完成星形布线的最好方法。星形拓扑结构中，每条分支上都需要终端电阻，其阻值应和连线的特征阻抗相匹配。特征阻抗值和终端匹配电阻值可以通过手工计算得出，也可通过 CAD 工具计算得到。在实际设计中，可使用如下方法选择终端匹配。

- ☺ RC 匹配终端：这种方式可以减少功率消耗，但只能在信号工作比较稳定的情况下使用，最适合于对时钟信号线进行匹配处理。这种方法的缺点是 RC 匹配终端中的电容可能影响信号的形状和传播速度。
- ☺ 串联电阻匹配：这种方式不会产生额外的功率消耗，但会减慢信号的传输，可用于时间延迟影响不大的总线驱动电路，可以减少 PCB 上元器件的使用数量和连线密度。
- ☺ 分离匹配终端：这种方式需要匹配元器件放置在接收端附近，其优点是不会拉低信号，并且可以很好地避免噪声，常用于 TTL 输入信号，如 ACT、HCT、FAST 等。

此外，对于终端匹配电阻的封装形式和安装方式也必须加以考虑。通常，SMD 表面贴装电阻比 DIP 封装电阻具有较低的电感，所以 SMD 封装电阻成为首选。如果选择 DIP 封装电阻，也有两种安装方式可选，即垂直方式和水平方式。在垂直安装方式中，DIP 封装电阻的一条安装引脚很短，可以减少电阻和 PCB 间的热阻，使电阻的热量更加容易散发到空气中。但较长的垂直安装会增加电阻的电感。水平安装方式因安装较低而具有较低的电感，但过热的 DIP 封装电阻会产生漂移，在最坏的情况下，DIP 封装电阻可能成为开路，造成 PCB 布线终端匹配失效，从而成为潜在的失败因素。

3) **抑止电磁干扰的方法** 较好地解决信号完整性问题，可以改善 PCB 的电磁兼容性 (EMC)。其中，保证 PCB 有良好的接地是非常重要的。对于复杂的设计，采用一个信号层配一个地线层是十分有效的方法，多层板中的顶层和底层的地平面至少能降低辐射 10dB。另外，降低 PCB 的最外层信号的密度，也是减少电磁辐射的好方法，这可采用“表面积层”技术“Build-up”设计制作 PCB 来实现。表面积层是通过在普通工艺的 PCB 上增加薄绝缘层和用于贯穿这些层的微孔的组合来实现的，电阻和电容可埋在表层下，单位面积上的布线密度会增加近一倍，因而可降低 PCB 的面积。PCB 面积的缩小对布线的拓扑结构有着巨大的影响，这意味着缩小电流回路和分支布线长度，而电磁辐射电流回路的面积近似呈正比。同时，缩小 PCB 面积意味着应使用高密度引脚封装器件，这又使得连线长度进一步缩短，从而使电流回路减小，提高了电磁兼容特性。此外，还有一些其他的技术：在对 PCB 的元

器件进行布局时，将模拟系统和数字系统尽量分开；适当的使用去耦电容降低供电/地噪声，从而降低 EMI；让信号的传输线尽量远离 PCB 边缘；避免在 PCB 上布直角信号传输线；了解在基本频率和由反射而引起的谐波频率上的 PCB 布线响应等方法。

4) **电源去耦技术** 为减小集成电路芯片上电源电压的瞬时过冲，应添加去耦电容。添加去耦电容可以有效去除电源上的毛刺的影响，并减少在 PCB 上的电源环路的辐射。为了获得平滑毛刺的最佳效果，去耦电容应直接连接在 IC 的电源引脚上，而不是仅连接在电源层上。有一些器件插座上带有去耦电容，而有的器件则要求去耦电容距器件的距离要足够小。任何高速和高功耗的元器件应尽量放置在一起，以减少电源电压瞬时过冲。如果没有电源层，那么较长的电源连线将在信号和回路之间形成环路，从而成为辐射源和易感应电路。布线构成一个不穿过同一网线或其他布线环路的情况称为开环，否则将构成闭环。这两种情况都会形成天线效应（线天线和环形天线）。天线对外产生 EMI 辐射，同时自身也成为敏感电路。闭环产生的辐射与闭环面积近似呈正比。

高速电路设计是一个非常复杂的设计过程，有诸多因素要加以考虑。这些因素有时互相对立。例如，高速器件布局时，位置靠近虽可以减少延时，但可能产生串扰和显著的热效应。因此在设计时应权衡各种因素，做出全面的折中考虑，既满足设计要求，又降低设计复杂度。

5) **端接技术** 使用欧姆定律减少在驱动端和传输线负载端的阻抗不匹配。驱动端的阻抗一般小于 50Ω ，可以在驱动端上串联电阻来提高阻抗，使其与传输线匹配，这种技术称为“串行端接”；负载阻抗通常远大于 50Ω ，可以在负载端并联电阻来降低阻抗，使其与传输线匹配，这种技术称为“并行端接”。这两种方法都有各自的优缺点，结合起来比较有效。

图 1.3.5 所示的并行端接中，负载端的并联电阻能够有效工作，但也有如下缺点。

- ③ 增加驱动电流从而增加电源损耗。
- ③ 增加串扰，增加 EMI。
- ③ 增加地反弹或供电噪声（取决于并联电阻上拉或下拉）。

图 1.3.6 所示的串行端接中，驱动端的串联电阻能减少损耗，但驱动器的阻抗呈现了非线性，而且会损失很多进入传输线的能量。

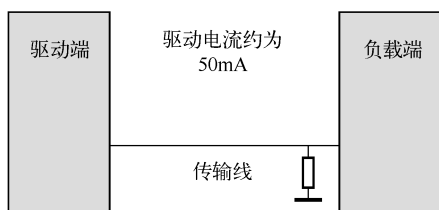


图 1.3.5 并行端接

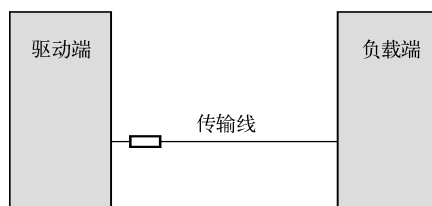


图 1.3.6 串行端接

1.4 端接电阻匹配方式

匹配阻抗的端接有多种方式，包括并联终端匹配、串联终端匹配、戴维南终端匹配、AC 终端匹配、肖特基二极管终端匹配。

1. 并联终端匹配

并联终端匹配是最简单的终端匹配技术：通过一个电阻将传输线的末端接到地或者接到

V_{CC} 上。电阻 R 的值必须同传输线的特征阻抗 Z_0 匹配,以消除信号的反射。如果 R 同传输线的特征阻抗 Z_0 匹配,不论匹配电压的值如何,终端匹配电阻将吸收形成信号反射的能量。终端匹配到 V_{CC} ,可以提高驱动器电源的驱动能力,而终端匹配到地,则可以提高电流的吸收能力。

并联终端匹配技术突出的优点就是这种类型终端匹配技术的设计和应用简便易行,在这种终端匹配技术中仅需要一个额外的元器件,如图 1.4.1 所示;这种技术的缺点在于终端匹配电阻会带来直流功率消耗。另外,并联终端匹配技术也会使信号的逻辑高输出电平的情况退化。将 TTL 输出终端匹配到地会降低 V_{OH} 的电平值,从而降低了接收器输入端对噪声的“免疫”能力。

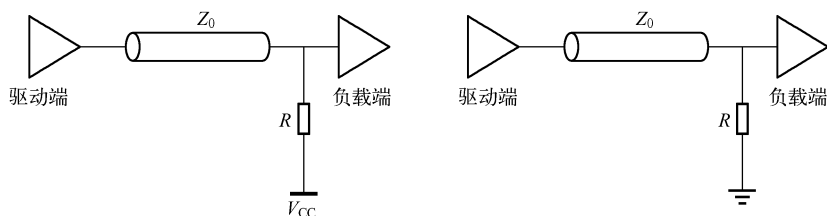


图 1.4.1 并联终端匹配

2. 串联终端匹配

串联终端匹配技术,又称为后端终端匹配技术,不同于其他类型的终端匹配技术,是源端的终端匹配技术。串联终端匹配技术是在驱动器输出端和信号线之间串联一个电阻,如图 1.4.2 所示。驱动器输出阻抗 R_0 及电阻 R 值的和必须同信号线的特征阻抗 Z_0 匹配。对于这种类型的终端匹配技术,由于信号会在传输线、串联匹配电阻及驱动器的阻抗之间实现信号电压的分配,因而加在信号线上的电压实际只有信号电压的一半。

而在接收端,由于信号线阻抗和接收器阻抗的不匹配,通常情况下,接收器的输入阻抗更高,因而会导致大约同样幅度值的信号反射,称为附加的信号波形。因而接收器会马上看到全部的信号电压(附加信号和反射信号之和),而附加的信号电压会向驱动端传递。然而不会出现进一步的信号反射,这是因为串联的匹配电阻在接收器端实现了反射信号的终端匹配。

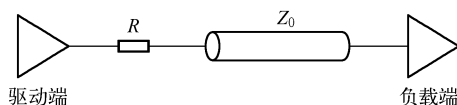


图 1.4.2 串联终端匹配

串联终端匹配技术的优点是这种匹配技术仅仅为系统中的每一个驱动器增加一个电阻元件,而且相对于其他的电阻类型终端匹配技术来说,串联终端匹配技术中匹配电阻的功耗是最小的,而且串联终端匹配技术不会给驱动器增加任何额外的直流负载,也不会在线路与地之间引入额外的阻抗。

由于许多的驱动器都是非线性的驱动器,驱动器的输出阻抗随着器件逻辑状态的变化而变化,从而导致串联匹配电阻的合理选择更加复杂。所以,很难应用某一个简单的设计公式为串联匹配电阻来选择一个最合适的值。

3. 戴维南终端匹配

戴维南终端匹配技术,又称为双电阻终端匹配技术,采用两个电阻来实现终端匹配,如

图 1.4.3 所示, R_1 和 R_2 的并联组合要求同信号线的特征阻抗 Z_0 匹配。 R_1 的作用是帮助驱动器更加容易地到达逻辑高状态, 这通过从 V_{CC} 向负载注入电流来实现。与此相类似, R_2 的作用是帮助驱动器更加容易地到达逻辑低状态, 这通过 R_2 向地释放电流来实现。

戴维南终端匹配技术的优势在于在这种匹配方式下, 终端匹配电阻同时还作为上拉电阻和下拉电阻来使用, 因而提高了系统的噪声容限。戴维南终端匹配技术同样通过向负载提供额外的电流, 从而有效地减轻了驱动器的负担。这种终端匹配技术还能够有效地抑制信号过冲。

戴维南终端匹配的一个缺点就是无论逻辑状态是高还是低, 在 V_{CC} 到地之间都会有一个常量的直流电流存在, 因而会导致终端匹配电阻中有静态的直流功耗。这种终端匹配技术同样也要求两个匹配电阻之间存在一定的比例关系, 同时也存在额外的到电源和地的线路连接。负载电容和电阻 (Z_0 、 R_1 和 R_2 的并联组合) 会对信号的上升时间产生影响, 提升驱动器的输出电压。

4. AC 终端匹配

AC 终端匹配技术, 又称为 RC 终端匹配技术, 由一个电阻和一个电容组成, 电阻和电容连接在传输线的负载一端, 如图 1.4.4 所示。电阻 R 的值必须同传输线的特征阻抗 Z_0 的值匹配才能消除信号的反射, 电容值的选择却十分复杂, 这是因为电容值太小会导致 RC 时间常数过小, 这样一来该 RC 电路就类似于一个尖锐信号沿发生器, 从而引入信号的过冲与下冲; 另一方面, 较大的电容值会带来更大的功率消耗。通常情况下, 要确保 RC 时间常数大于该传输线负载延时的两倍。终端匹配元器件上的功率消耗是频率、信号占空比及过去数据位模式的函数。所有这些因素都将影响终端匹配电容的充电和放电特性, 从而影响功率消耗。

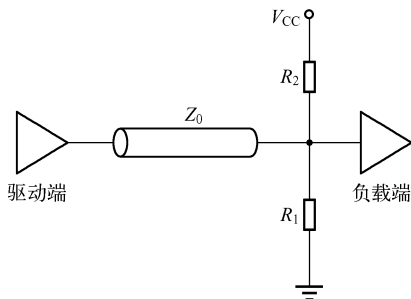


图 1.4.3 戴维南终端匹配

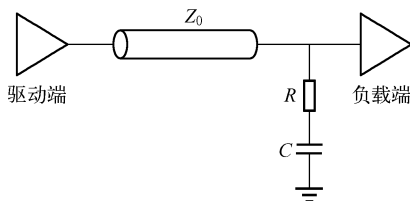


图 1.4.4 AC 终端匹配

AC 终端匹配技术的优势在于终端匹配电容阻隔了直流通路, 因此节省了可观的功率消耗, 同时恰当地选取匹配电容的值, 可以确保负载端的信号波形接近理想的方波, 同时信号的过冲与下冲又都很小。

AC 终端匹配技术的一个缺点是信号线上的数据可能出现时间上的抖动, 这主要取决于在此之前的数据位模式。举例来说, 一个较长的类似的位串数据会导致信号传输线和电容充电到驱动器的最高输出电平值。然后, 如果紧接着的是一个相位相反的数据位就需要花比正常情况更长的时间来确保信号跨越接收器逻辑阈值电平, 这是因为接收器端的电压起自一个很高的电位。

5. 肖特基二极管终端匹配

肖特基二极管终端匹配技术, 又称为二极管终端匹配技术, 由两个肖特基二极管组成,

如图 1.4.5 所示。传输线末端任何的信号反射，如果导致接收器输入端上的电压超过 V_{CC} 和二极管的正向偏置电压，该二极管就会正向导通连接到 V_{CC} 上。该二极管的导通将信号的过冲钳位到 V_{CC} 和二极管的阈值电压的和上。

同样连接到地上的二极管也可以将信号的下冲限制在二极管的正向偏置电压上。然而该二极管不会吸收任何的能量，而仅仅只是将能量导向电源或地。这种工作方式的结果是，传输线上就会出现多次的信号反射。信号的反射会逐渐衰减，主要是因为能量会通过二极管在电源和地之间实现能量的交换，以及传输线上的电阻性损耗。能量的损耗限制了信号反射的幅度，确保信号的完整性。

不同于传统的终端匹配技术，二极管终端匹配技术的一个优势就是肖特基二极管终端匹配无须考虑真正意义上的匹配。所以，当传输线的特征阻抗 Z_0 不清楚时，比较适合采用这种终端匹配技术。同时，在肖特基二极管上的动态导通电阻上消耗的功率远远小于任何电阻类型终端匹配技术的功率消耗。事实上，反射功率的一部分会通过正向偏置的二极管反馈回到 V_{CC} 或地，同样也可以在传输线上任何可能引发信号反射的位置加入肖特基二极管。二极管终端匹配技术的缺点是多次信号反射的存在可能会影响后续信号的行为。

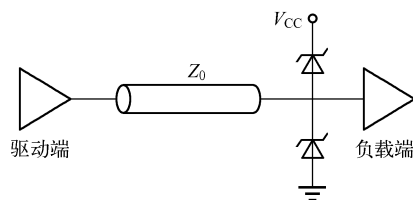


图 1.4.5 肖特基二极管终端匹配

6. 多负载的端接

在实际电路中常常会遇到单一驱动源驱动多个负载的情况，这时要根据负载情况及电路的布线拓扑结构来确定端接方式和使用端接的数量。一般情况下可以考虑以下两种方案。

如果多个负载之间的距离较近，可通过一条传输线与驱动端连接，负载都位于这条传输线的终端，这时只需要一个端接电路。如采用串行端接，则在传输线源端按照阻抗匹配原则加入一串行电阻即可；如采用并行端接（以简单并行端接为例），则端接应置于离源端距离最近的负载处，同时线网的拓扑结构应优先采用菊花链的连接方式，如图 1.4.6 所示。

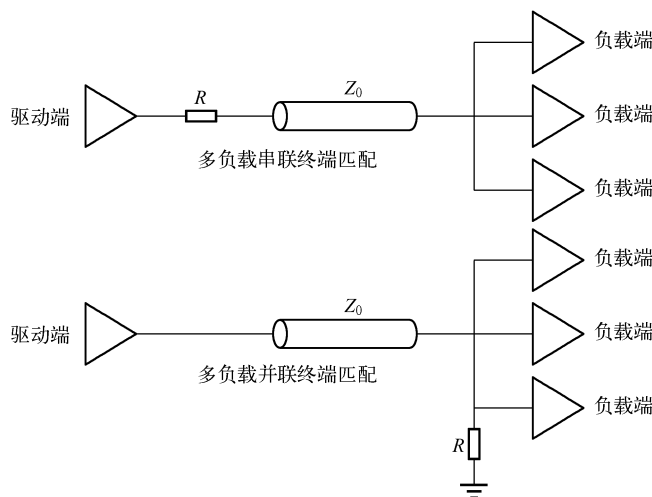


图 1.4.6 菊花链的连接方式

如果多个负载之间的距离较远,就要通过多条传输线与驱动端连接,这时每个负载都需要一个端接电路。如采用串行端接,则在传输线源端每条传输线上均加入一串行电阻;如采用并行端接(以简单并行端接为例),则应在每一负载处都进行端接。

1.5 仿真模型

1. IBIS 模型

在 IBIS 出现之前,人们用晶体管级的 SPICE 模型进行系统的仿真,这种方法有以下 3 方面的问题。

- ③ 结构化的 SPICE 模型只适用于元器件和网络较少的小规模系统仿真,借助这种方法设定系统的设计准则或对一条实际的网络进行最坏情况分析。
- ③ 得到元器件结构化的 SPICE 模型较困难,元器件生产厂不愿意提供包含其电路设计、制造工艺等信息的 SPICE 模型。
- ③ 各个商业版的 SPICE 软件彼此不兼容,一个供应商提供的 SPICE 模型可能在其他的 SPICE 仿真器上不能运行。

因此,人们需要一种被业界普遍接受的,不涉及元器件设计制造专有技术的,并能准确描述元器件电气特性的行为化的“黑盒”式的仿真模型。

1990 年年初,INTEL 公司为了满足 PCI 总线驱动的严格要求,在内部草拟了一种基于 LOTUS SPREAD - SHEET 的列表式模型,数据的准备和模型的可行性是主要问题。由于当时已经有了几个 EDA 厂商的标准存在,因此邀请了一些 EDA 供应商参与通用模型格式的确定。这样,IBIS 1.0 在 1993 年 6 月诞生。1993 年 8 月更新为 IBIS 1.1 版本,并被广泛接受。此时,旨在与技术发展要求同步和改善 IBIS 模型可行性的 IBIS 论坛 (IBIS OPEN FORUM) 成立,更多的 EDA 供应商、半导体商和用户加入 IBIS 论坛。由于他们的影响,1994 年 6 月在 V1.1 规范的基础上加入了很多扩展的技术后,出台了 IBIS V2.2 规范。1995 年 2 月,IBIS 论坛正式并入美国电子工业协会 EIA (Electronic Industries Association)。1995 年 12 月,IBIS 2.1 版成为美国工业标准 ANSI/EIA - 656。1997 年 6 月发布的 IBIS 3.0 版成为 IEC 62012 - 1 标准。1999 年 9 月通过的 IBIS 3.2 版为美国工业标准 ANSI/EIA - 656 - A。目前大量在使用中的模型为 IBIS 2.1、IBIS 3.2 版本。

1) **IBIS 模型与 SPICE 模型的特点** 进行板级仿真的关键在于模型的建立。在传统的电路设计中,SPICE 的模型作为电路级模型能够提供精确的结果,但是 SPICE 模型不能满足现在的仿真需求,SPICE 与 IBIS 模型的各自特点如下所述。

③ SPICE 模型:

- ◇ 电压/电流/电容等节点关系从元器件图形、材料特性得来,建立在低级数据的基础上。
- ◇ 每个 BUFFER 中的元器件分别被描述/仿真。
- ◇ 仿真速度太慢,适用于电路级的设计者。
- ◇ 包含了详细的芯片内部设计信息。

③ IBIS 模型:

- ◇ 电压/电流/时间等 BUFFER 的节点关系建立在 $V-I$ 或 $V-t$ 数据曲线上。
- ◇ 其中没有包括电路细节。

- ◇ 仿真速度快（是 SPICE 模型仿真的 25 倍），适用于系统设计者。
- ◇ 不包括芯片内部的设计信息。

2) **IBIS 模型的物理描述** IBIS 模型是以 I/O 缓冲器结构为基础的。I/O 缓冲器行为模块包括封装所带来的 RLC 寄生参数、硅片本身的寄生电容参数、电源或地的电平钳位保护电路、缓冲器特征（阈值电压、上升沿、下降沿、高电平和低电平状态）。图 1.5.1 所示为 IBIS 模型结构。

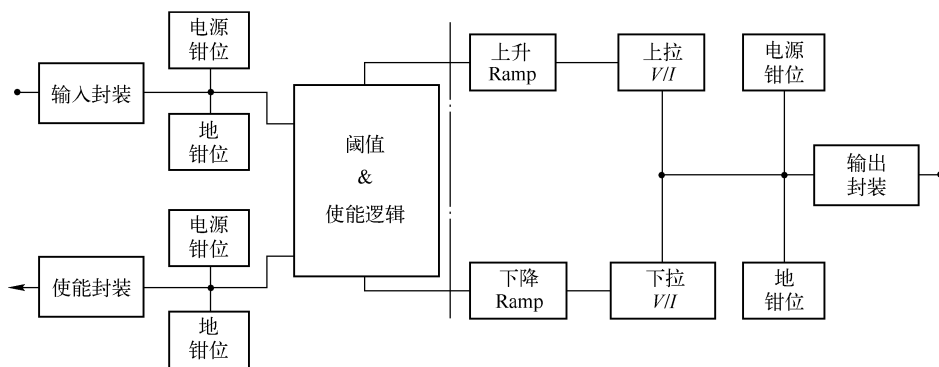


图 1.5.1 IBIS 模型结构

输入模型结构可以细化，如图 1.5.2 所示。

- ☺ C_{pkg} 、 R_{pkg} 、 L_{pkg} 为封装参数。
- ☺ C_{comp} 为硅片上引脚的压焊盘电容。
- ☺ Power_Clamp 为高端 ESD 结构的 $V-I$ 曲线。
- ☺ GND_Clamp 为低端 ESD 结构的 $V-I$ 曲线。

类似输入的模型，输出的模型结构也可以细化，如图 1.5.3 所示。

- ☺ 元素 1 为 Pullup、Pulldown，包含了高电平和低电平状态的上拉、下拉 $V-I$ 曲线。模拟缓冲单元被驱向低电平或高电平的 $V-I$ 特性。
- ☺ 元素 2 为 Ramp，包含了上升沿和下降沿的摆率 (dV/dt)，指的是输出电压从 20% ~ 80% 的电压输出幅度所用的时间。为了更加准确地描述上升沿和下降沿的过程，有上升沿和下降沿的 $V-t$ 曲线。
- ☺ 元素 3 为 Power/Gnd Clamp，包含了电源和地的钳位保护电路的 $V-I$ 特性。
- ☺ 元素 4 为 C_{comp} ，包含了硅片本身固有的寄生电容。
- ☺ 元素 5 为 RLC，代表封装的寄生参数特性，对元器件的所有引脚进行一个粗略的描述，可以进行进一步的详细描述。

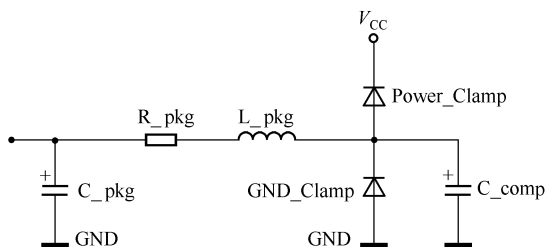


图 1.5.2 输入模型电路

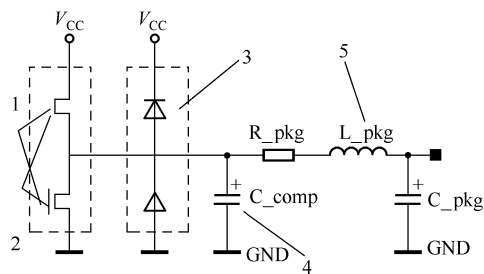


图 1.5.3 输出模型电路

元器件中只有 C_comp 的描述而没有 R_comp 的描述,这是因为硅片本身的寄生电阻影响已经包含在上、下拉电路和钳位保护电路的 $V-I$ 特性中了。

由此可以看出,IBIS 是一种基于全电路仿真或测试获得 $V-I$ 曲线而建立的快速、准确的行为化的电路仿真模型。它的仿真速度是 SPICE 模型仿真速度的 25 倍以上。人们可以根据标准化的模型格式建立这种模拟 IC 电气特性的模型,并可以通过模型验证程序验证模型格式的正确性。IBIS 模型几乎能被所有的模拟仿真器和 EDA 工具接受。由于来自测量或仿真数据,IBIS 模型较容易获得,IBIS 模型不涉及芯片的电路设计和制造工艺,芯片供应商也愿意为用户提供元器件的 IBIS 模型,所以 IBIS 模型被广泛应用于系统的信号完整性分析。

3) **建立 IBIS 模型** IBIS 模型可以通过仿真器件的 SPICE 模型来获得,也可以用直接测量的方法来获得。作为最终用户,最常见的方法是到半导体制造厂商的网站上去下载各种元器件的 IBIS 模型,在使用前要对得到的 IBIS 模型进行语法检查。

建立一个元器件的 IBIS 模型需要以下 5 个步骤。

(1) 进行建立模型前的准备工作,包括决定模型的复杂程度;根据模型所要表现的内容和元器件工作的环境,来确定电压和温度范围,以及制程限制等因素;获取元器件相关信息,如电气特性及引脚分布、元器件的应用信息。

(2) 获得 $V-I$ 曲线或上升/下降曲线的数据,可以通过直接测量或是仿真得到。

(3) 将得到的数据写入 IBIS 模型。不同的数据在各自相应的关键字后列出,要注意满足 IBIS 的语法要求。

(4) 初步建立了模型后,应当用 s2iplt 等工具来查看以图形方式表现的 $V-I$ 曲线,并检查模型的语法是否正确。如果模型是通过仿真得到的,应当分别用 IBIS 模型和最初的晶体管级模型进行仿真,比较其结果,以检验模型的正确性。

(5) 得到了实际的元器件后,或者模型是由测量得到的,要对模型的输出波形和测量的波形进行比较。

4) **使用 IBIS 模型** IBIS 模型主要用于板级系统或多板信号的信号完整性分析。可以用 IBIS 模型分析的信号完整性问题包括:串扰、反射、振铃、上冲、下冲、不匹配阻抗、传输线分析、拓扑结构分析等。IBIS 模型尤其能够对高速信号的振铃和串扰进行准确、精细的仿真,它可用于检测最坏情况的上升时间条件下的信号行为,以及一些用物理测试无法解决的问题。在使用时,用户用 PCB 的数据库来生成 PCB 上的连线的传输线模型,然后将 IBIS 模型赋给 PCB 上相应的驱动端或接收端,就可以进行仿真了。

虽然 IBIS 模型有很多的优点,但也存在一些不足。目前,仍有许多厂商缺乏对 IBIS 模型的支持。而缺乏 IBIS 模型,IBIS 仿真工具就无法工作。虽然 IBIS 文件可以手工创建或通过 Spice 模型来转换,但若无法从厂家得到最小上升时间参数,任何转换工具都无能为力。另外,IBIS 还缺乏对地弹噪声的建模能力。

2. 验证 IBIS 模型

Model Integrity 能够进行模型建立、处理和校验,在使用仿真模型前,必须先验证仿真模型。Model Integrity 可以分析 IBIS 模型和 Cadence DML (Device Model Library) 模型的语法错误,Model Integrity 可以相互转换 IBIS、Quad 和 Cadence DML 文件。模型校验包含语法检查、单调性检查、模型完整性检查和数据合理性检查。

1) 浏览解析的 IBIS 文件结果

(1) 在程序文件夹中选择“Cadence”→“Release 16.6”→“Model Integrity”命令，弹出“Model Integrity”窗口，如图 1.5.4 所示。

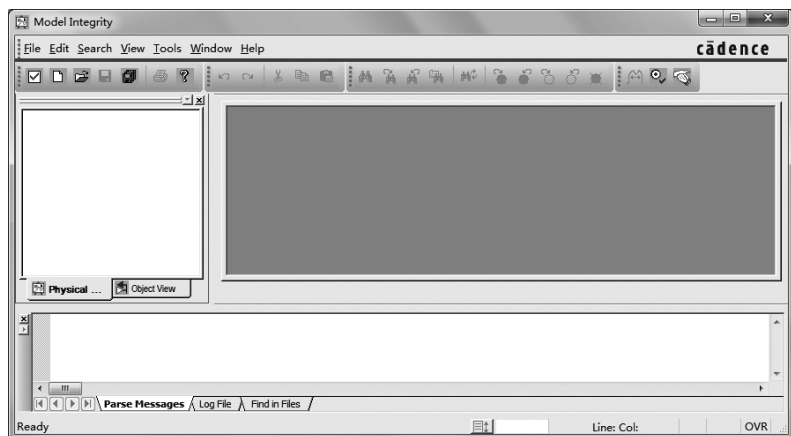


图 1.5.4 “Model Integrity”窗口

(2) 在“Model Integrity”窗口执行菜单命令“File”→“Open”，打开 D:\physical\ep1sgx25f_1.ibs 文件，如图 1.5.5 所示。

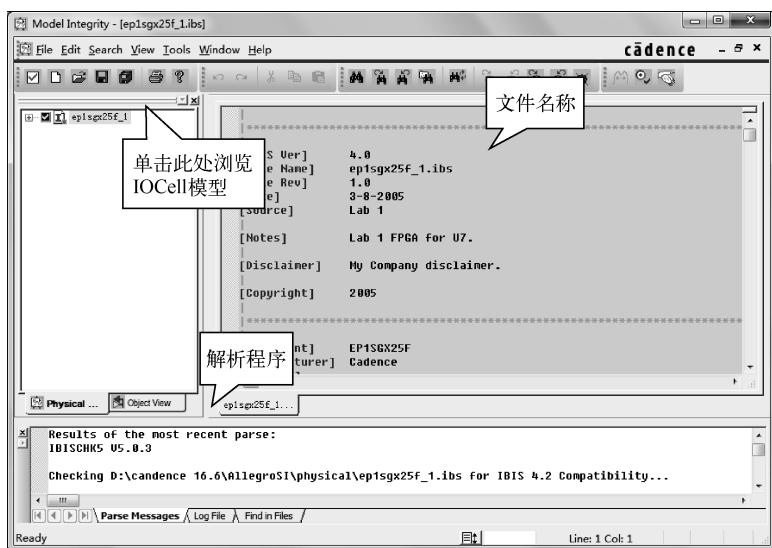



图 1.5.5 模型内容

当打开 IBIS 文件时，一个解析程序 ibischk4.2.0 开始运行。分析完成后，会弹出错误和警告信息，必须解决这些错误和警告。

(3) 在左边“Physical View”栏单击“ep1sgx25f_1”前面的“+”号浏览 IOCell 模型，树列表中显示所有的 IOCell 模型，如图 1.5.6 所示。

(4) 在“Physical View”栏双击“1sgx_sstl25c2_io_dm”→单击按钮 ，会发现在编辑窗口有警告标志，并且最下面的输出窗

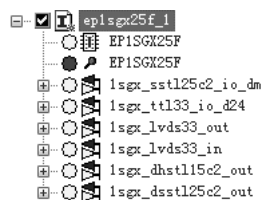


图 1.5.6 IOCell 模型

口会提示警告所在的位置及警告的原因，如图 1.5.7 所示。

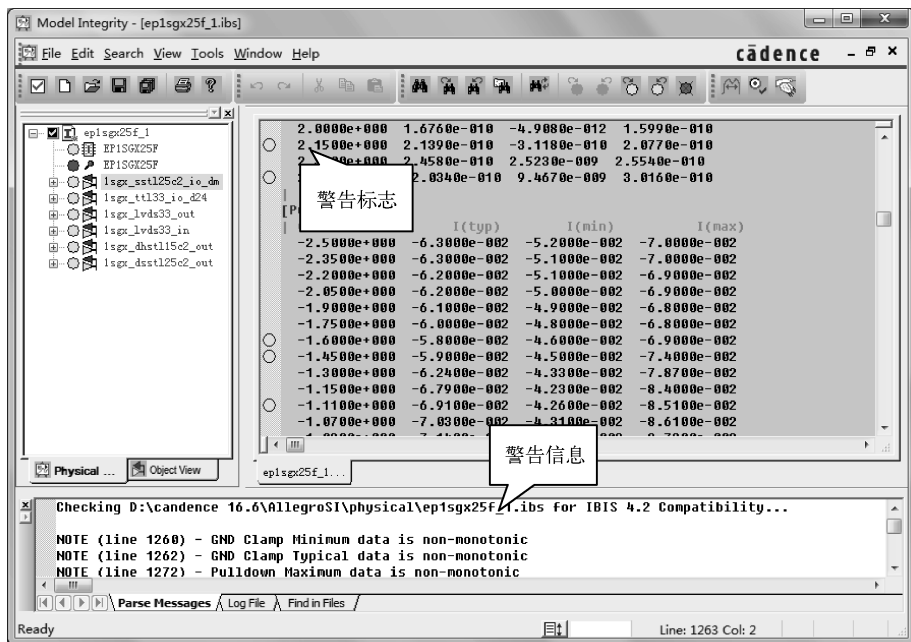


图 1.5.7 警告信息

(5) 在输出窗口可以看到第 1 行被高亮，并且输出窗口提示“WARNING (line 1260) - GND Clamp Minimum data is non-monotonic”（第 1260 行，GND Clamp 的最小数据是非单调的），对于这个 IOCell，查看编辑窗口会看到电压为“2.1500e+000”时对应的最小电流为“-3.1180e-010”，上一行（1259 行）的“2.0000e+000”对应的最小电流为“-4.9080e-012”，第 1258 行的“1.8500e+000”对应的最小电流为“-8.5730e-011”，如图 1.5.8 所示。

1.8500e+000	1.2100e-010	-8.5730e-011	1.1250e-010
2.0000e+000	1.6760e-010	-4.9080e-012	1.5990e-010
2.1500e+000	2.1390e-010	-3.1180e-010	2.0770e-010

图 1.5.8 具体警告信息

(6) 在“Physical View”栏选择“1sgx_sstl25c2_io_dm”→单击鼠标右键→从弹出菜单选择“View Curve”→“GND_Clamp”→“Min”，弹出“SigWave”窗口，如图 1.5.9 所示。

(7) “SigWave”窗口显示 Pulldown Maximum IV 曲线，波形非单调处在 1.85~2.15V 之间，但由于电流值差别过小，在图中不能正确显示。在当前目录会产生波形文件，文件名为 IOCell 的名字，扩展名为 sim。

(8) 执行菜单命令“File”→“Exit”，退出“SigWave”窗口。

(9) 这里需要注意的是，该非单调性发生的位置是在电压序列的末端，而且变化很小，对仿真结果影响甚小，无须纠正 IBIS 文件。

(10) 在窗口底部的信息栏中查看警告信息，找到警告“WARNING - Model '1sgx_sstl25c2_io_dm': Model_type 'I/O' must have Vinl set”（模型“1sgx_sstl25c2_io_dm”：I/O 模型必须有 Vinl 设置）和“WARNING - Model '1sgx_sstl25c2_io_dm': Model_type 'I/O' must have Vinh set”（模型“1sgx_sstl25c2_io_dm”：I/O 模型必须有 Vinh 设置），如图 1.5.10 所示。

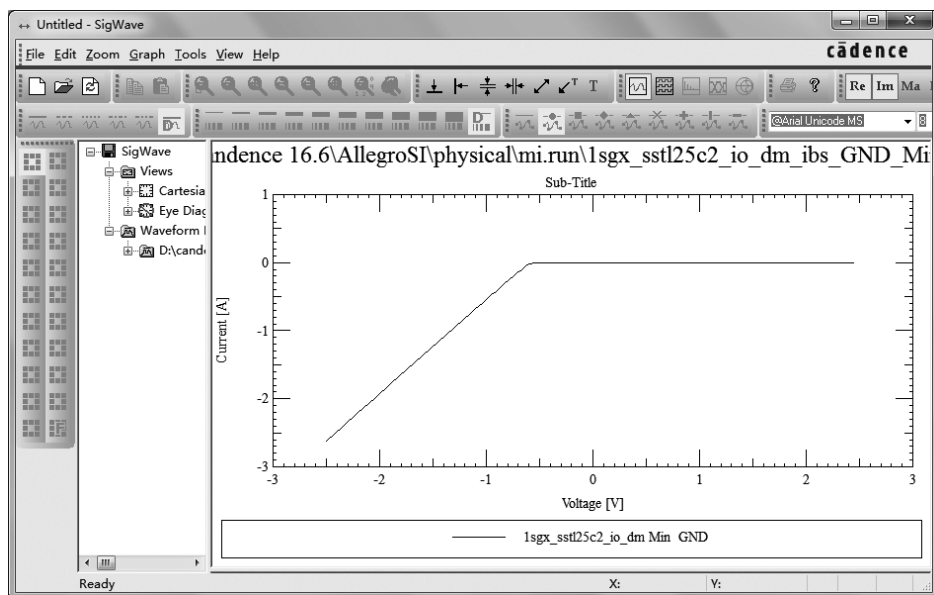


图 1.5.9 “SigWave”窗口

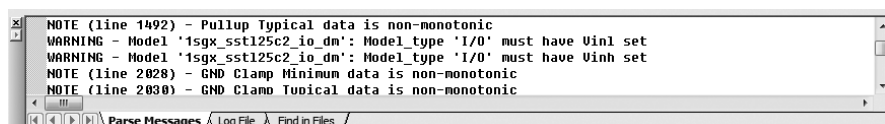


图 1.5.10 DBX_I00000A0S2AZZIDE 模型参数

(11) 在“Physical View”栏双击“1sgx_sstl25c2_io_dm”，编辑窗口显示该 IOCell 模型信息，并且模型名高亮显示，如图 1.5.11 所示。

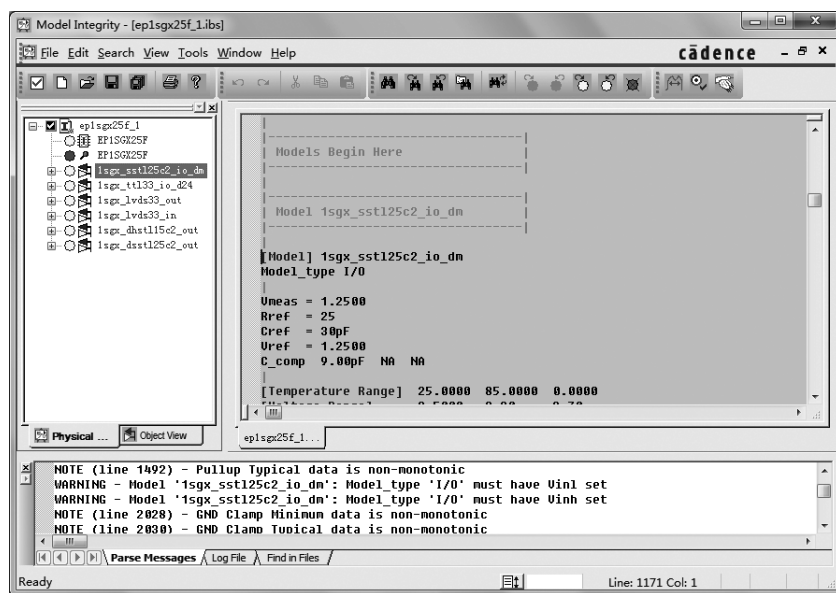


图 1.5.11 1sgx_sstl25c2_io_dm 模型参数

(12) 在编辑窗口部分可以看到 1sgx_sstl25c2_io_dm 下面 Model_type I/O 部分没有 Vinh 和 Vinl, 在 “Vmeas = 1.2500” 语句的上面添加输入 “Vinl = 1.0700” 和 “Vinh = 1.4300”, 如图 1.5.12 所示。

(13) 执行菜单命令 “File” → “Save As”, 保存文件于当前目录, 文件名为 ep1sgx25f_11. ibs。

(14) 在 “Physical View” 栏选择 “ep1sgx25f_11. ibs” → 单击鼠标右键 → 选择 “parse selected”, Model Integrity 会运行 ibischk 解析器, 并且在当前目录下建立 ep1sgx25f_11_ibis-parse. log 文件。同时, 在 ep1sgx25f_11 前面有一个红色的 “x” 标志, 如图 1.5.13 所示。

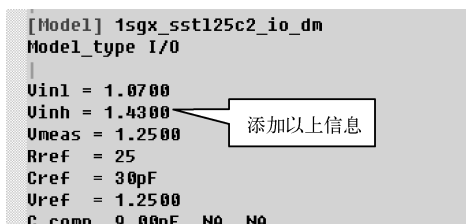


图 1.5.12 修改 1sgx_sstl25c2_io_dm 模型参数

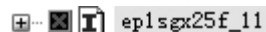


图 1.5.13 错误标志

(15) 在 “Physical View” 栏双击 “ep1sgx25f_11” → 在编辑窗口会弹出错误标志 → 双击编辑窗口的错误标志, 在输出窗口会有提示信息, 如图 1.5.14 所示。



图 1.5.14 文件名错误标志

(16) “Model Integrity” 要求文件名和 “File Name” 一致, 在编辑窗口中改变 “File Name” 后的 “ep1sgx25f_1. ibs” 为 “ep1sgx25f_11. ibs” → 单击 “保存” 按钮保存文件。

(17) 在 “Physical View” 栏选择 “ep1sgx25f_11” → 单击鼠标右键 → 选择 “parse selected”, 解析文件, 发现错误标志消失, 如图 1.5.15 所示。

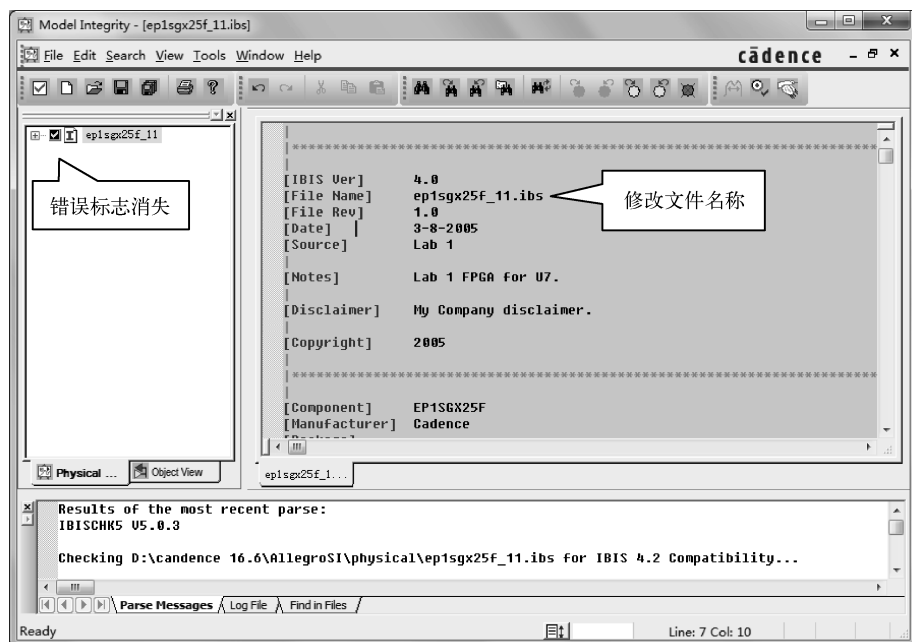


图 1.5.15 错误标志消失

2) 在 Model Integrity 中仿真 IOCell 模型

(1) 在“Physical View”栏选择“1sgx_sstl25c2_io_dm”→单击鼠标右键→选择“Simulate Buffer...”，弹出“Buffer Model Simulation”窗口，如图 1.5.16 所示，在“Physical View”栏有一个新的文件，这是 IBIS 模型的 DML 格式，PCB SI 运行仿真需要 DML 格式模型，所以 Model Integrity 自动产生 DML 文件。

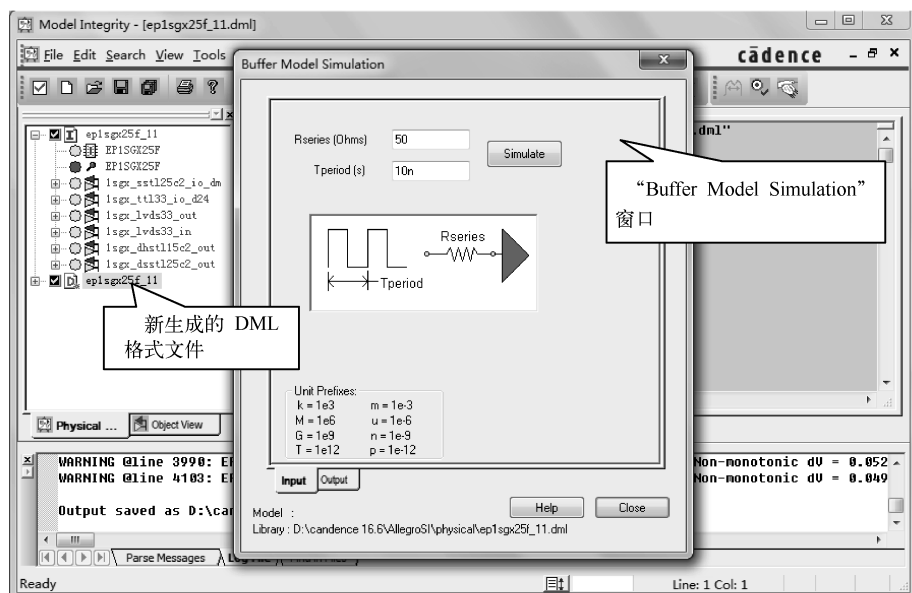


图 1.5.16 “Buffer Model Simulation”窗口

(2) 在“Buffer Model Simulation”窗口选择“Output”页面, 可以看到“Vref”自动读取模型中的设定值 1.25, “Cref”自动读取模型中的设定值“0.03n”, Tperiod 为仿真周期, 和“Input”页面一样。更改参数“Rref”为“50”, 如图 1.5.17 所示。

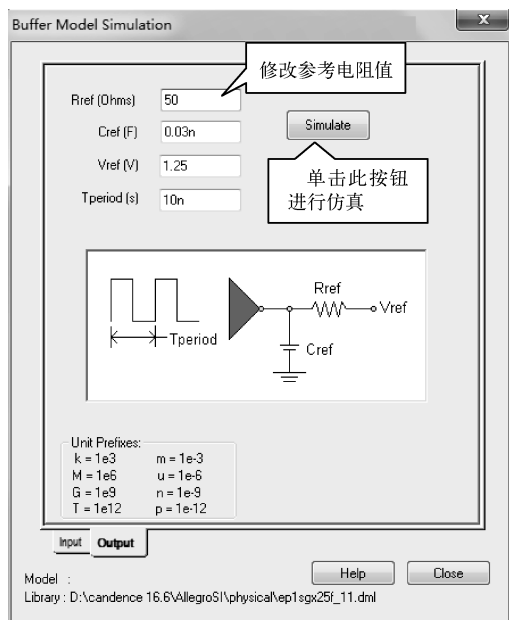


图 1.5.17 设置测试负载电阻参数

IBIS文件名。单击“OK”按钮, 关闭“Translation Options”窗口。

(3) 单击“Simulate”按钮, 运行仿真, 并在“SigWave”窗口产生波形, 如图 1.5.18 所示, 波形被写入当前目录, 波形名为“waveform. sim”。当仿真其他 IOCell 时, 波形文件会被重写。

(4) 关闭“Sigwave”窗口 → 单击“Close”按钮, 关闭波形窗口。

(5) 在“Buffer Model Simulation”窗口中单击“Close”按钮, 关闭“Buffer Model Simulation”窗口。

3) 使用 IBIS to DML 转换器

(1) 在“Physical View”栏单击 IBIS 文件 ep1sgx25f_11 → 执行菜单命令“Tools” → “Translation Options Editor”, 弹出“Translation Options”窗口, 如图 1.5.19 所示。

(2) 默认选中“Make model names unique”, 这个设置为每个 IOCell 模型名附加

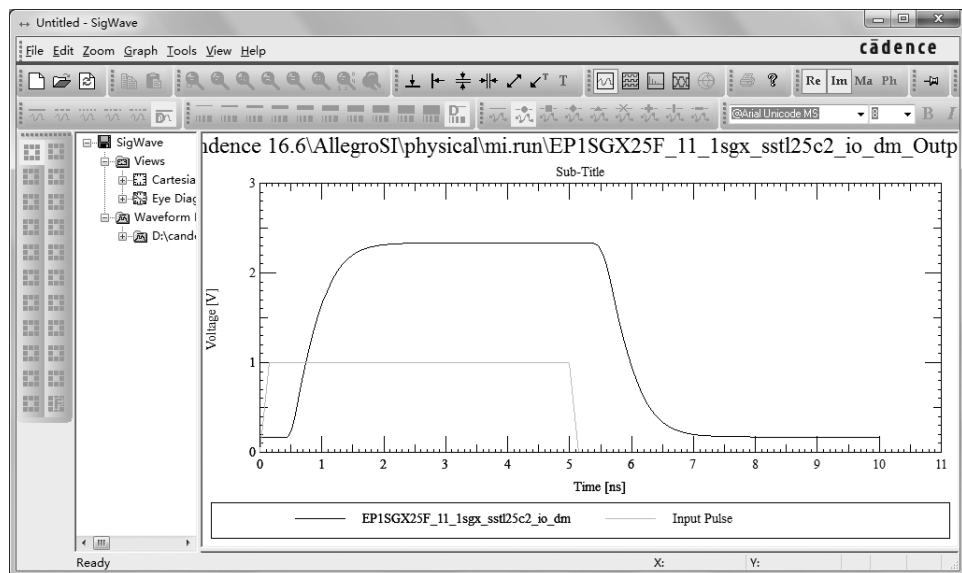


图 1.5.18 仿真波形

(3) 在“Physical View”栏选择 IBIS 文件 ep1sgx25f_11 → 单击鼠标右键 → 选择“IBIS to DML”, 系统会提示是否重写, 这是因为软件先前已经自动生成了一个 DML 文件, 单击“确定”按钮, 重写文档, 如图 1.5.20 所示。

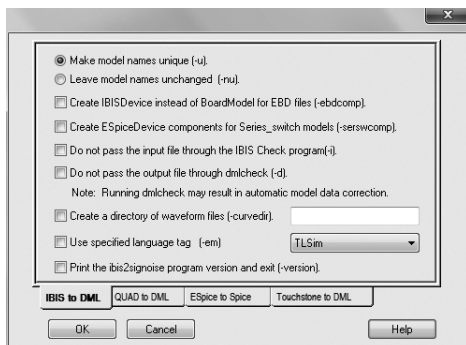


图 1.5.19 “Translation Options” 窗口

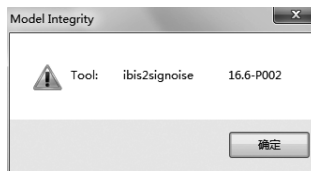


图 1.5.20 警告窗口

(4) 查看编辑窗口的第 3 行, 第 1 个 IOCell 为 EP1SGX25F_11_1sgx_dhstl15c2_out, EP1SGX25F_11 已经被添加到 IOCell 名的前面, 如图 1.5.21 所示。

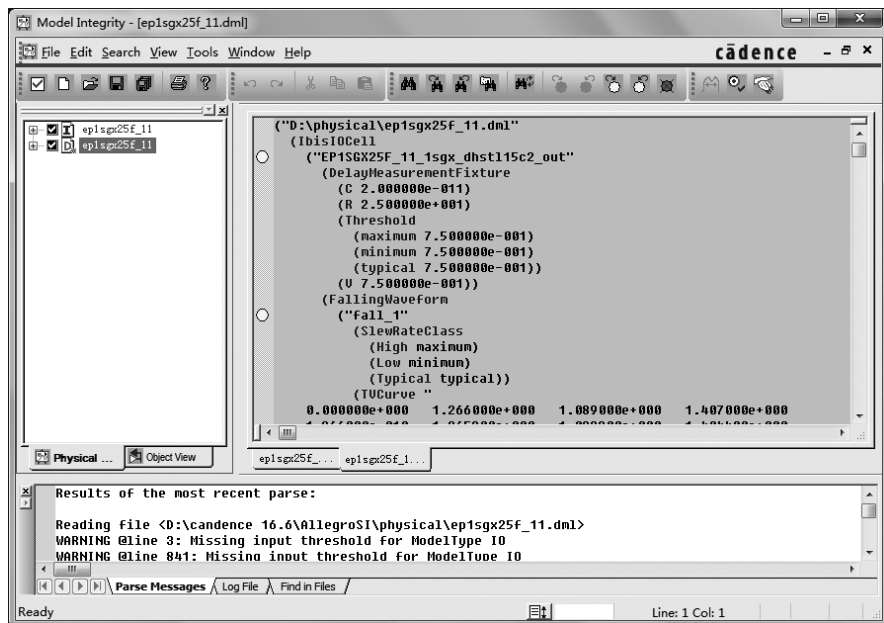



图 1.5.21 DML 文件信息

4) 浏览 DML 文件的错误和警告信息 当转换一个 IBIS 文件为 DML 格式文件时, dml-check 解析器运行。在输出窗口显示错误和警告信息。

(1) 在工具栏单击按钮 , 输出窗口提示 12 个警告和 0 个错误。在输出窗口滚动查看警告信息 “WARNING @ line 239: EP1SGX25F_11_1sgx_dhstl15c2_out GroundClamp: Overall typical area exceeds overall maximum area”。

(2) 在输出窗口双击警告信息, 在编辑窗口顶部会高亮显示第 239 行, 如图 1.5.22 所示。

(3) 注意关键词 “VICurve” 和下面的数据点, 在 DML 格式没有提示哪一栏是最小、典型或最大, 并且单位统一为伏特 (V) 和安培 (A), 最左边一栏列出了电压值, 紧靠着这一栏右边的是典型电流值, 下一栏是最小电流值, 最后一栏是最大电流值。这些数



图 1.5.22 警告信息

据没有 IBIS 文件容易读取，所以需要查看 IBIS 文件中的这个模型，试图找出 dmlcheck 警告的变化。

(4) 在“Physical View”栏双击 IBIS IOCell 模型 1sgx_dhstl15c2_out→在编辑窗口单击鼠标右键→选择“Replace”，弹出“Replace”对话框→在“Find what”栏中输入“power_clamp”，不选择“Match case”，如图 1.5.23 所示。

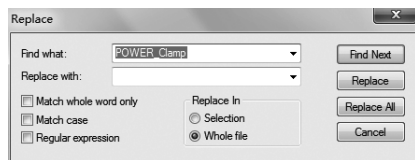


图 1.5.23 “Replace”对话框

(5) 单击“Find Next”按钮→在编辑窗口中 IO-Cell 模型 1sgx_dhstl15c2_out 的 Power_Clamp 高亮显示→单击“Cancel”按钮，关闭“Replace”窗口。

(6) 查看 VI Curve 数据的电流值，在“Max”栏的电流值应该比“Min”和“Typ”栏的大，但发现在 -3.10 ~ -1.85V 之间的数据在错误的栏里。

(7) 在“Physical View”栏选择 IBIS IOCell 模型 1sgx_dhstl15c2_out→单击鼠标右键→选择“View Curve”→“Power_clamp”→“All”，弹出“SigWave”窗口，显示最小 (Min)、最大 (Max)、典型 (Typ) 3 条曲线，发现 Max 不总是比 Min 和 Typ 大，而 Typ 不总是比 Min 大，这就是 dmlcheck 产生警告的原因，如图 1.5.24 所示。

(8) 关闭“SigWave”窗口→关闭 IBIS 文件 ep1sgx25f_11 和 DML 文件 ep1sgx25f_11。

5) 使用 Espice to Spice 转换器 使用 Espice to Spice 转换器可以把 Cadence Espice 文件转换为标准的 Spice 文件。在 PCB SI 中需要设置仿真参数，从“Probe”窗口选择要仿真的网络，从报告或波形窗口保存电路文件，这些动作都会将 Espice 文件写入 signoise.run/case #/sim#目录下，#代表数字，sim 目录包含名为 main.spc 和其他几个需要的文件。

(1) 在“Model Integrity”窗口选择“File”→“Open”命令。在 D:\SQAdv_14_2\mi\ESpice\signoise.run\case1\sim1 目录打开 main.spc，如图 1.5.25 所示。

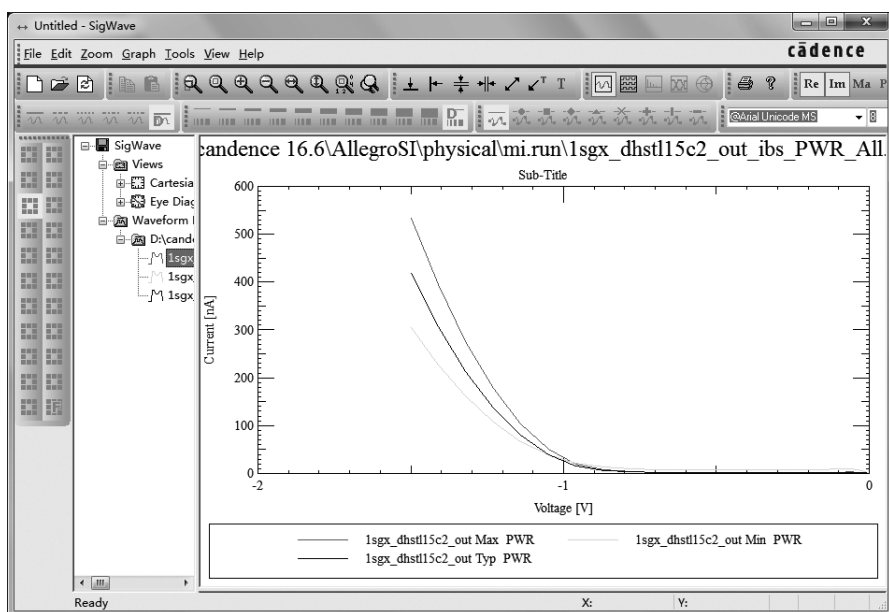


图 1.5.24 Power clamp 曲线

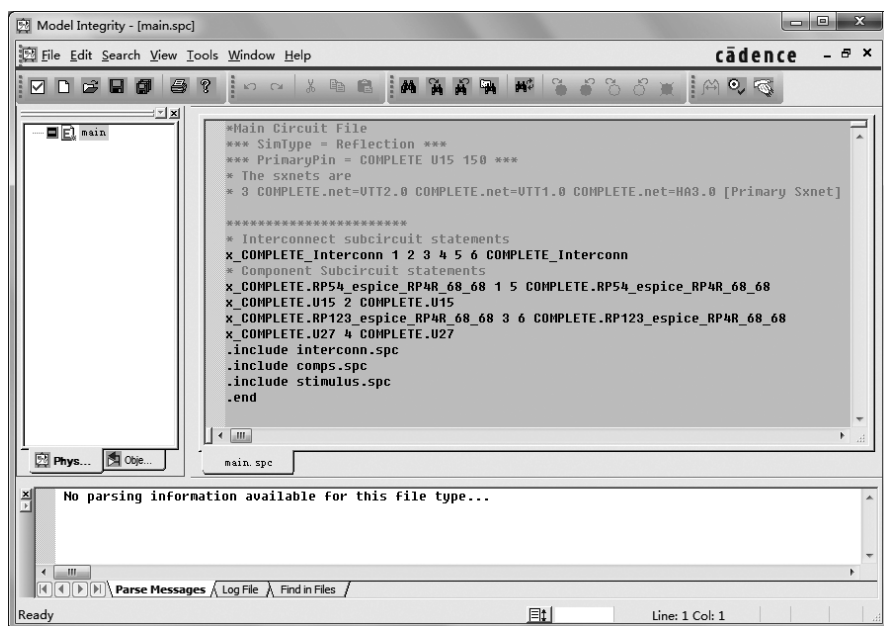


图 1.5.25 转换后的模型

(2) 在“Physical View”栏选择“main”→选择“Tools”→“Translation Options...”命令→弹出“Translation Options”窗口→在窗口底部选择“Espice to Spice”，如图 1.5.26 所示。不选择任何选项，main.spc 文件包含传输线元素。

(3) 在“Translation Options”窗口单击“OK”按钮→在“Physical View”栏选择“main”→单击鼠标右键→选择“Translate Selected”→“Generic Spice”命令，main.spc 已经被转换到标准 Spice 格式，文件名为 mainspc_gen.spc，如图 1.5.27 所示。

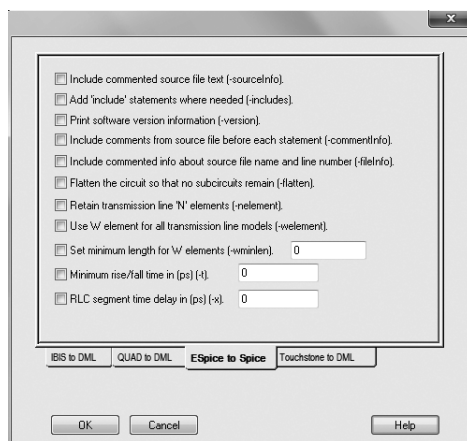


图 1.5.26 “Translation Options” 窗口

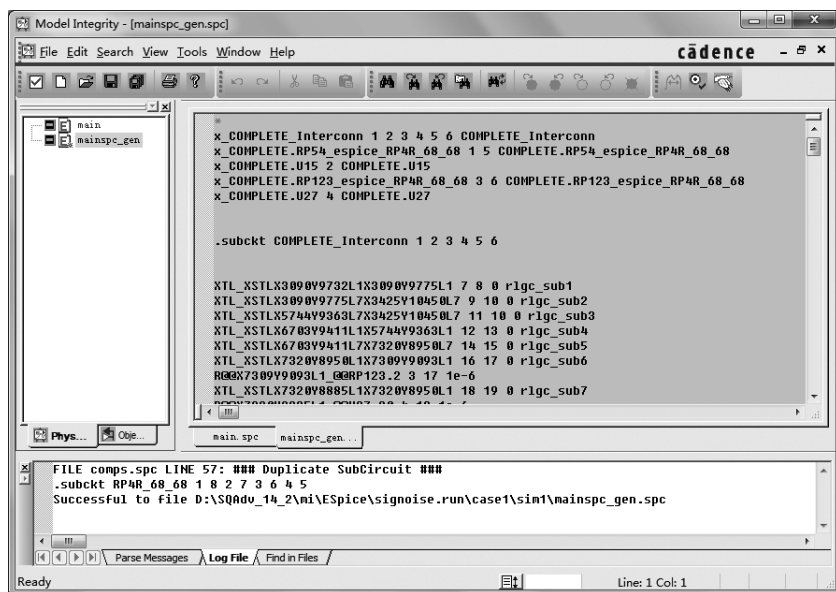


图 1.5.27 SPICE 格式模型

(4) 在“Physical View”栏选择“mainspc_gen”→“File”→“Save as”命令，文件名为 mainspc_gen_default。

(5) 选择“Tools”→“Translation Options...”命令→弹出“Translation Options”窗口→在窗口底部选择“Espice to Spice”，选择“Use W element for all transmission line models”，如图 1.5.28 所示。

(6) 单击“OK”按钮，关闭“Translation Options”窗口。W - element 文件用于 Hspice 仿真，在“Physical View”栏选择“main”→单击鼠标右键→选择“Translate Selected”→“Generic Spice”命令→弹出提示信息→单击“Yes”按钮，重写 mainspc_gen 文件，如图 1.5.29 所示。

(7) 在“Physical View”栏选择“mainspc_gen”→“File”→“Save as”命令，文件名为 mainspc_gen_welement。

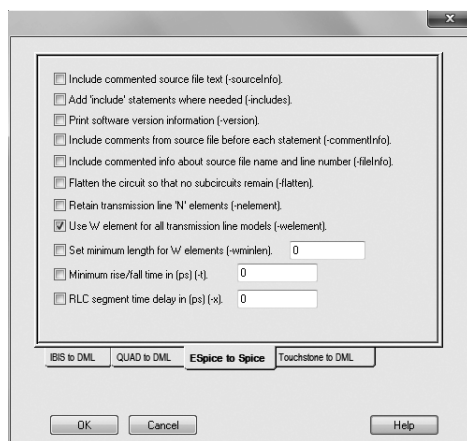


图 1.5.28 “Translation Options” 窗口

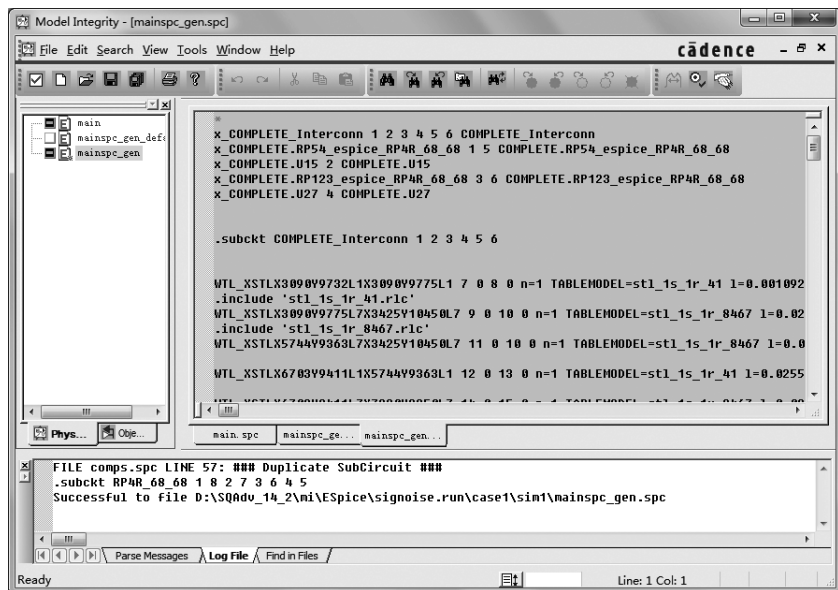


图 1.5.29 转换修改的模型

(8) 在“Physical View”栏选择“main”→单击鼠标右键→选择“Close Selected”，关闭 main. spc。

(9) 选择“Window”→“Tile Horizontally”（横向平铺）命令，这两个文件上下显示，这样很容易将两个文件进行比较，如图 1.5.30 所示。

(10) 在文件中查找 Trace 模型定义，W - element 指向其他文件，关键词“RLGFile = 文件名”，这就意味着当提取 W - element Spice 文件到 Hspice 时，也需要提取它的 RLGC 文件。

(11) 在名为 subckt COMPLETE_Interconn 的 W - element 文件中查看子电路定义，在 spc2spc 转换的过程中，这些文件被转换为标准 Spice 文件，Trace 定义被从 Allegro PCB SI 电路板文件提取并被存储在 interconn. iml 中。

(12) 查看 W - element 声明的第 1 行“WTL_XSTLX3090Y9732L1X3090Y9775L1”，

“WTL_X”表示“W - element”声明,“STL”表示单传输线,“X3090”、“Y9372”和“L1”表示 X 和 Y 坐标和互连线连接的层号,这表示连接到子电路的外部节点。“X3090”、“Y9775”和“L1”表示 X 和 Y 坐标和互连线连接的层号,这表示连接到子电路的外部节点。

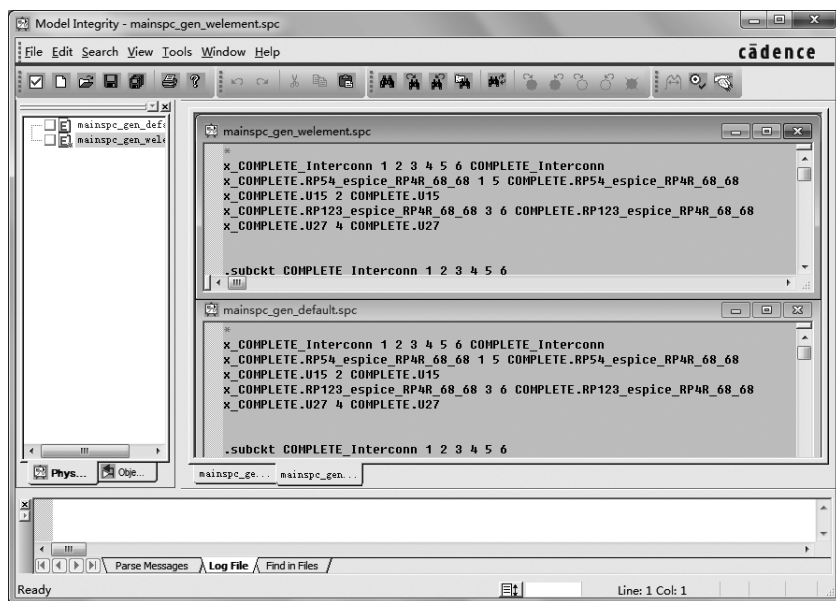


图 1.5.30 比较模型文件

(13) 后面的“RLGCGfile = STL_1S_1R_41. rlc l=0.0010922”表示子电路引用名为 ntl_rlgc.inc 的 Allegro PCB SI 的模型,模型文件是 STL_1S_1R_41. rlc,长度是 0.0010922m (43mils)。

(14) 在编辑窗口查看 w - element 文件的子电路定义 .subckt COMPLETE. U15 2, 注意提示信息,如图 1.5.31 所示。

```
.ends RP4R_68_68
.subckt COMPLETE.U15 2
r_pkg_COMPLETE.U15.150 2 24 2.392
r_skin_COMPLETE.U15.150 2 3 100
c_pkg_COMPLETE.U15.150 2 0 3.06e-012
*
* INSERT YOUR DRIVER/LOAD MODEL HERE
*
* bdrv model node assignments:
*
* DC   Driver   GND   Driver   Uenable   Pwr_Clap   Gnd_Clap
* Power Output   Input   Bus       Bus
*
* bdrv 18 3 19 23 22 20 21 File=ibis_models.inc Model=GTL_IO_Typical
```

图 1.5.31 子电路定义

(15) 注释信息“bdrv 18 3 19 23 22 20 21 File = ibis_models. inc Model = GTL_IO_Typical”告诉了使用的节点连接点和缓冲模型。

(16) 选择“File”→“Close All”命令,关闭所有窗口。

(17) 选择“File”→“Exit”命令,退出 Model Integrity。

1.6 S 参数

在进行射频、微波等高频电路设计时，集总电路理论已不再适用，需要采用分布参数电路的分析方法，这时可以采用复杂的场分析法，但更多地时候则采用微波网络法来分析电路，对于微波网络而言，最重要的参数就是S参数。在个人计算机平台迈入GHz阶段之后，从计算机的中央处理器、显示界面、存储器总线到I/O接口，全部走入高频传送的国度，所以现在不但射频通信电路设计时需要了解、掌握S参数，计算机系统甚至消费电子系统的设计师也需要对相关知识有所掌握。

1. 集总电路和分布电路

在低频电路中，元器件的尺寸相对于信号的波长而言可以忽略（通常小于波长的1/10），这种情况下的电路称为集总（Lump）电路，这时可以采用常规的电压、电流定律来进行电路计算。其回路器件的基本特征如下。

☺ 电阻：能量损失（发热）。

☺ 电容：静电能量。

☺ 电感：电磁能量。

但在高频微波电路中，由于波长较短，组件的尺寸就无法再视为一个节点，某一瞬间组件上所分布的电压、电流也就不一致了。因此基本的电路理论不再适用，而必须采用电磁场理论中的反射及传输模式来分析电路。元器件内部电磁波的进行波与反射波的干涉失去了一致性，电压电流比的稳定状态固有特性再也不适用，取而代之的是“分布参数”的特性阻抗观念，此时的电路被称为分布（Distributed）电路。分布参数回路元器件所考虑的是以电磁波的传送与反射为基础的要素，即：

☺ 反射系数。

☺ 衰减系数。

☺ 传送的延迟时间。

分布参数电路必须采用场分析法，但场分析法过于复杂，因此需要一种简化的分析方法。微波网络法广泛运用于微波系统的分析，是一种等效电路法，在分析场分布的基础上，用电路的方法将微波元器件等效为电抗或电阻器件，将实际的导波传输系统等效为传输线，从而将实际的微波系统简化为微波网络，把场的问题转化为电路的问题来解决。

2. S 参数的作用、由来和含义

一般地对于一个网络，可用Y、Z和S参数来进行测量和分析，Y称为导纳参数，Z称为阻抗参数，S称为散射参数；前两个参数主要用于集总电路，Z和Y参数对于集总参数电路分析非常有效，测试这些参数也很方便；但在处理高频网络时，等效电压和电流、有关的阻抗和导纳参数变得较抽象。散射参数能更加准确地表示直接测量的入射波、反射波及传输波概念，即S参数矩阵，它更适合于分布参数电路。S参数被称为散射参数，暗示为事务分散为不同的分量，散射参数即描述其分散的程度和分量的大小。具体来说，S参数就是建立在入射波、反射波关系基础上的网络参数，适于微波电路分析，以元器件端口的反射信号及从该端口传向另一端口的信号来描述电路网络。同N端口网络的阻抗和导纳矩阵那样，用散

射矩阵也能对 N 端口网络进行完善的描述。

阻抗和导纳矩阵反映了端口的总电压和电流的关系，而散射矩阵是反映端口的入射电压波和反射电压波的关系。散射参量可以直接用网络分析仪测量得到，可以用网络分析技术来计算。只要知道网络的散射参量，就可以将它变换成其他矩阵参量。

下面以二端口网络为例说明各个 S 参数的含义，如图 1.6.1 所示。

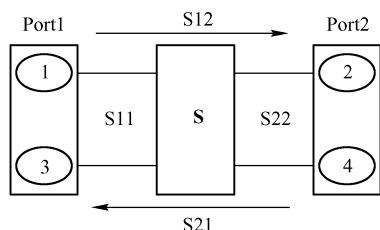


图 1.6.1 二端口网络参数

二端口网络有 4 个 S 参数， S_{ij} 代表的意思是能量从 j 口注入，在 i 口测得的能量，如 S_{11} 定义为从 Port1 口反射的能量与输入能量比值的平方根，也经常被简化为等效反射电压和等效入射电压的比值，各参数的物理含义和特殊网络的特性如下。

S_{11} ：端口 2 匹配时，端口 1 的反射系数。

S_{22} ：端口 1 匹配时，端口 2 的反射系数。

S_{12} ：端口 1 匹配时，端口 2 到端口 1 的反向传输系数。

S_{21} ：端口 2 匹配时，端口 1 到端口 2 的正向传输系数。

对于互易网络，有 $S_{12} = S_{21}$ ；对于对称网络，有 $S_{11} = S_{22}$ ；对于无耗网络，有 $(S_{11})^2 + (S_{12})^2 = 1$ 。

我们经常用到的单根传输线或一个过孔，就可以等效成一个二端口网络，一端接输入信号，另一端接输出信号，如果以 Port1 作为信号的输入端，Port2 作为信号的输出端，那么 S_{11} 表示的就是回波损耗，即有多少能量被反射回源端（Port1），这个值越小越好，一般建议 $S_{11} < 0.1$ ，即 -20dB 。 S_{21} 表示插入损耗，也就是有多少能量被传输到目的端（Port2）了，这个值越大越好，理想值是 1，即 0dB ， S_{21} 越大传输的效率越高，一般建议 $S_{21} > 0.7$ ，即 -3dB 。如果网络是无耗的，那么只要 Port1 上的反射很小，就可以满足 $S_{21} > 0.7$ 的要求，但通常的传输线是有耗的，尤其在 GHz 以上，损耗很显著，即使在 Port1 上没有反射，经过长距离的传输线后， S_{21} 的值就会变得很小，表示能量在传输过程中还没到达目的地，就已经消耗在路上了。

3. S 参数在电路仿真中的应用

S 参数自问世以来，已在电路仿真中得到广泛使用。针对射频和微波应用的综合和分析工具，几乎都许诺具有用 S 参数进行仿真的能力，这其中包括安捷伦公司的 ADS（Advanced Design System），ADS 被许多射频设计平台所集成。

在许多仿真器中我们都可以找到 S 参数模块，设计人员会设置每一个具体 S 参数的值。这也和 S 参数的起源一样，同样是因为频率，在较低的频率时，设计师可以在电路板上安装分立的射频元器件，再用阻抗可控的印制线和通孔把它们连接起来。在进行较高频率的设计时，设计师必须利用参数曲线及预先计算的散射参数（即 S 参数）模型，才能用传输线和元器件模型来设计所有物理元器件。

设计师可以通过网络分析仪来实际测量 S 参数，这样做的好处是可以将元器件装配在将要生产的相同的 PCB 上，并进行测试，以得到精确的测量结果。设计师也可以采用元器件厂家提供的 S 参数进行仿真，据安捷伦 EDA 部门的一位应用工程师在文章中介绍：“这些数据通常是在与最终应用环境不同的环境中测得的。这可能在仿真中引入误差”。他举例：

“当电容器安装在不同类型的印制电路板时，电容器会因为安装焊盘和电路板材料（如厚度、介电常数等）而存在不同的谐振频率。固态元器件也会遇到类似问题（如 LNA 应用中的晶体管）。为避免这些问题，最好应该在实验室中测量 S 参数。但无论如何，为了进行射频系统仿真，就无法回避使用 S 参数模型，无论这些数据是来自设计师的亲自测量，还是直接从元器件厂家获得，这是由高频电子电路的特性所决定的了。

【S 参数的优缺点】

S 参数在高速串行仿真中，体现出来的优缺点如下。

☺ S 参数的优点

- ◇ 能够把一个很复杂的网络绘制成 S 参数，以查看它的频率响应特性，很好地了解衰减、反射等相关频率参数。
- ◇ 用黑盒子的形式代表一个网络结构，只要关注我们想要的仿真结构，而不需要去关心中间的具体网络构成。
- ◇ S 参数能够通过实验室仪器测量得到，并将它导入仿真电路中进行信号的仿真，从而省去了我们寻找和创建模型的过程，也可以通过它来验证仿真结果是否和实际结果一致。

☹ S 参数的缺点

- ◇ S 参数是一个行为模型，它失去了实际的物理特性。
- ◇ S 参数的精度取决于实验室测量的精度，也取决于生成 S 参数软件工具输入的参数设定。一旦你创建了一个 S 参数模型，就需要基于相关的标准去检查 S 参数模型生成的质量、无源性和互逆性。作为 S 参数的准确性，我们应该用它在时域中去做仿真，看生成出来的波形和预期的电压波动是否符合要求，如果测量出来的结果有用，再去判断它的精确性，最终得到能使用的 S 参数模型。

1.7 电磁场求解方法

对一些特殊的结构（如过孔、蛇形线、走线跨分割平面、Bondwire 等）需要精细化建模的情况下，可能会用到不同的电磁场求解器。电磁场求解器（Field Solver）以维数来划分，可以分为 2D/2.5D/3D；以逼近类型来划分，可以分成静态、准静态、TEM 波和全波，具体分类如表 1.7.1 所示。

表 1.7.1 电磁场求解器

维 数	类 型	适合结构	应用例子	存在问题
2D	准静态（Quasi - Static）	横截面在长度方向无变化（Uniform Cross Section）	传输线的 RLGC 低频建模	不适用于任意结构，高频精度低
2D	全波（Full - Wave）	横截面在长度方向无变化（Uniform Cross Section）	传输线的 RLGC 全频建模	不适用于任意结构
2.5D	横电磁波（TEM）	多层平面结构（Multi - Plans Structures）	电源地平面结构的低频建模	当结构是 3D 时，带有寄生效应；当缺少参考面时，高频段结果不准

续表

维 数	类 型	适 合 结 构	应 用 例 子	存 在 问 题
2.5D	全波 (Full - Wave) 边界元法 (BEM) 矩量法 (MoM)	层状结构 (Layered Structures)	某些片上无源结构	对于边缘效应、3D 金属和介质精确建模等问题存在计算时间长、消耗内存大的问题
3D	准静态 (Quasi - Static)	低频	连接器和封装的低频建模	高频结构误差大, 趋肤效应误差大
3D	全波 (Full - Wave)	理论上任意结构都可以, 只要计算机的计算能力能够承受	芯片、封装、电路板	计算时间长, 消耗内存大

1. 2D 求解器

2D 求解器使用起来是最简单的, 也是效率最高的, 但是它只适用于一些简单的应用。例如, 2D 静态求解器可以提取片上互连线横截面的电容参数。2D 准静态求解器可以提取均匀多导体传输线横截面上单位长度的低频 RLGC 参数。2D 全波求解器可以提取均匀多导体传输线横截面上的全频段 RLGC 参数。典型的 2D 全波计算方法有: 2D 边界元法 (Boundary Element Method)、2D 有限差分法 (Finite Difference Method) 和 2D 有限元法 (Finite Element Method)。

2. 2.5D 求解器

2.5D 的概念是 20 世纪 80 年代 James C. Rautio 在美国纽约雪城大学攻读博士学位期间提出来的。当时他在 Roger Harrington 教授手下做 GE 电子实验室资助的概念。GE 电子实验室的人比较关注电流, 并称其为 2D 的, 而 Harrington 教授团队关注的是电磁场, 并称其为 3D 的。Rautio 要和这两个团队都要合作。当时, 他正在读一本分形理论的书, 书里面清楚地定义了分维度的概念。于是, Rautio 得到灵感, 提出了 2.5D 的概念, 这也是分维度理论第一次被用到了电磁领域。

“2.5D solver” 中的 solver 使用的是全波的公式, 公式中包含多层介质的 6 个电磁场分量 (x 、 y 、 z 方向的电场 E 和 x 、 y 、 z 方向的磁场 H), 以及 2 个传导电流分量 (如 x 和 y 方向)。其利用多层介质的全波格林函数, 采取矩量法的步骤, 将一个 3D 问题缩减为金属表面问题。这样就无须对整个三维空间划分网格, 只要在金属表面划分网格即可。此外, 2.5D 意味着传输线的金属厚度被忽略, 这种做法对于线宽大于金属厚度的平面电路结构 (MIC 应用) 可以很好地做近似处理, 甚至可以说半解析格林函数的精度在计算多层介质结构方面比一般 3Dsolver 还要高。

考虑了金属厚度并包含 z 方向传导电流的 2.5Dsolver 又称为 3D 平面算法。这里的“3D”意味着 solver 可以用包含多层介质的公式来求解一些 3D 结构, 如传输线或者过孔。但是 Bondwire 是不可以用这种方法来做的。“全波”意味着辐射被考虑在公式里面, 或者说, 置换电流分量被考虑在 Maxwell 方程里面。

2.5D TEM 求解器适合用于结构中以 TEM 模式为主的情况, 即在电磁场传播方向没有电场和磁场的分量。工作频率比较低的电源地平面的结构符合这一情况。但是, 3D 效应、共平面结构设计或缺少参考平面的设计都会降低这种方法的精确度。

2. 5D BEM/MoM 求解器是一种全波求解器，它基于边界元法（BEM）或者矩量法（MoM）公式，利用层状介质格林函数来求解。它通常假设介质层是无穷大的平面。已经证实了这种方法对于片上无源结构的参数提取很有效，如螺旋电感设计。但是，对于封装和封装—电路板连接处存在的3D边缘效应、3D几何结构和有限大介质层的情况，其求解精度不高。

3. 3D 求解器

3D 准静态求解器适用于芯片—封装—电路板系统中出现的大多数3D结构，但仅对低频段（Low Multi - GHz）有效，高频结果误差较大。如果结构较大，那么计算时间会比较长，计算机内存消耗也会比较大。

3D 全波求解器是最能准确模拟实际情况的求解器。它可以模拟 SI、PI、EMI、SSN、SNI（Switching Noise Integrity）所涵盖的所有效应。但是它消耗的时间和内存也是最长的。典型的3D全波求解器算法有：边界元法、有限差分法和有限元法。Sigrity 的3D Field Solver 就是基于3D - FEM 的。

按维数来分的3类求解器的对比如表1.7.2所示。

表 1.7.2 3类求解器的对比

维 度	使用范围	举 例	局 限 性
2D	求解在 x 、 y 方向有变化的几何结构	无限长传输线的横截面	不能求解过孔（ z 方向）
2.5D	可以解决在3个维度都有变化的结构，但其中对1个维度有严格限制	多层介质结构	可以求解过孔，但 z 方向不能有几何结构上的变化
3D	可以解决在3个维度都有变化的结构	任意结构，如 Bondwire	耗内存和时间

关于静态和准静态的概念，人们很容易混淆不清，在这里做一个说明。分别求解 C 和 L 的求解器严格来说，不算是准静态的。具体来说，提取 C 的求解器是静电的。如果引入了 G ，那么它就是准静电的。提取 L 的求解器是静磁的。如果可以提取带趋肤效应的频变 L 和 R ，那么它就是准静磁的。如果 C 、 L 、 R 在一个公式里面一起被提取，那么这个求解器就是真正意义上的准静态（准静电磁）的。

静态公式不包含时域和频域的概念。它本质上就是 Laplace 方程组的边界值问题。

准静态公式不包含辐射，或者说，不包含 Maxwell 方程组中的置换电流分量（有时这个分量不太明显，可能会隐藏在积分方程里面）。但是，准静态公式包含频率分量，会给人一种全波解的印象。准静磁传输线法（Magneto - Quasi - Static Transmission Line Field Solver）和 PEEC 法（不带 Retardation）就分别是2D准静态法和3D准静态法的例子。

总的来说，没有一个求解器是适合所有实际应用的，应针对不同的结构和电路特点选择最恰当的方法进行计算。选择一个求解器，除了考虑求解对象的几何维数之外，还要确认哪些特殊的效应是仿真时需要考虑的，这些效应是如何被模拟的。

ANSYS 的电磁兼容仿真软件在 PCB 的信号完整性、电源完整性和电磁兼容协同方面的设计进行了优化，机箱屏蔽效能和孔缝电磁泄露仿真上面，一直处于业界领先水平，其仿真结果可以直接与 GJB151A 等测试标准进行对比，从而在虚拟样机阶段评估设计的电磁兼容具有裕量。ANSYS 的电磁兼容仿真软件拥有如下突出特点。

- ☺ 多尺度、多层次，通用工具与专用工具相结合，实现从封装 PCB 到船舶卫星的全系统仿真。
- ☺ 电磁场、电路与系统协同仿真，把握电磁兼容和电磁干扰中辐射源和传播路径仿真的关键点。
- ☺ 支持高性能计算，快速仿真大规模和宽带复杂问题。
- ☺ 多物理场耦合仿真，协调电磁兼容与流体、散热和结构振动、应力等之间的关系。

ANSYS 的电磁兼容仿真方案，在技术层面上，包括了硬件设计全流程中的系统设计，电路设计和元器件选型，从研究电磁兼容的关键环节入手，通过系统全面的仿真，解决电磁兼容和干扰问题，同时还兼顾散热和结构振动等多物理域的可靠性设计；在流程层面，强调系统电磁兼容指标的合理分配，系统与元器件的协同设计，电磁兼容设计流程的固化和设计仿真经验的积累；在实施部署上，能够兼顾分散式个人设计模式和团队设计模式，提供集中的基于高性能计算的仿真资源分配能力和基于分布式云存储的仿真知识管理模式。ANSYS 的电磁场仿真软件推出一系列混合算法——包括频域有限元、时域有限元、高阶有限元、矩量法有限元、物理光学法、FEBI（有限元积分边界）边界条件、场到场数据链接——可以灵活处理微米级到几十公里范围尺寸目标的电磁计算。本章主要使用 ANsys 的 HFSS 完成 3D 模型的建立与仿真、机箱屏蔽效能的计算，使用 SIwave 完成 PCB 的参数提取，使用 Designer 完成时域仿真。

第 2 章 HDMI 的仿真与测试

2.1 HDMI 简介

基于 Silicon Image 的最小化差分传输信号 (Transition Minimized Differential Signaling, TMDS) 技术的 HDMI, 主要传输无压缩的数字信号, 无须转换即可得到高质量的音频和视频效果。由于传输的是数字信号, HDMI 最长线距可以达到 10 ~ 15m, 是 YCbCr/YPbPr 传输线距离的 4 倍。HDMI 1.1 版本的带宽高达 5Gb/s, 是一般 HDTV 1080i 带宽的 2 倍。这些富余的带宽, 将来可以实现更多扩展功能, 可进一步丰富 HDMI 的相关功能。HDMI 可以兼容全部 ATSC HDTV 标准并能实现 8 频道的数字音频。在单线缆中, HDMI 可以提供所有视频/音频源 (可以是 A/V 接收器、机顶盒及 DVD 等), 还能同时提供视频/音频监视器 (可以是数字 TV) 连接接口。

HDMI 主要由发射端和接收端构成。HDMI 拥有 DDC、TMDS 和 CEC 3 个通信通道。这里的 TMDS 主要是实现音/视频信息和辅助信息的发送和接收; 在智能配置时, DDC 主要实现在源端获得接收端的 E. EDID 数据结构; 可选择通道 CEC, 主要实现部分级别较高的用户功能, 如红外线遥控等。HDMI 的系统结构如图 2.1.1 所示。

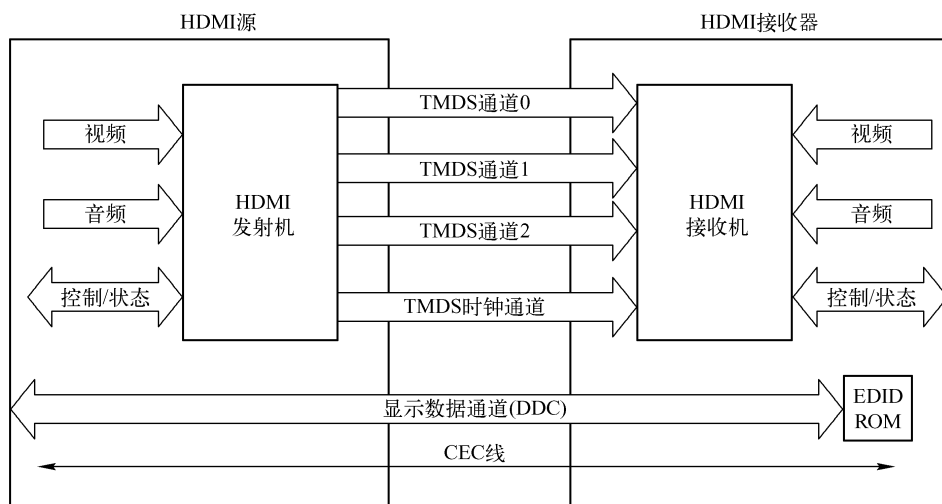


图 2.1.1 HDMI 的系统结构

TMDS 的 3 个数据通道都可以实现视频、音频以及辅助信息的传输。TMDS 的时钟经过时钟通道完成传输, 在经过接收端的 3 个数据通道可恢复参考时钟, 一般情况下时钟被用作视频像素传输的时钟。所有的 TMDS 时钟周期在发射端 TMDS encoder 将 8 位信息换算为 10 位的 DC - balanced 信息, 这些 10 位的信息会在 TMDS 每一时钟周期内换算成串行信息并高

速传输出去。

音频信息的像素位宽可以是 24 位、36 位或 48 位。一般条件下, 音频信息的像素是 24 位的, 这时音频发送和接收速率与 TMDS 时钟频率相等。色深越高, 对应的时钟频率越高。如果视频数据的传输速率在 25 MTH 以下, 能够通过像素复用原理进行传输。此时数据编码格式可以为 RGB、YCbCr 4:2:2 或 YCbCr 4:4:4。

如果 HDMI 的发射端采用包的格式, 那么就可以实现音频和辅助数据在 TMDS 上的传输。如果采用 BCH 纠错码及一种特殊的 10 位码来减少错误编码方式, 就能够传输高保真的音频和控制信号。

音频传输功能主要是采样频率为 32kHz、44.1kHz 及 48kHz 的 IEC 60958 L-PCM 音频流, 这囊括了全部的一般的立体声音频。不仅如此, HDMI 能够传输使用 3.8 个音频通道、采样频率为 192kHz 的音频数据, 还能够发送和接收采样频率为 24.576MHz 的 IEC 61937 压缩音频, 能够发送和接收 3.8 通道的 One Bit 音频及 DST 压缩的 One Bit 音频。DDC 通道主要功能是使发射端获得接收端的 E-EDID 信息, 能够收到接收端的所有信息。HDMI 接口如果根据电气结构及物理性状来分类有 5 个类型: Type A、Type B、Type C、Type D、Type E。这 5 种类型的接口都是由插座及插头构成的, 供电电压为 5V, 接口的阻抗为 100Ω。同时, 这些接口都能够稳定的实现与 TMDS 结合。流行最广的是 19 针的 A 类接口; 相比之下, 29 引脚的 B 类体积较大, 具有双 TMDS 通道, 能够实现高数据传输和连接 Dual-Link DVI 的功能。C 类与 A 类存在很大的相似性, 除了引脚定义不同外, 它具有更小的体积, 被广泛应用到便携式产品上。D 类又称为 Micro HDMI, 拥有 19 个引脚, 体积和小体积的 USB 相同, 在移动产品上使用的较多。在汽车电子产品中主要使用 E 类接口。

2.2 HDMI 信号完整性前仿真分析

高速电路设计最为困难的地方在于影响信号质量的因素太多, 有些因素是设计者可以控制的, 而另外一些则是设计者不能控制的。而困难之一就是如何来确定某些因素是可以忽略的或是可以事前设定阈值的, 因为忽略一些因素或假定都可能导致最后的失败, 而引入过多的变量又让设计者难以把握, 最终对设计难以控制。

布线前仿真 (Linesim) 中绘制电路网络原理图时, 引脚间的连接可以用微带线、带状线、同轴电缆、双绞线等多种传输结构来描述, 还可以假定此网络的布线参数 (线宽、线长、间距等)。

通过设置传输线结构及参数, 达到 TMDS 所要求的阻抗, 同时拥有良好的信号传输质量是此次设计分析的主要内容。

在 TMDS 的差分对布线时, 有以下一些需要注意的地方。

- ☺ 当连接用微带线时, 在下方应有一个连续的参考平面, 来控制阻抗在所需要的范围内。同时要避免线迹穿过平面区或者凹槽。
- ☺ 当使用带状线时, 在布线的上、下方都应有连续的参考平面。
- ☺ 在最坏情况下, 连接阻抗的变化范围应在 $100(1-15\%) \sim 100(1+15\%)$ 内。与阻抗相关的一些参数变化规律如下。
- ☺ 当电介质高度 (dielectric height) 增加时, 阻抗会增加。

- ☺ 当线迹的宽度、厚度、介电常数 (dielectric constant) 增加时, 阻抗会减小。
- ☺ 当线间距减小时, 阻抗会减小。
- ☺ 当线迹越细小时, 传输高频率的信号的衰减越小, 因此应尽量保持线迹粗细的适度最小。

2.3 HDMI 信号完整性后仿真分析

按照前仿真得出的约束规则, 在 Cadence 里绘制 PCB。将 PCB 版图导入 SIwave, 联合 Designer 进行板级后仿真。

选用的 Cadence 设计软件和 Ansoft 仿真软件之间有很好的转接窗口。两款软件的相互支持度很高, 给设计工作带来很大便利, 提高工作效率。

2.3.1 切割 TMD5 差分线

1. 导入 PCB 文件

(1) 启动 SIwave, 选择菜单项 “File” → “import” → “ANF”, 选中文件 s4_pcie_devkit_rev2.anf, 单击 “open” 按钮, 打开文件。

(2) 启动 SIwave, 选择菜单项 “File” → “import” → “Component File”, 选中文件 s4_pcie_devkit_rev2.cmp, 单击 “open” 按钮, 打开文件。

(3) anf 与 cmp 文件是从 Cadence 里的 brd 格式的 PCB 文件导出来的, 必须同时导入 anf 与 cmp 文件, 这样才算完整地导入了 PCB 文件。

(4) 单击 “File” → “Save”, 将 PCB 文件保存为 SIwave 文件, 如图 2.3.1 所示。

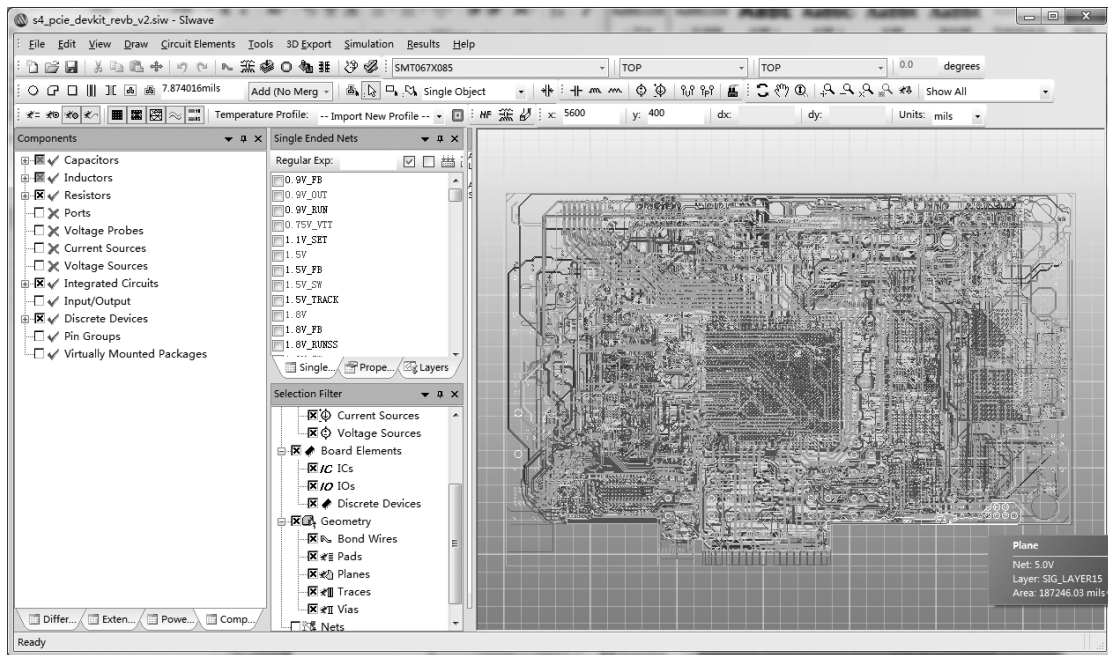


图 2.3.1 导入 PCB 文件

2. 确认检查

在用 SIwave 首次打开任何设计文件时, 最好先做一次确认检查。确认检查主要检查: 自相交多边形、未连接的节点、重叠节点及带重复过孔的节点。



图 2.3.2 确认检查

选取 “TMDS_N0”、“TMDS_P0”、“TMDS_N1”、“TMDS_P1”、“TMDS_N2”、“TMDS_P2”, 这三对 HDMI 差分对, 切割完成后的 PCB 如图 2.3.5 所示。三对差分对的参数如表 2.3.1 所示。

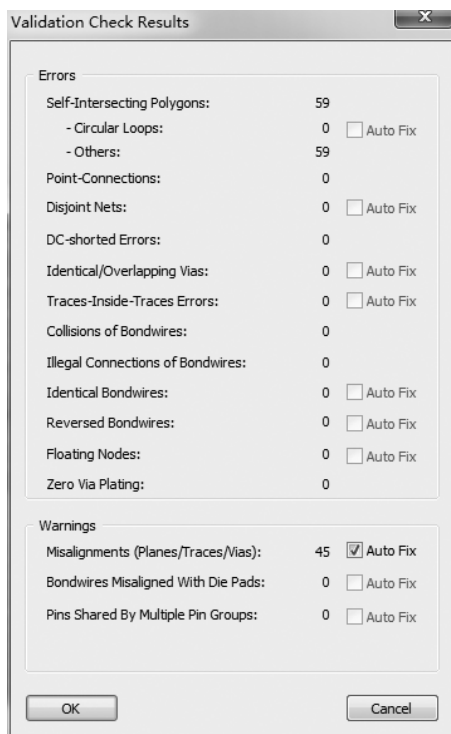


图 2.3.3 检查结果

选择菜单 “Tools” → “Validation Check”, 单击 “OK” 按钮开始确认检查, 如图 2.3.2 所示。

检查完毕, 检查结果如图 2.3.3 所示。

3. 分割 TMDS 差分线区域

(1) 分割区块, 局部模拟以节省时间。单击菜单 “Tools” → “Clip Design”, 打开切割选项对话框, 如图 2.3.4 所示。

这个步骤很重要, 除了可以缩短 SIwave 执行有效性检查时间与计算 S、Y、Z 参数的时间, 还可以缩短 Designer 导入 SNP 文件后的模拟分析时间。

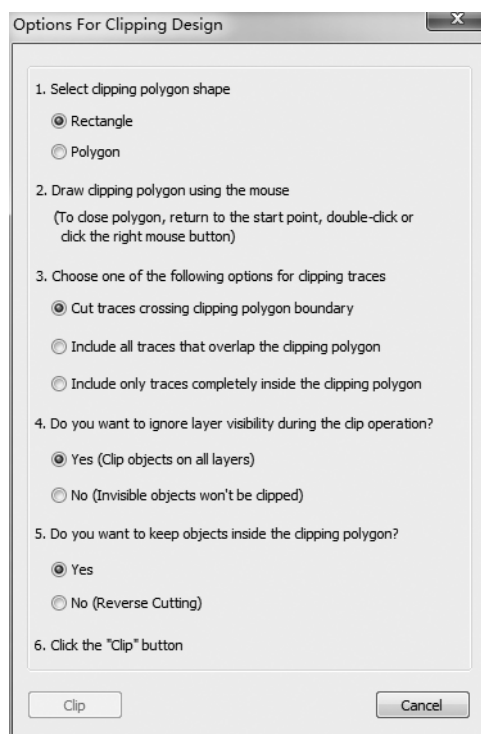


图 2.3.4 切割选项对话框

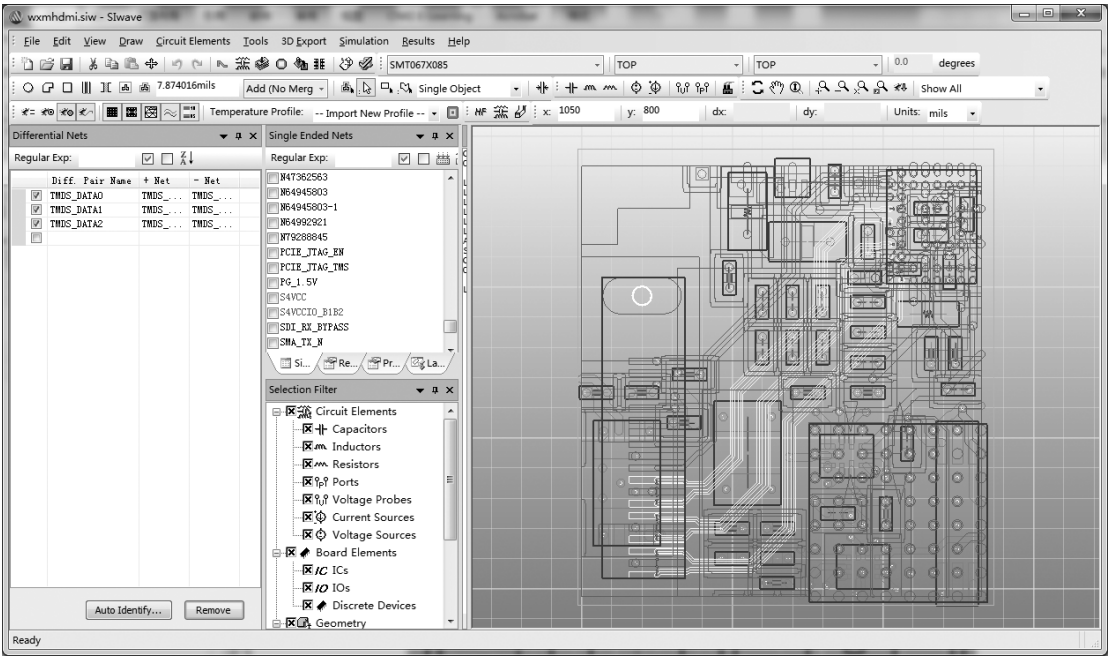


图 2.3.5 切割完成后的 PCB

表 2.3.1 TMD5 差分对的参数

传输线名称	线长 (mil)	线宽 (mil)	线间距 (mil)	差分对对间间距 (mil)	Port
TMDS_N0	697.80	7.75	6.25	20	2, 4
TMDS_P0	703.09				1, 3
TMDS_N1	713.62				7, 8
TMDS_P1	714.80				5, 6
TMDS_N2	726.75				11, 12
TMDS_P2	746.21				9, 10

(2) 完成切割后，需要清理破碎的网络。

“Edit” → “Select” → “Select All”，先选定所有 net；

“Edit” → “Nets” → “Separate Disjoint Parts”；

“Edit” → “Unselect”。

(3) 自动生成端口。

在仿真之前，必须要放置好 “port”，操作如下。

单击 “Circuit Elements” → “Generate on Selected Nets”，选中 “TMDS_N0”、“TMDS_P0”、“TMDS_N1”、“TMDS_P1”、“TMDS_N2”、“TMDS_P2”，单击 “Generate” 按钮，在选择的线上创建端口，如图 2.3.6 所示。

单击 “Generate” 按钮，自动生成 12 个端口，打开 “Components” → “Ports”，可以看到自动生成的 12 个端口，如图 2.3.7 所示。

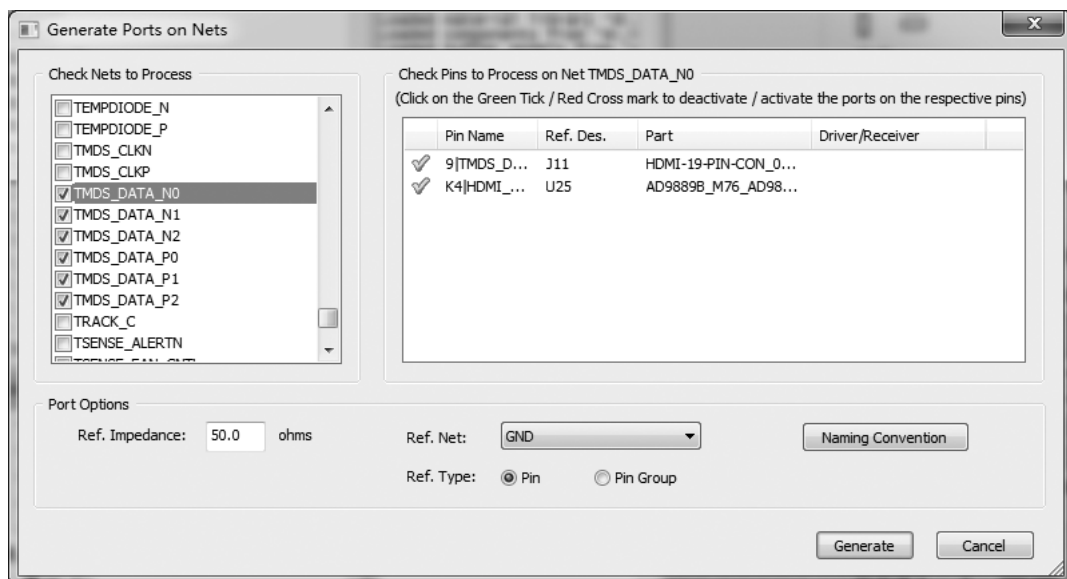


图 2.3.6 自动生成端口对话框

(4) 为了后续仿真结果查看起来方便，我们把这些复杂的端口名修改为简单的阿拉伯数字。选中某一个端口，右击选择“Edit Circuit Elements”，打开端口属性对话框，如图 2.3.8 所示。在 Name 里修改端口名称，修改完成后单击“OK”按钮即可。

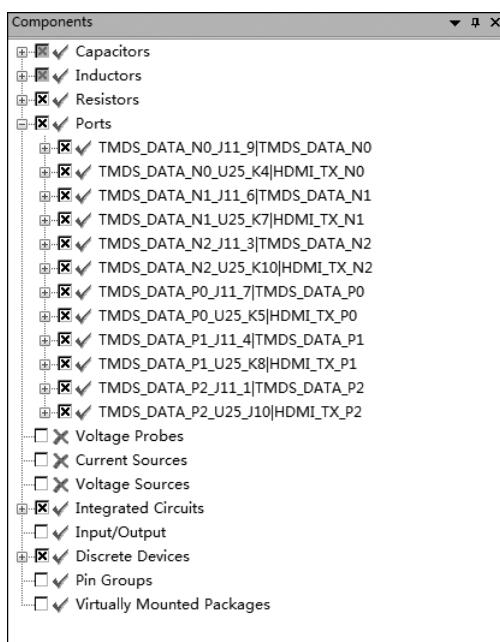


图 2.3.7 TMDSP 差分对的端口

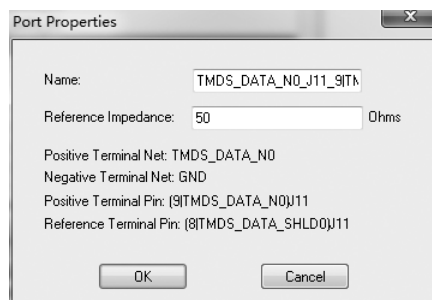


图 2.3.8 端口属性对话框

在 Name 里修改端口名称，修改完成后单击“OK”按钮即可。修改完成所有的端口名称后，如图 2.3.9 所示。



图 2.3.9 修改后的端口

2.3.2 频域分析

描述高速互联最常用的频域度量就是 S 参数。S 参数是一组描述传输线网络中行波散射参数的集合。当前高速互联的工作频率已达几十吉赫，采用 S 参数描述比较合适和方便。

1. 全局仿真设置

设置全局仿真：选择主菜单“Simulation”→“SIwave”→“Options”，并查看如下默认设置。

(1) 在 Plane Void Meshing 选项栏选择“Automatically determine which voids to mesh”单选按钮。

(2) 在 mesh Refinement 选项栏选择“Automatic”单选按钮。

(3) 选择“Ignore nets named "DUMMY" or "Unused" during Simulation”复选框。

(4) 选择“Perform ERC during simulation setup”复选框。

(5) 选择“Exclude non – functional pads”复选框。

(6) 在 Coupling 选项栏，选择“Coplane”、“Split – plane”和“Trace”复选框。

(7) Cross – talk threshold 设置为“–26” dB。

单击“OK”按钮，退出并保存这些设置的默认值，如图 2.3.10 所示。

设置全局仿真设置，需要注意的是，把 Cross – talk threshold（串扰阈值）设置为“–26” dB。

2. 运行 SYZ 仿真

运行 SYZ 仿真：选择主菜单“Simulation”→“SIwave”→“Compute S – , Y – , Z – parameters”，如图 2.3.11 所示。

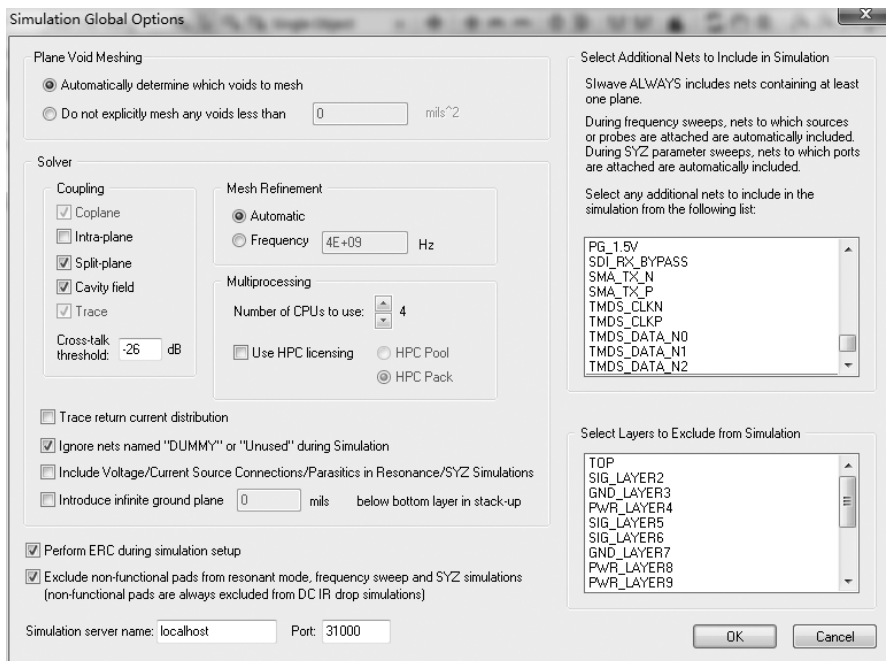


图 2.3.10 全局仿真设置

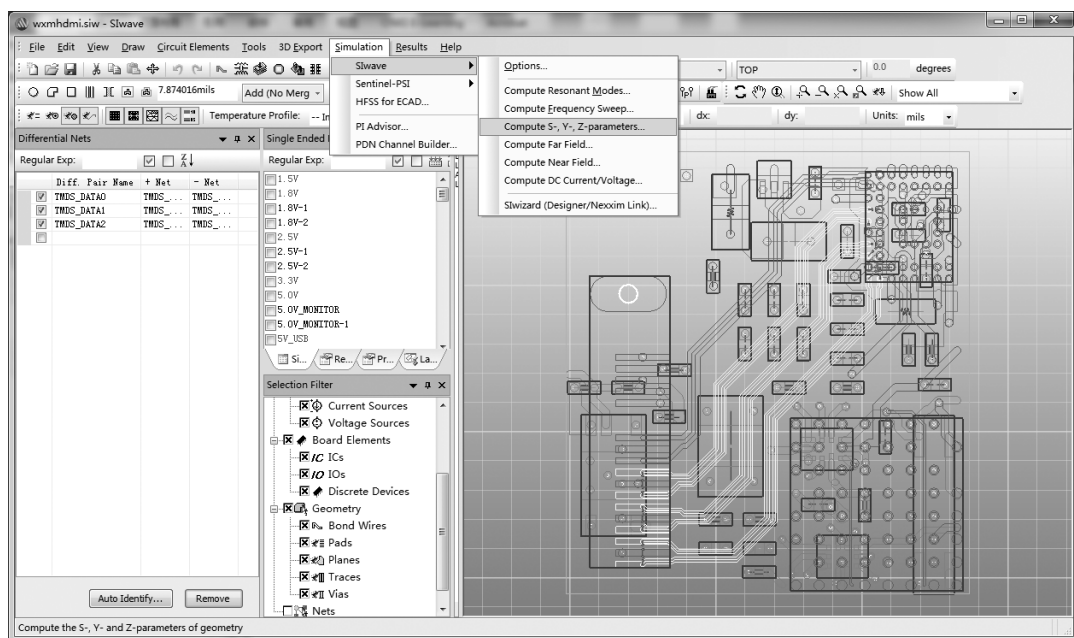


图 2.3.11 SYZ 仿真选项

3. SYZ 仿真设置

为了进行 S 参数扫描，分别在 IC 端与 connector 端共设 12 个 Port。

对于频率扫描的设定方式，建议采取三段式设定法：DC 取一点，1Hz ~ 5GHz 取 “by Decade”，剩下取 “Linear”，如图 2.3.12 所示。

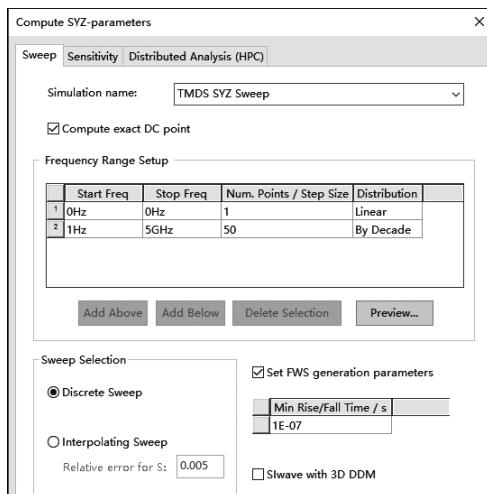


图 2.3.12 频率范围设置

如果要提取 SPICE model, 记得勾选“Set FWS generation parameters”复选框, 意味着“Full – wave SPICE”方式。只要这项勾选, Start frequency 会自动/强制设成 0Hz, 因为 SPICE model 需要全频带 (含 DC) 的信息。

这样的设定方法可以加强低频取样, 避免后面抽出来的 S 参数模拟遇到不收敛的问题。不收敛问题常见于一般电路仿真软件 (如 HSPICE 等)。导致模拟不收敛的几个可能原因如下。

- ☺ 理想的电容或电感等效寄生电阻 $ESR = 0$, 如果没定义初始电压或电流值, 可能导致一开始 ($t = 0$) 的值无法计算出来 (SPICE Issue), 电路上有 pet 没接 (floatipg) 或接错 (SPICE Issue)。
- ☺ Power/Groupd plape 阻抗很低, 如果又放置很多 port, 想跑 SSP 模拟, 那也容易不收敛。
- ☺ 当模拟的 port 放置得太多, 以输入/输出所形成的 S – parameter 矩阵运算太过复杂。
- ☺ 模拟设定、扫频的方式, 或是产生 HSPICE 的设定上没设好。

4. S 参数仿真

单击“确定”按钮开始仿真, 仿真结束后, 绘制结果曲线。

单击“Result” → “SIwave” → “SYZ” → “TMD5 SYZ Sweep” → “Plot Magnitude/Phase...”, 选中列表中的 (1,2)、(3,4)、(5,6)、(7,8)、(9,10) 和 (11,12) 项。单击“Create Plot in Reporter”, 生成单端插入损耗结果曲线图, 如图 2.3.13 所示。

展开“Results” → “XY Plot 1”, 右击“Rename”, 修改名称为“Single – Ended Insertion loss”, 生成单端插入损耗结果曲线图, 如图 2.3.14 所示。

5. 差分 S 参数

1) 设置差分节点 设置差分节点: 单击“View” → “Workspace” → “Differential nets”, 再单击“Auto Identify...”按钮, 弹出“Auto Identify Differential Pairs”对话框, 单击“Auto Identify”按钮, 如图 2.3.15 所示, 删除第四对差分对, 前三对 TMD5 差分对即所需。

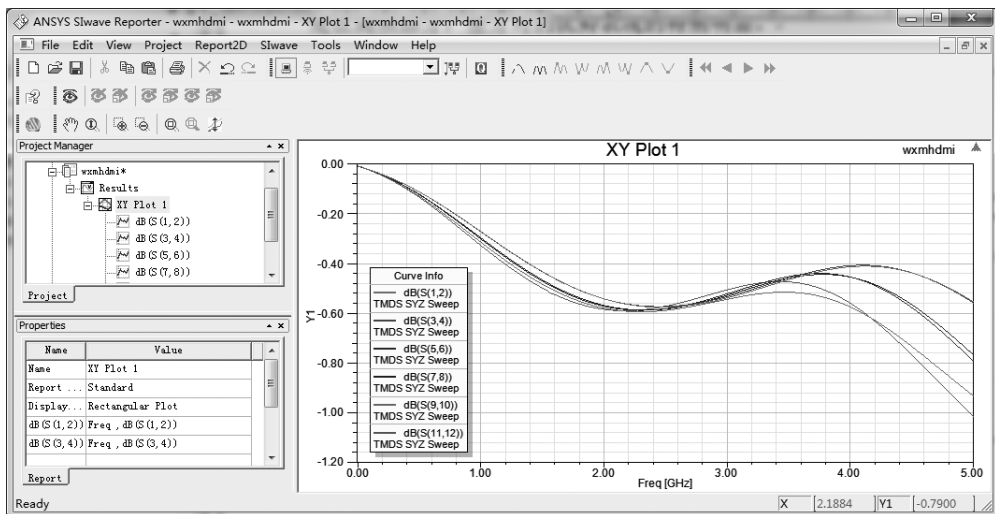


图 2.3.13 单端插入损耗

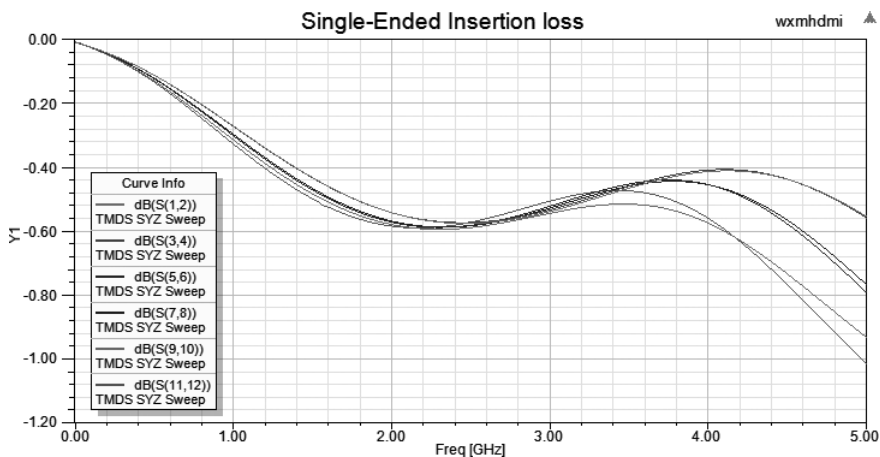


图 2.3.14 修改名称

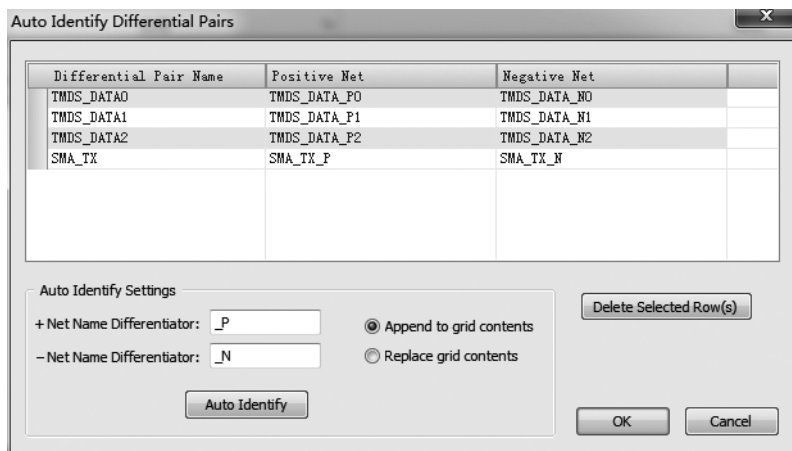


图 2.3.15 添加差分节点

2) 差分 S 参数 添加差分对结束后, 单击 “Result” → “SIwave” → “SYZ” → “TMDS SYZ Sweep” → “Compute Differential S – parameters”, 再单击 Differential Ports 下的 “Compute Diff.SMatrix”, 在 Matrix Entries to plot 列表中选中 (TMDS_DATA0, TMDS_DATA0_1)、(TMDS_DATA1, TMDS_DATA1_1)、(TMDS_DATA2, TMDS_DATA2_1) 项, 单击 “Create Plot in Reporter” 按钮, 如图 2.3.16 所示。

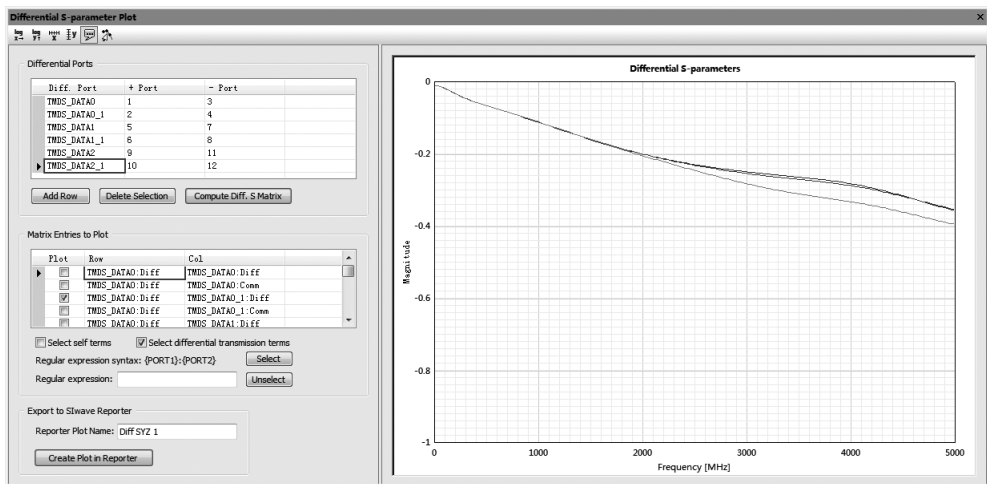


图 2.3.16 生成差分对差分损耗

生成差分对插入损耗结果曲线图, 如图 2.3.17 所示。

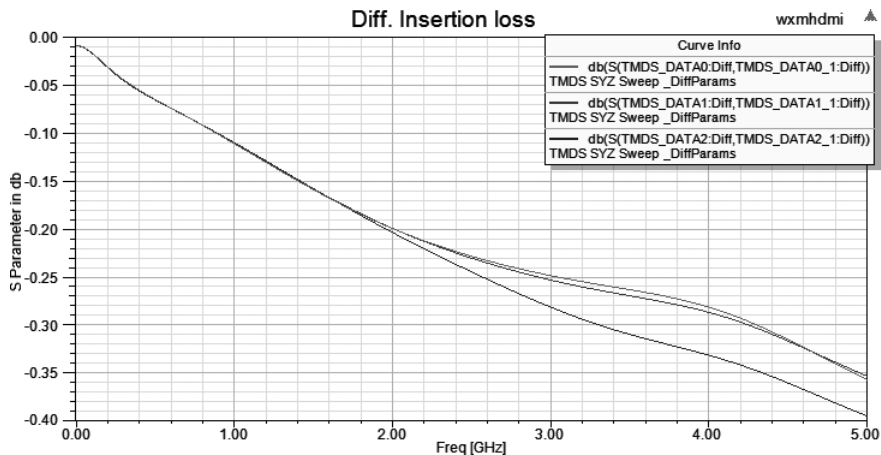


图 2.3.17 差分对插入损耗

反映传输性能优劣的一个指标是插入损耗, 插入损耗越大越好, 插入损耗越大说明传输效率越高。插入损耗理想值是 1, 即 0dB, 在一般的高速电路设计中要求插入损耗大于 0.7 即可, 即大于 -3dB 基本可以满足传输要求。由上述可以很明显看出, 单端和差分对的传输性能都非常好, 但是比较而言, 同频下特别是在高频部分, 差分对的优势表现得特别明显。

6. 差分对回波损耗

展开 “Results” → “Diff. Insertion Loss”, 右击选择 “Modify report...”, 选中列表中的

(TMDS_DATA0, TMDS_DATA0)、(TMDS_DATA0_1, TMDS_DATA0_1)、(TMDS_DATA1, TMDS_DATA1)、(TMDS_DATA1_1, TMDS_DATA1_1)、(TMDS_DATA2, TMDS_DATA2) 和 (TMDS_DATA2_1, TMDS_DATA2_1) 项, 单击“New Report”按钮, 生成差分对回波损耗结果曲线图, 如图 2.3.18 所示。

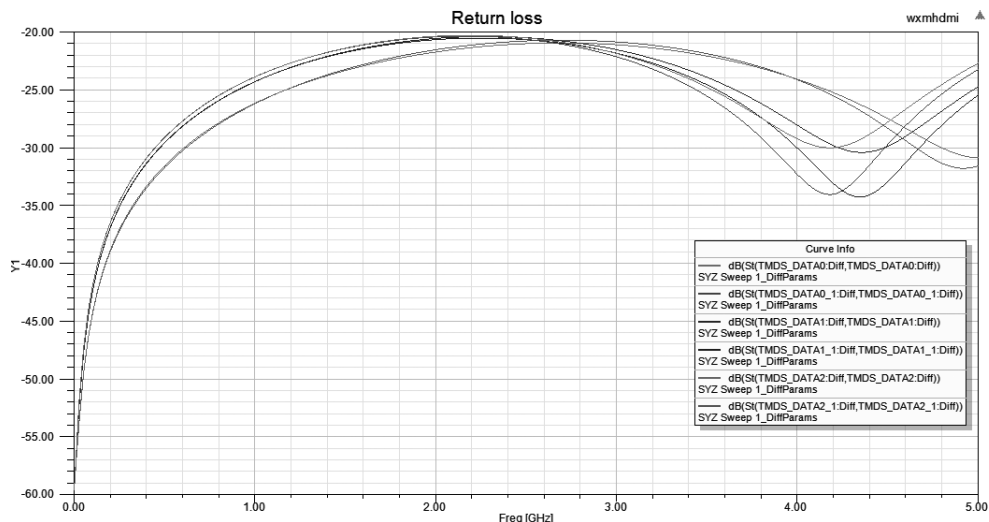


图 2.3.18 差分对回波损耗

反射损耗, 又称为回波损耗。回波损耗出现的原因是连接线路的阻抗不合理而造成的线路折射。阻抗不合理的地方一般是在连接器, 或者是在产生特性阻抗的位置。回波损耗越小越好, 一般小于 -20dB 即可达到设计要求。

7. 远端串扰

展开“Results”→“Diff. Insertion Loss”, 右击选择“Modify report...”, 选中列表中的 (TMDS_DATA0, TMDS_DATA1_1)、(TMDS_DATA0_1, TMDS_DATA1)、(TMDS_DATA1, TMDS_DATA2_1) 和 (TMDS_DATA1_1, TMDS_DATA2) 项, 单击“New Report”按钮, 生成差分对远端串扰结果曲线图, 如图 2.3.19 所示。

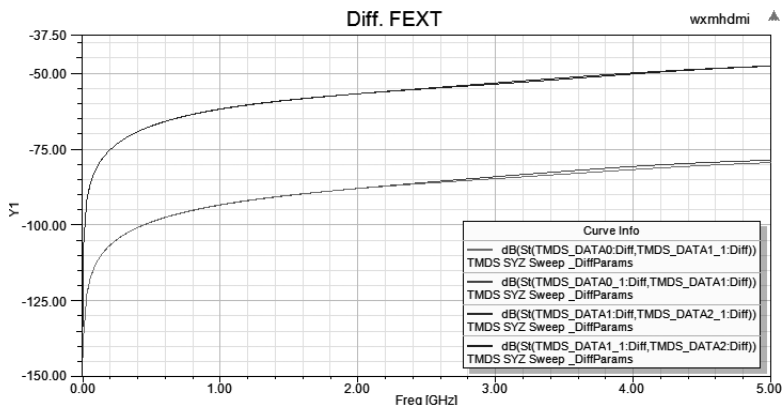


图 2.3.19 差分对远端串扰

信号在高速发送和接收过程中, 极易受到串扰的破坏。由麦克斯韦定律可知, 电流会产生磁场, 磁场干扰是串扰产生的根源。出现串扰问题的后果是信息丢失, 发送、接收信息失误。在综合走线时, 串扰也是需要非常重视的地方。串扰值 = 噪声信号/有用信号, 串扰值越低表示有用信号越多, 串扰值越高表示有用信号越少, 所以串扰值过高会造成接收数据丢失。串扰与频率有关, 高频区串扰值大于低频区串扰值, HDMI 对于远端串扰的要求是小于 -26dB, 很明显串扰非常小, 远远超过协议要求, 由此也验证了本次 TMD5 差分线布局走线的正确性。

由差分对远端串扰发现, 第二对与第三对差分对之间的串扰相较于第一对与第二对差分对之间的串扰大出 30dB, 这是由第三对差分线的地参考面不连续所造成的。在当今高集成、高密度的高速数字电路中, 相邻信号线之间的信号耦合/串扰已成为影响系统性能的关键之一。尤其对于具有不完整参考面的互连线来说, 受所激发的寄生槽线模式影响, 极易将噪声耦合到其他互连线上, 引起串扰现象的发生。此外, 当两根信号线穿越同一个地参考面槽缝时, 两根线的返回电流都被迫沿槽缝边沿流过, 因此它们拥有相同的地返回路径, 如果其中一根线上的信号开启, 其返回路径相应的瞬态变化也会引起另一根线的信号开启, 这就是所说的“地反弹”现象 (ground - bounce)。普通电路中电流会流过小阻抗回路, 高速电路与这个不同, 电流会流过小感抗回路。具有相同返回路径的地参考面的传输线之间的串扰会显著增加。

8. TDR 特性阻抗

通过 TDR 测试可以查看传输线特性阻抗的大小及连续性。

1) 单端 TDR 展开 “Results” → “Single - Ended Insertion loss”, 右击选择 “Modify report...”, 在 Context 选项下的 Domain 选择 “Time”, 单击 “TDR Options...” 按钮, 打开 “TDR Options” 对话框, 如图 2.3.20 所示。

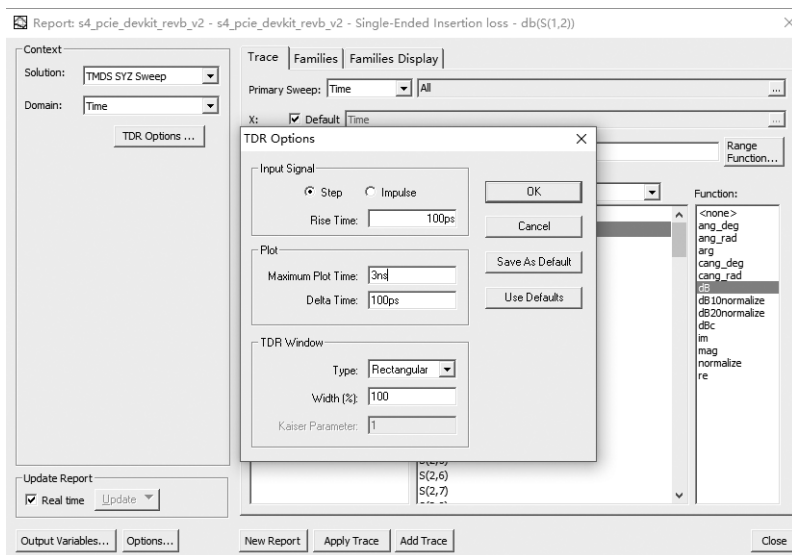


图 2.3.20 生成 TDR 曲线设置

如图 2.3.21 所示, 单击 “OK” 按钮, 完成 TDR Options 设置, 在 Category 选项下选择

“Terminal TDR Impedance”，选中所有选项，Function 选项下选择 “< none >” 选项。

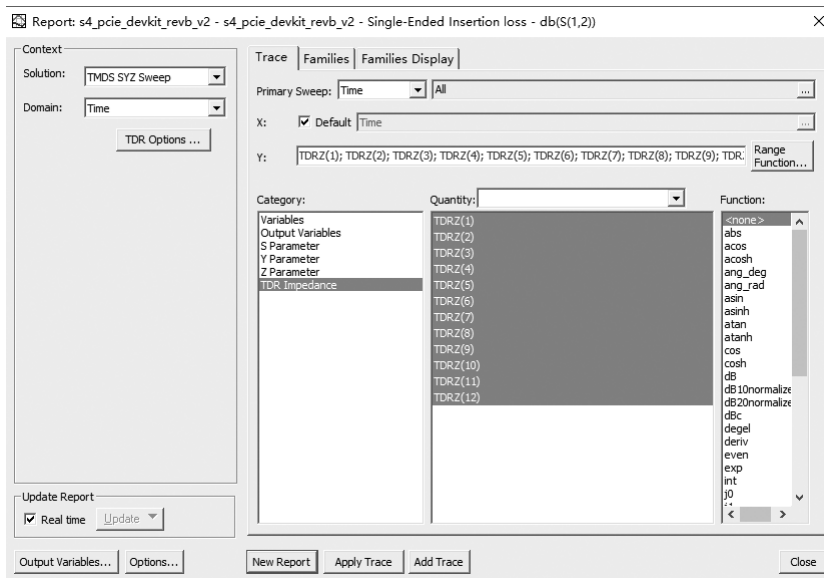


图 2.3.21 TDR 曲线参数设置

单击 “New Report”，生成单端 TDR 结果曲线图，如图 2.3.22 所示。

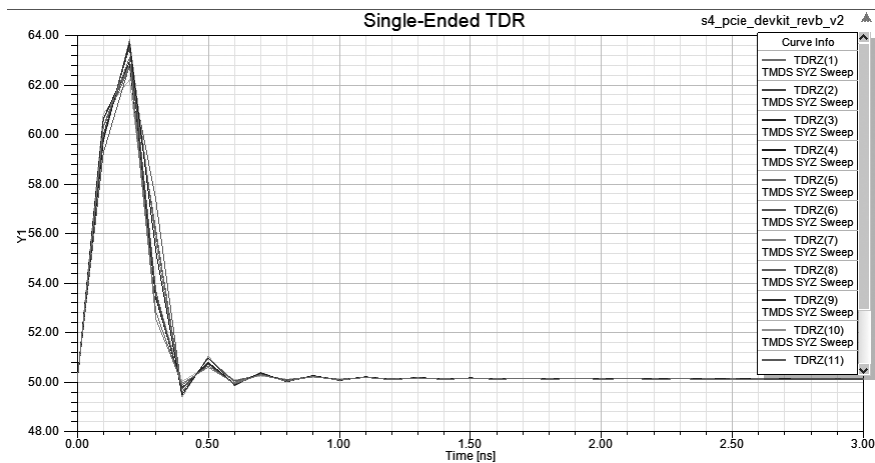


图 2.3.22 单端 TDR

2) 差分 TDR 展开 “Results” → “Diff. Insertion Loss”，右击选择 “Modify report...”，其他按照上述操作，在列表中选择 TDRZt(TMSD_DATA0:Diff)、TDRZt(TMSD_DATA0_1:Diff)、TDRZt(TMSD_DATA1:Diff)、TDRZt(TMSD_DATA1_1:Diff)、TDRZt(TMSD_DATA2:Diff)、TDRZt(TMSD_DATA2_1:Diff) 项，生成差分对 TDR 曲线图，如图 2.3.23 所示。

3) 共模 TDR 在列表中选择 TDRZt(TMSD_DATA0:Comm)、TDRZt(TMSD_DATA0_1:Comm)、TDRZt(TMSD_DATA1:Comm)、TDRZt(TMSD_DATA1_1:Comm)、TDRZt(TMSD_DATA2:Comm)、TDRZt(TMSD_DATA2_1:Comm) 项，生成差分对共模阻抗曲线图，如图 2.3.24 所示。

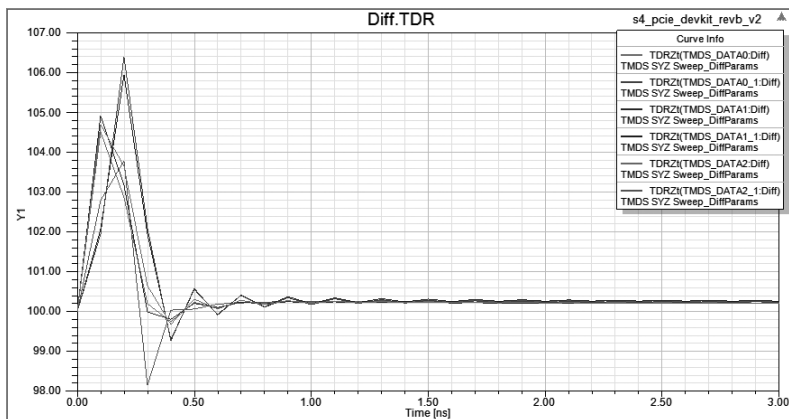


图 2.3.23 差分对 TDR

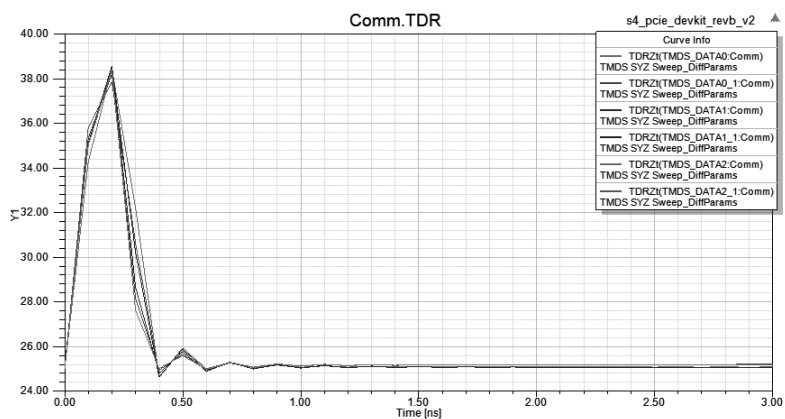


图 2.3.24 共模 TDR

传输线特性阻抗最大值为 63.6Ω ，差分阻抗为 106.4Ω ，在传输时间内，传输线特性阻抗发生变化，这与布线时走线角度有关联，如果均匀的互连线上有角度弯曲，则此处的阻抗发生改变。 90° 的走线是高速电路 PCB 走线时最好不要有的，这是布线质量的评价标准，锐角及钝角布线也会引起阻抗不一样。分析差分阻抗可以看出，即使在 500ps 的短时间内，差分阻抗发生突变，但是最大不超过 108Ω ，仍在协议要求范围内。

2.3.3 时域分析

接下来在 Designer 里进行时域分析。

1. 提取 S 参数端口模型

在 SIwave 中选择菜单项 “Results” → “SIwave” → “TMDS SYZ Sweep” → “Export to Touchstone? File”，文件名为 wxmhdmi.s12p，单击 “Save” 按钮保存。单击 “OK” 按钮，确认 Renormalize Solution 阻抗采用 50Ω ，如图 2.3.25 所示。

2. 创建等效电路

接下来在 Designer 里创建等效电路。

启动 Designer 简历工程文件、改名。选择主菜单“File”→“New”，创建新的工程，选中 Project，改名为 wxmhdmi，由此建立文件 wxmhdmi. ads。

选中“wxmhdmi”右击，选择“Insert”→“Insert Circuit Design”。

1) 建立 S 参数端口模型 在窗口左侧的 Project Manager 窗口下，选择 Project 选项卡，选择“Definitions”→“Models”，右击选择“Add Model”→“Add Nport Model...”，打开“N-port data”对话框，如图 2.3.26 所示。在 File 中选择上述生成的 wxmhdmi. sl2p 文件，Mode 栏框内选择“Link to file”，这样一旦 source. snp 有更新时，Ansoft Designer/Nexxim 也会自动连接更新。

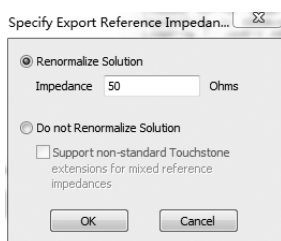


图 2.3.25 Renormalize Solution 设置

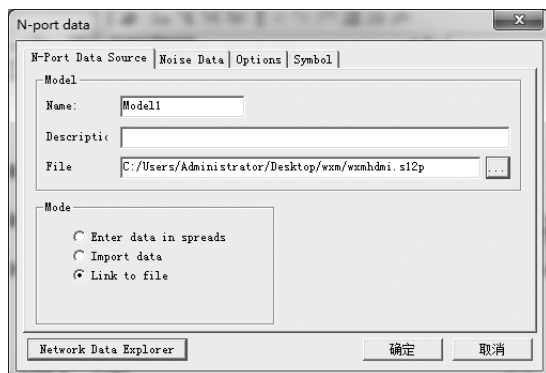


图 2.3.26 导入 S 参数模型

选择“Add Nport Model”后，在 Project Manager 窗口 Project 页内 Definitions \ Models 路径下，就可以看到从 SIwave 汇入的组件，被直接拉进主电路编辑窗口，如图 2.3.27 所示。

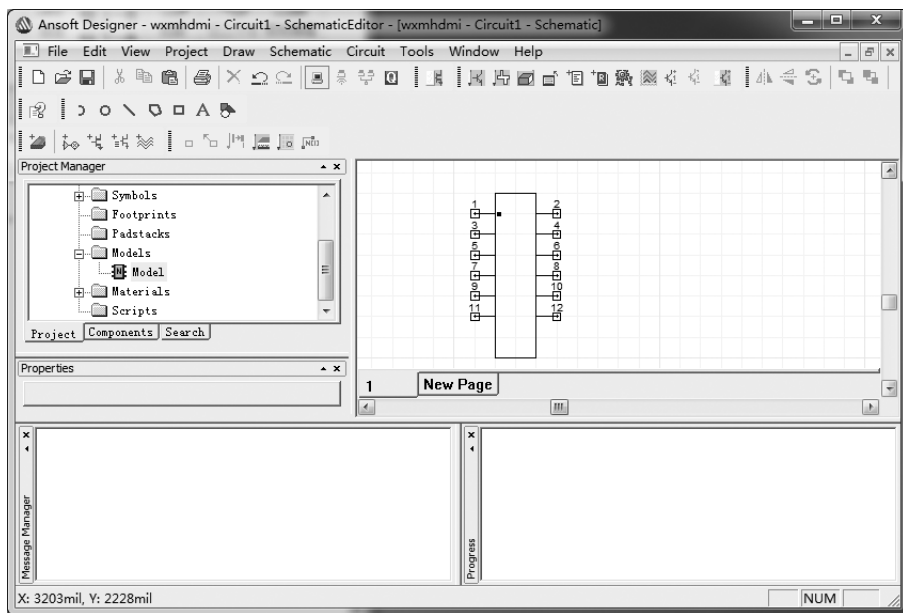


图 2.3.27 S 参数模型

2) 修改 S 参数端口模型引脚 原始的 S 参数模型如图 2.3.28 所示。双击元器件，打开“Model Properties”对话框，如图 2.3.29 所示。

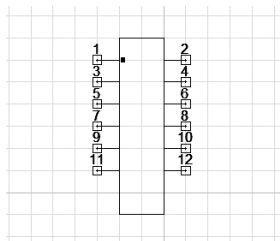


图 2.3.28 初始 S 参数模型

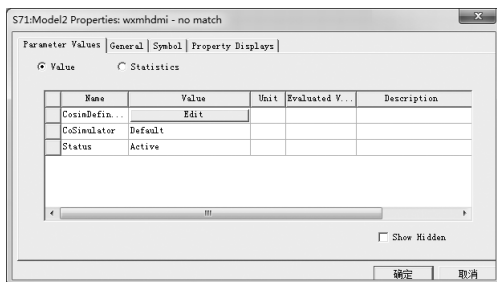


图 2.3.29 “Model Properties” 对话框

单击“Edit”按钮，打开“Nport Model Cosim Definition”对话框，如图 2.3.30 所示。

在 Model Selection 中选择刚导入的 Nport 模型“Model”，Reference Port 采用默认的“Implied reference to ground”，单击“Edit”按钮，打开“N - port data”对话框，打开“Symbol”选项，开始进行引脚调整，如图 2.3.31 所示。可以在 Pin Direction 选项下先选择“All Right”（“All Left”）选项，先把所有引脚放到右侧或者左侧，接下来单击“Manual Edit”，在 Drag and drop text to manually edit 下，直接把左侧需要的引脚单击拖曳至左侧（右侧）即可，调整相关引脚顺序。

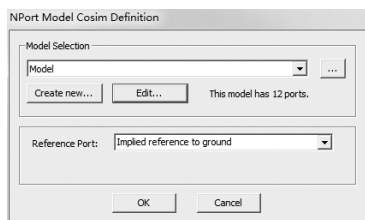


图 2.3.30 “Nport Model Cosim Definition” 对话框

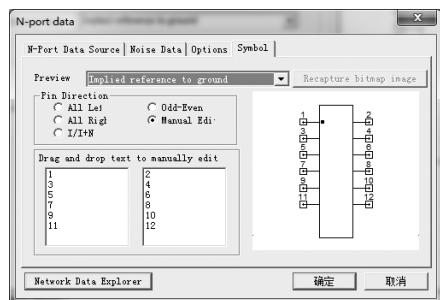


图 2.3.31 调整引脚

调整好以后，单击各个“确定”按钮，完成引脚调整，如图 2.3.32 所示。

修改完整后再将“Model”拖曳至电路绘图板内。

3) 导入 TMD5341 的 IBIS 模型 选择“Tools”主菜单，选择“Import IBIS Components...”，选择 TMD5341 的 IBIS 模型文件，打开“Import IBIS”对话框，如图 2.3.33 所示。

Buffer Import 项设置如图 2.3.34 所示。

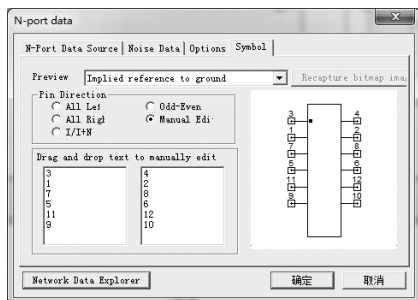


图 2.3.32 调整以后的 S 参数模型

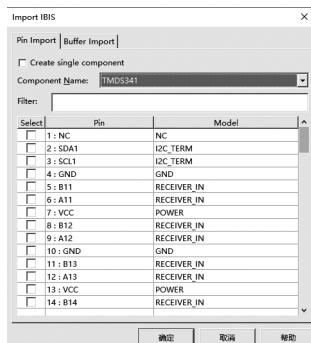


图 2.3.33 导入 IBIS 模型

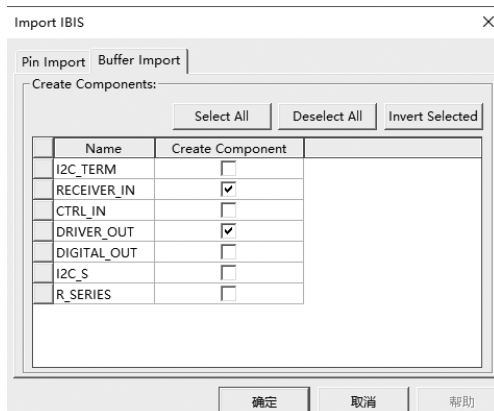


图 2.3.34 Buffer Import 项设置

在 Pin Import 项设置如图 2.3.35 所示。

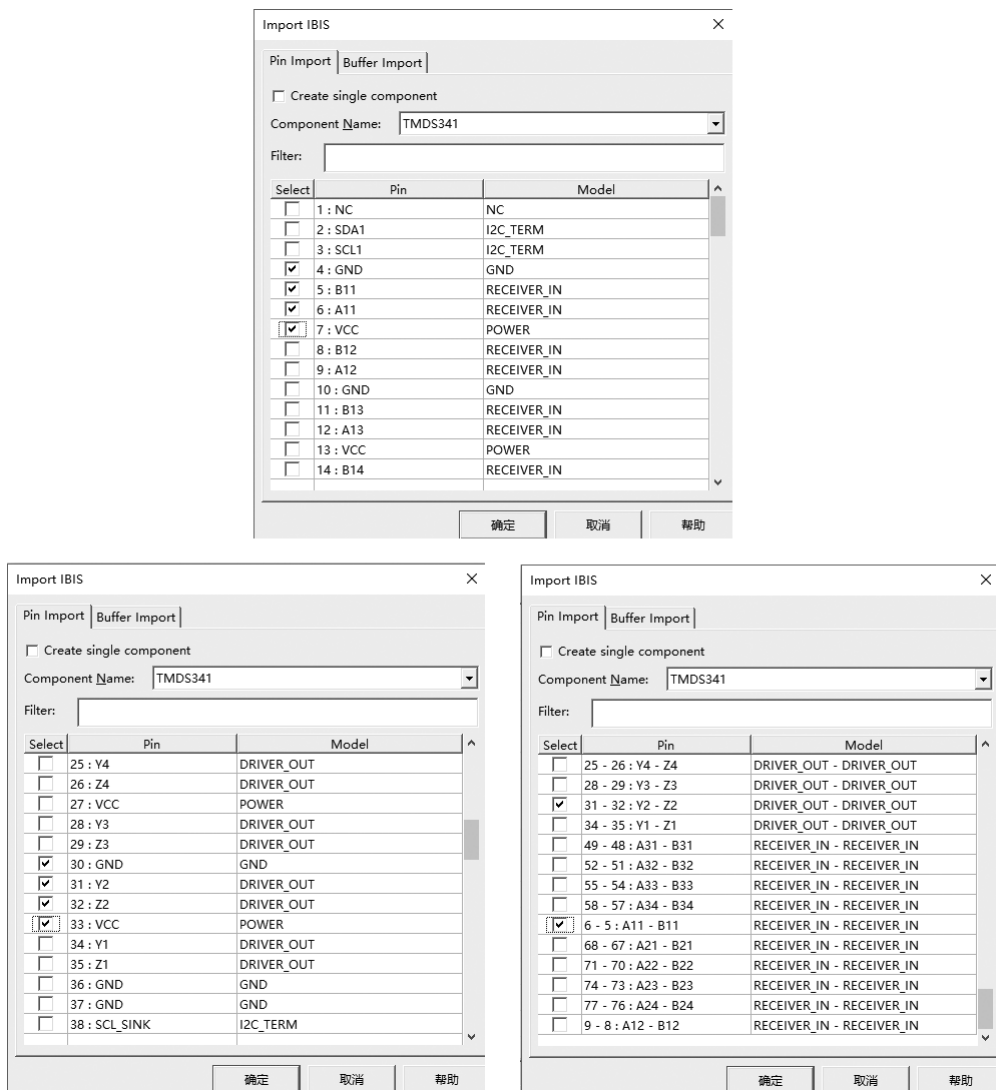


图 2.3.35 Pin Import 项设置

4) 加入差分电源与差分探头 为了进行眼图分析, 需要添加 EYESOURCE_DIFF 源和 EYEPROBE_DIFF 探针。

TMDS341 的 IBIS 模型导入后, 在窗口右下角的 Component Manager 窗口下, 分别选择 “Nexxim Circuit Elements” → “Independent Sources” → “EYESOURCE_DIFF” 和 “Nexxim Circuit Elements” → “Probes” → “EYEPROBE_DIFF”。EYESOURCE_DIFF 参数设置如图 2.3.36 所示。

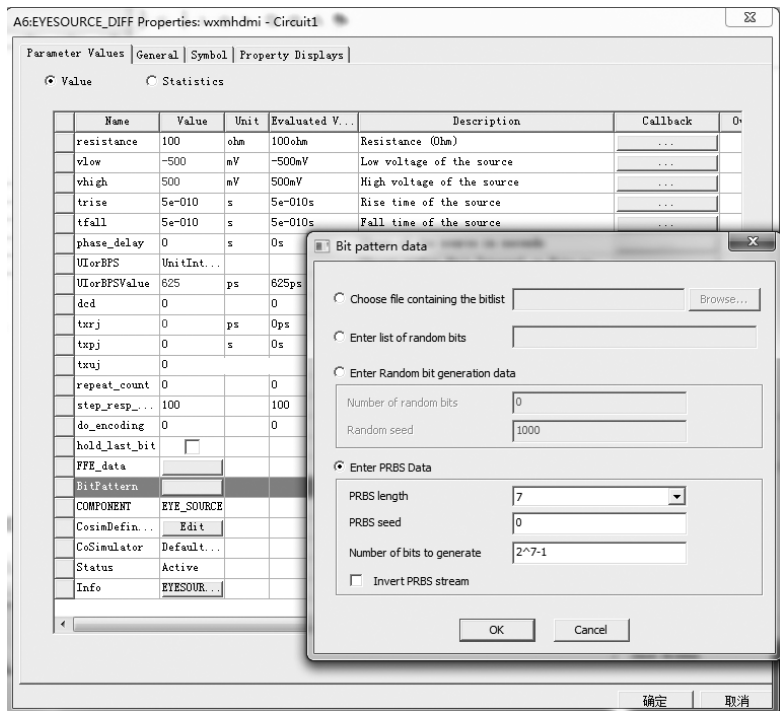


图 2.3.36 EYESOURCE_DIFF 参数设置

5) 等效电路 在 Project Manager 窗口下的 Components 中, 选择 “IbisOpenSink4”, 继续添加电阻和地, 最终搭建的等效电路如图 2.3.37 所示。

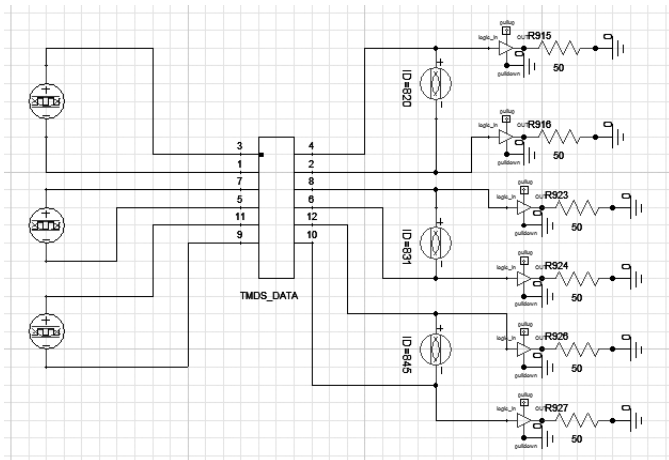


图 2.3.37 TMDS 等效电路模型

3. Alter 设置

如果为了在同一图上导出多幅图，Alter Function 可以在同一个 Nexxim Design 设定不同的模拟 condition，一次把所有结果进行比对。

在 Analysis 中设定 Alter 的数据取得路径。

在左侧 Project Manager 下的 Circuit1 处单击鼠标右键，选择“Browse Netlist”，检查此 Design 的 Stone File 路径，将该行整行复制，如图 2.3.38 所示。

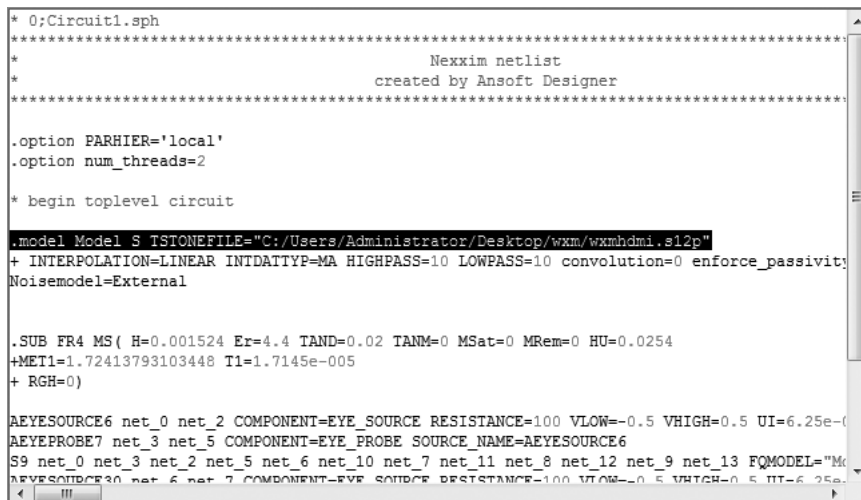


图 2.3.38 Stone File 路径

在 Analysis 处单击鼠标右键，选择“Add Alter Block...”，弹出“Alter Data”对话框，在此对话框中，按 Add 新增设定，然后在新增的 Alter1 列中，Alter Block Definition 那一栏有个按钮，按下该按钮后输入刚刚复制的 trace.snp 路径，然后按“OK”按钮。同样的方法，依序加入另外组 Alter 设定，分别指向不同的 .snp，如图 2.3.39 所示。

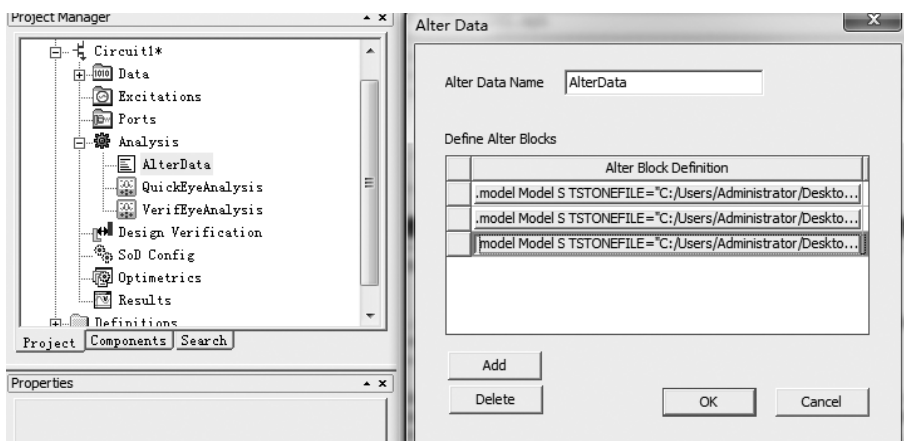


图 2.3.39 Alter 设定

4. 快速眼图仿真设置

接下来进行快速眼图仿真，在窗口左侧的 Project Manager 窗口下，选择 Project 选项卡，

在电路图下选择 “Analysis”，右击选择 “Add Nexxim Solution Setup...” → “Quick Eye Analysis”，打开 “Quick Eye Analysis” 对话框，需要注意的是，在 Alter Block Definition 项目下 Name 选择 “AlterData”，如图 2.3.40 所示。

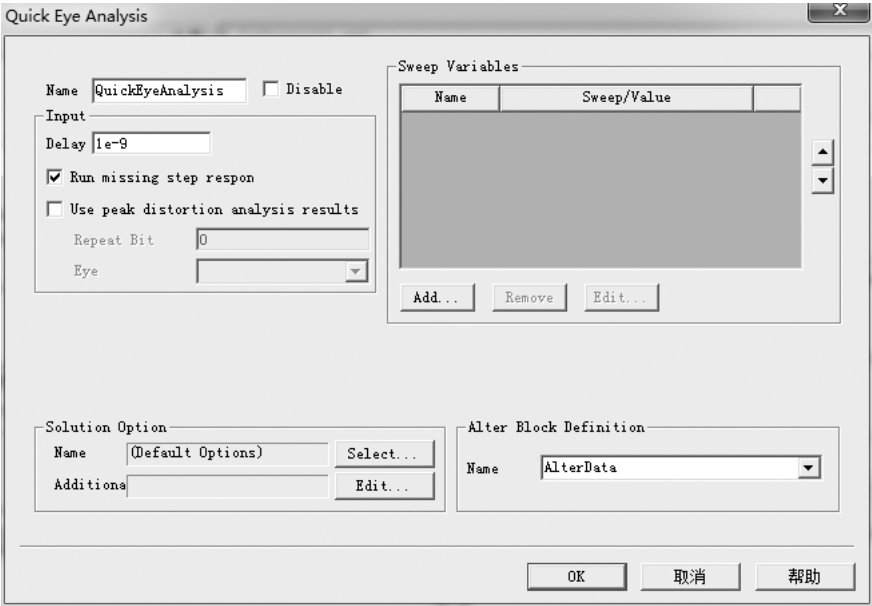


图 2.3.40 快速眼图仿真设置

5. 统计眼图仿真设置

选中 Analysis，右击选择 “Add Nexxim Solution Setup...” → “VerifEYE Analysis”，建立 VerifEYE Analysis，如图 2.3.41 所示。

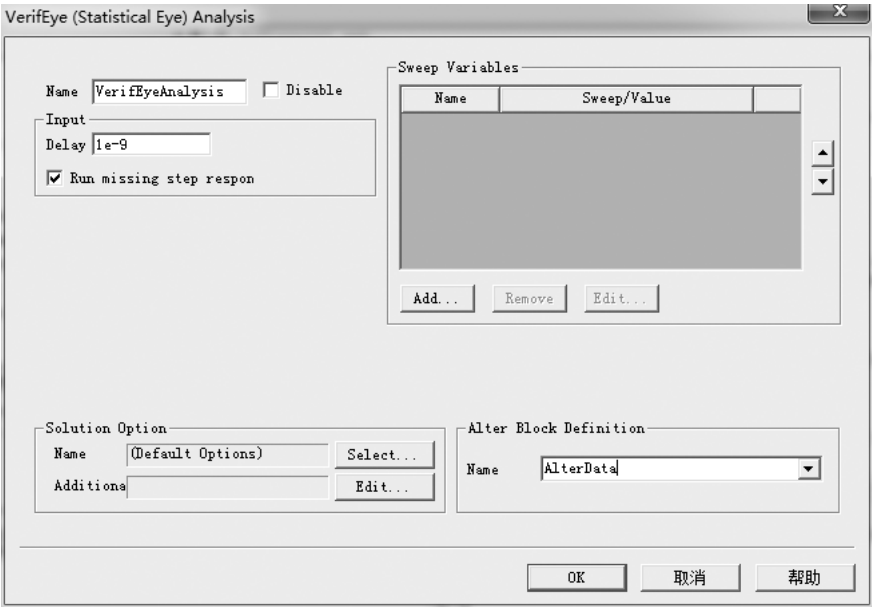


图 2.3.41 统计眼图仿真设置

6. 眼图仿真

完成设置后, 选中 “Analysis”, 右击选择 “Analyze”, 进行眼图仿真。仿真结束后, 选中 Results, 右击选择 “Create Eye Diagram Report” → “Rectangular Plot”, 如图 2.3.42 所示, 在弹出的对话框中做以下设置。

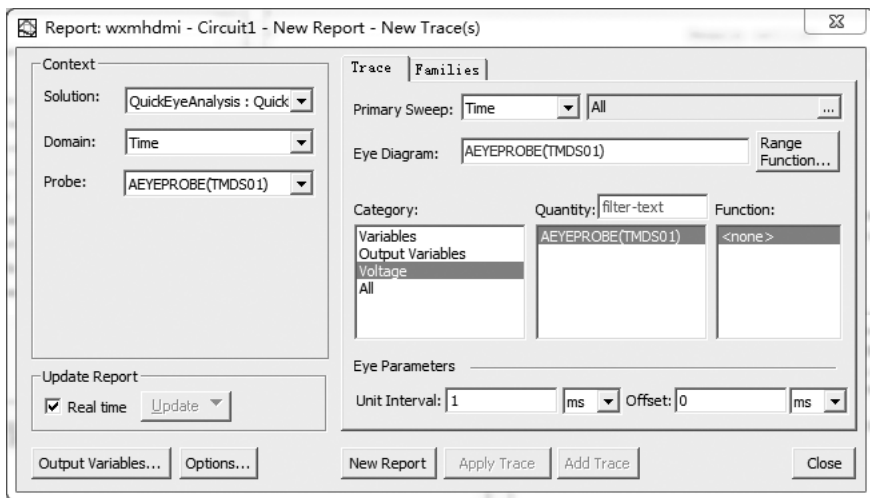


图 2.3.42 眼图仿真设置

Solution 中选择第一组 Alter1 设定, Plotting Range 的 Time Stop 改成 150ns (因为 Unit Interval = 0.625ns), 第一次按 "New Report" 按钮。

Solution 中选择第二组 Alter2 设定, Plotting Range 的 Time Stop 改成 150ns (因为 Unit Interval = 0.625ns), 第二次按 "Add Trace" 按钮。

Solution 中选择第三组 Alter3 设定, Plotting Range 的 Time Stop 改成 150ns (因为 Unit Interval = 0.625ns), 第三次按 "Add Trace" 按钮。

7. 绘制眼罩

生成快速眼图后, 双击眼图, 打开眼图属性对话框, 如图 2.3.43 所示。

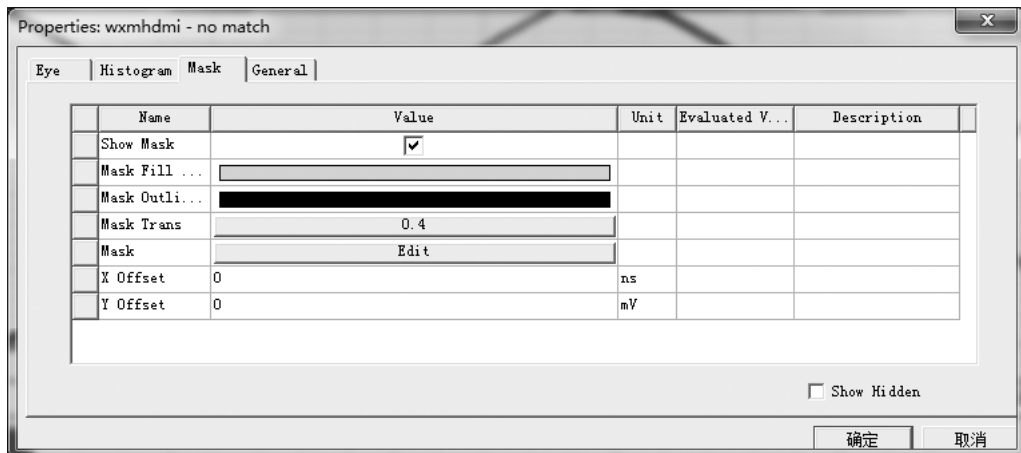


图 2.3.43 眼图属性对话框

在 Mask 选项卡下，单击“Edit”按钮，打开“Edit eye mask”对话框，如图 2.3.44 所示。

单击“Edit”按钮，打开“Edit Dataset”对话框，如图 2.3.45 所示。

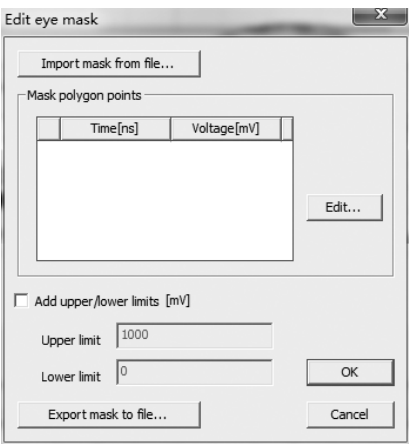


图 2.3.44 “Edit eye mask”对话框

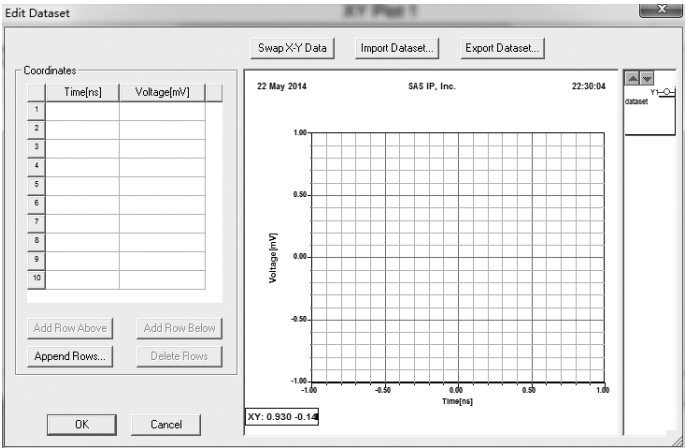


图 2.3.45 “Edit Dataset”对话框

按照眼罩规格，绘制眼罩，单击“OK”按钮完成，绘制完成的眼罩如图 2.3.46 所示。

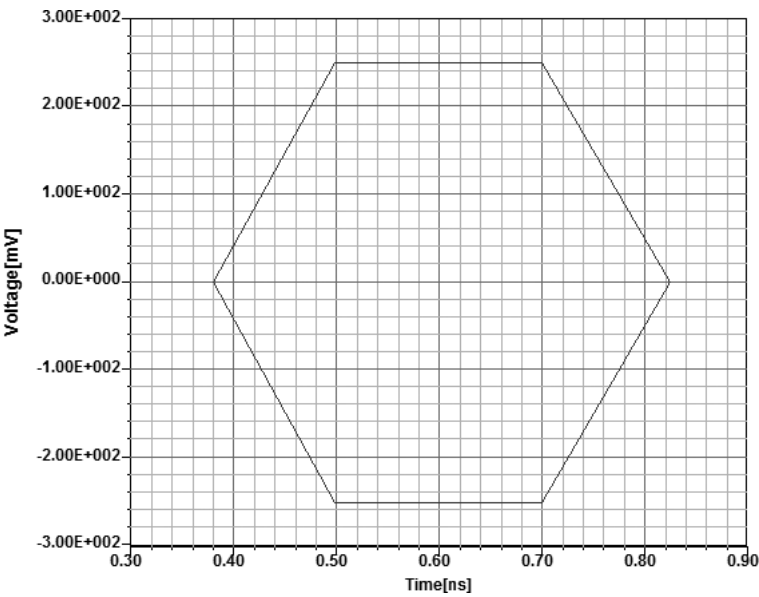


图 2.3.46 眼罩

8. 快速眼图分析

快速眼图如图 2.3.47 所示。

在眼图上，右击选择“Trace Characteristics”→“Add All Eye Measurements”，显示的眼图参数如图 2.3.48 所示。

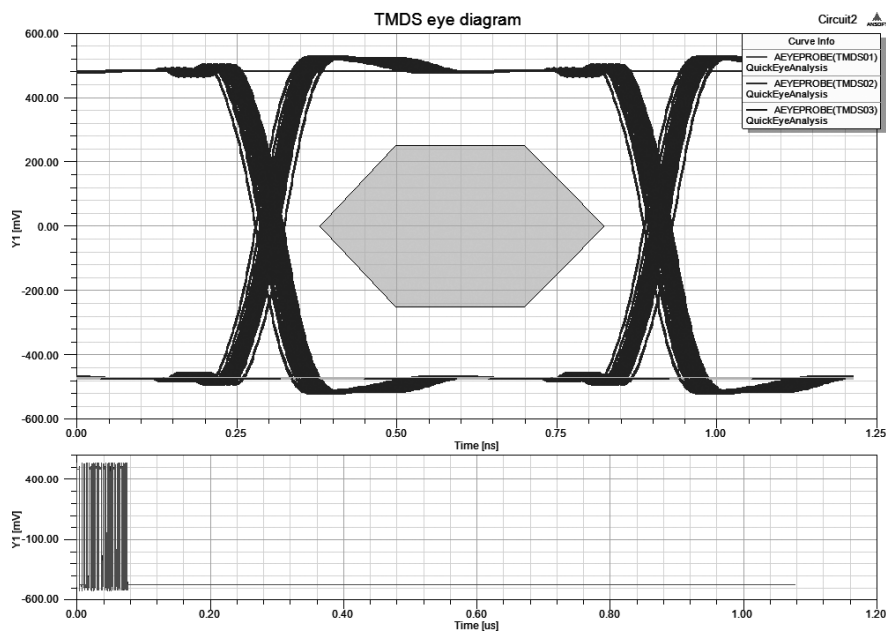


图 2.3.47 快速眼图

Curve Info	AEYEPROBE(TMD501) QuickEyeAnalysis	AEYEPROBE(TMD502) QuickEyeAnalysis	AEYEPROBE(TMD503) QuickEyeAnalysis
EyeLevelZero	-473.1567	-474.4746	-473.5693
EyeLevelOne	480.3826	481.1845	478.8450
EyeAmplitude	953.5393	955.6591	952.4143
EyeHeight	923.9839	930.7762	931.7634
EyeSignalToNoise	96.7884	115.2187	138.3589
EyeOpeningFactor	0.9897	0.9913	0.9928
EyeWidth	0.5484	0.5490	0.5482
EyeJitterP2P	0.0497	0.0497	0.0497
EyeJitterRMS	0.0096	0.0095	0.0096
EyeRiseTime	0.0565	0.0566	0.0560
EyeFallTime	0.0563	0.0561	0.0561
MinEyeWidth	0.5587	0.5587	0.5587
MinEyeHeight	944.7818	947.4590	941.9902

图 2.3.48 眼图参数

从眼图上很直观地能够看出三组差分对的传输性能非常好，眼图远远超过眼罩要求，但是出现了些逻辑 1 过冲的问题。

9. 浴盆曲线

通过眼图可以计算出系统的误码率，误码率（BER）是错误的比特数与比特总数的比值，可以很好地衡量通信系统的整体性能。BER 与数据率、抖动和噪声相关。

选中 Results，右击选择“Create Standard Report”→“Rectangular Plot”来创建浴盆曲线报告，生成浴盆曲线设置如图 2.3.49 所示，Solution 处选择“VeriEyeAnalysis”，Domain 处选择“UI”，Category 处选择“Bathtub”，这里 Primary Sweep 选择“__UnitInterval”来看时序抖动对应的误码率浴盆曲线，也可以选择“__Amplitude”来看幅度噪声对应的误码率浴盆曲线。一般默认为“__UnitInterval”。

单击“New Report”按钮，生成差分对浴盆曲线，如图 2.3.50 所示。

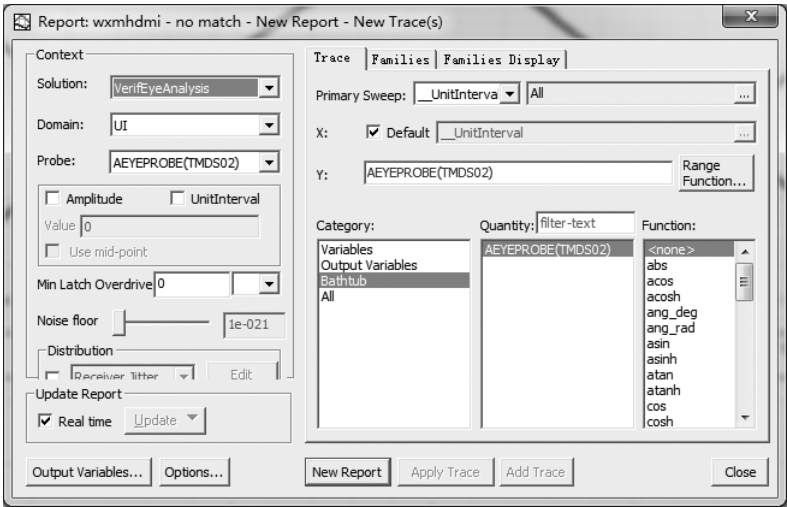


图 2.3.49 生成浴盆曲线设置

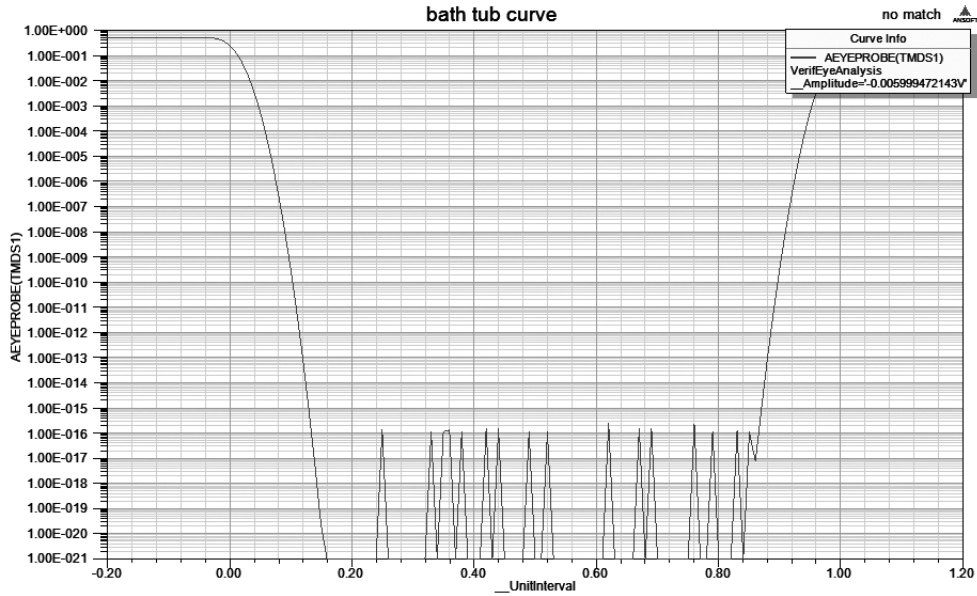


图 2.3.50 差分对浴盆曲线

评估时序抖动对误码率的影响。离中心点 0.5UI 越远误码率越高，浴盆曲线的横轴是采样时间，以 UI 为单位，纵轴表示可以达到的误码率。从图 2.3.50 中可以很清楚地看到时序抖动影响误码率。

10. 误码率等高线

选中“Results”，右击选择“Create Standard Report”→“Rectangular Contour Plot”来创建浴盆曲线报告，设置浴盆曲线报告如图 2.3.51 所示，Solution 处选择“VeriEyeAnalysis”，Domain 处选择“UI”，Category 处选择“Eye”。

单击“New Report”按钮，生成差分对误码率等高线曲线，如图 2.3.52 所示。

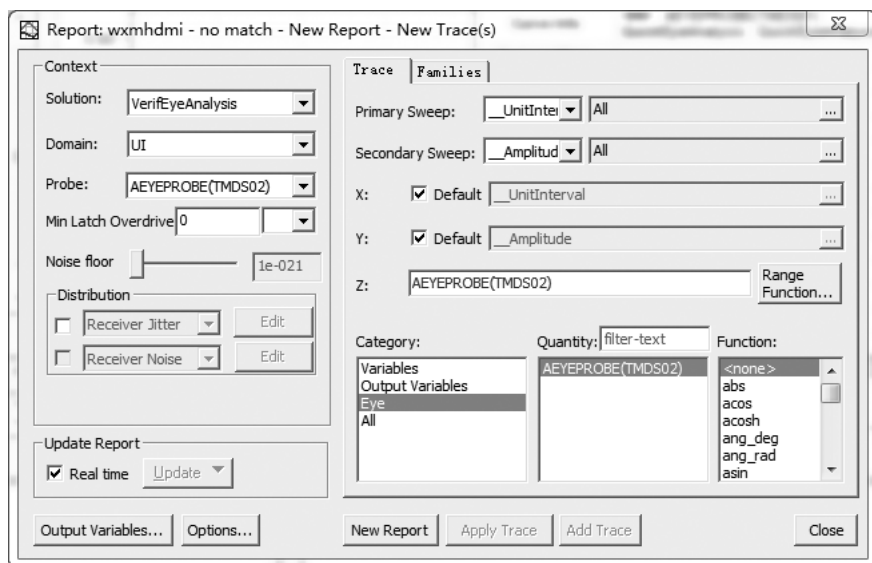


图 2.3.51 生成误码率曲线设置

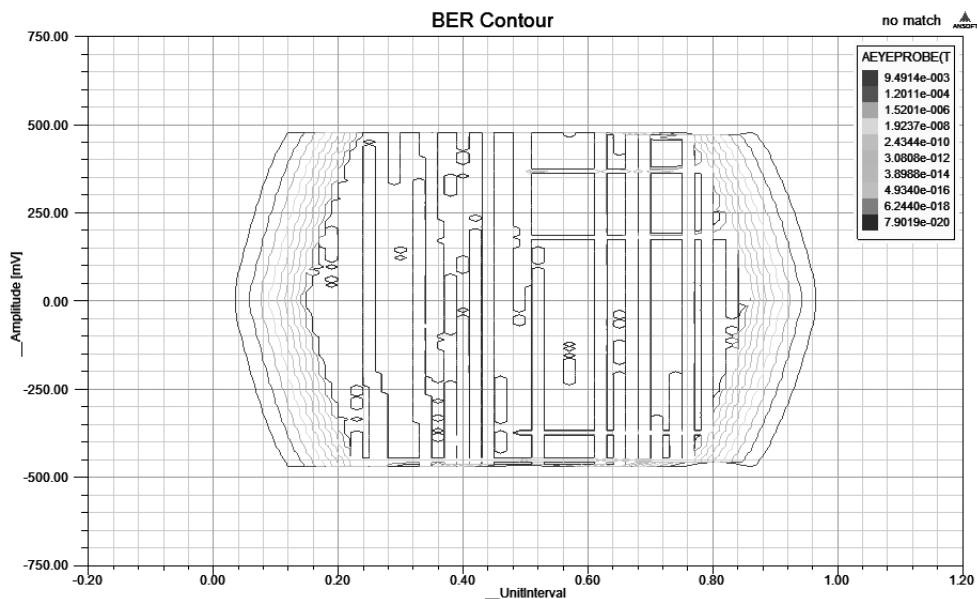


图 2.3.52 差分对误码率等高曲线

误码率等高线，横坐标是采样时间，纵坐标是采样电压，误码率等高线图由一系列的等高线组成，即误码率等高线给出了特定误码率的区域，如果眼图模板在某一个等高线内，则可以相应地预测通道的误码率。同时可以看到，从外圈到里圈误码率逐次减小，即较小的等高线表示最佳的采样区域；而给定误码率时，对应的等高线区域应足够大，即有足够的裕量。

2.3.4 差分对匹配

从眼图可以看出，TMDS 差分对传输线的信号完整性问题很小，主要是出现逻辑 1 过冲，下面通过 T 型匹配来减小过冲，并比较差分信号匹配和共模信号匹配的影响。

1. 差分信号匹配

采用 T 型匹配。

1) 参数获取 进行 T 型匹配需要首先求出匹配电阻大小，由 TDR 仿真得到的差模阻抗和共模阻抗，可以推导出奇模阻抗和偶模阻抗，从而计算出 T 型匹配的电阻值 R_1 和 R_2 。所需 T 型匹配参数如表 2.3.2 所示。

表 2.3.2 T 型匹配参数

传输线	差模阻抗 $Z_{\text{dif}} (\Omega)$	共模阻抗 $Z_{\text{cm}} (\Omega)$	奇模阻抗 $Z_0 (\Omega)$	偶模阻抗 $Z_e (\Omega)$	$R_1 (\Omega)$	$R_2 (\Omega)$
A0	100.5339	25.2769	50.26695	50.5538	50.5538	0.143425
A0_1	100.4144	25.3636	50.2072	50.7272	50.7272	0.26

2) 绘制原理图 首先进行差分信号匹配，其电路原理图如图 2.3.53 所示。

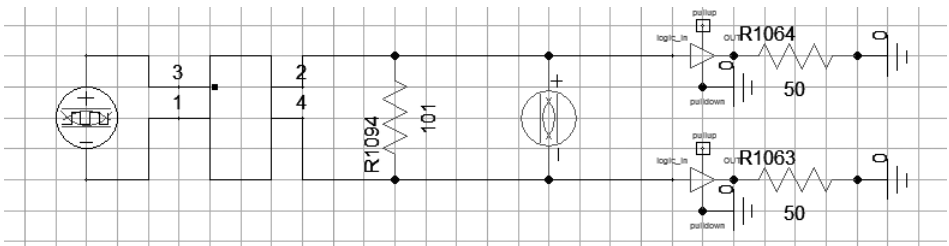


图 2.3.53 差分信号匹配电路原理图

3) 眼图仿真 差分信号匹配眼图如图 2.3.54 所示，很明显过冲减弱，但是输出幅值有所衰减，仍在接受范围内。

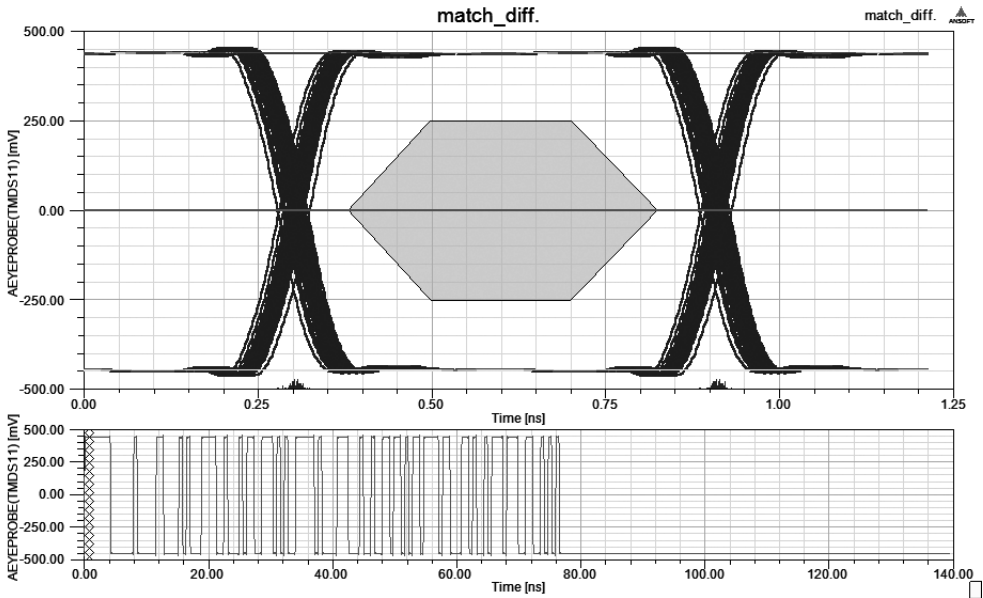


图 2.3.54 差分信号匹配眼图

2. 差分信号和共模信号匹配

1) 绘制原理图 按照 T 型匹配网络进行差分对的短接匹配, 差模信号和共模信号均匹配, 其电路原理图如图 2.3.55 所示。

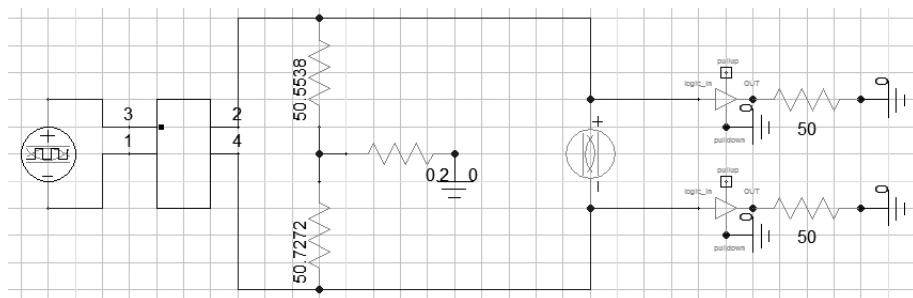


图 2.3.55 差分信号与共模信号均匹配电路原理图

2) 眼图仿真 差分信号与共模信号均匹配眼图如图 2.3.56 所示。

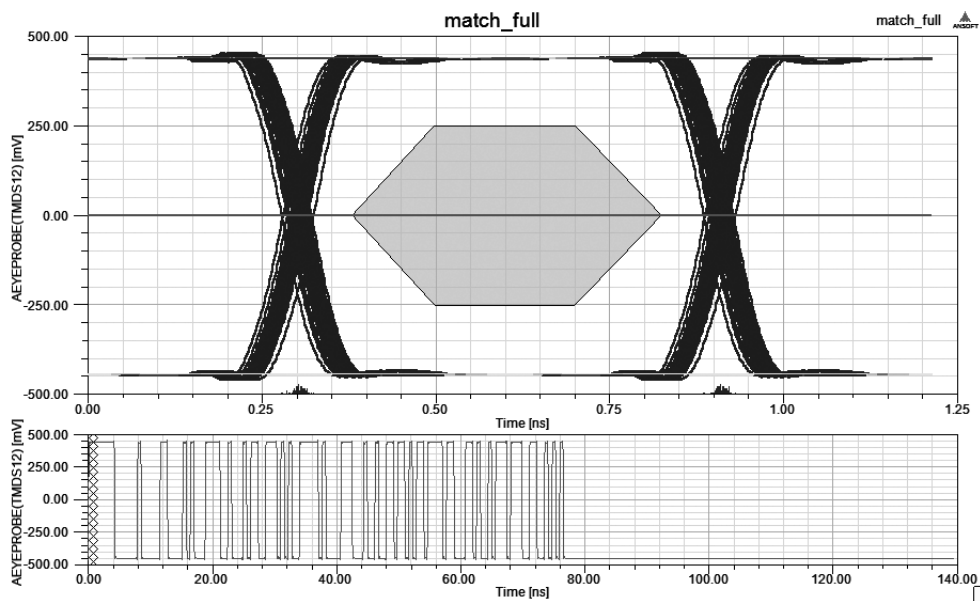


图 2.3.56 差分信号与共模信号均匹配眼图

相较于仅仅差分信号匹配, 差分信号与共模信号均匹配只有些微改善, 针对本次设计中出现的过冲问题, 通过差分信号匹配即可解决。

2.3.5 实测对比

对于规范的实际测试, 需要将专门的 HDMI 夹具插入 SI 评估板, 随后让 HDMI 设备创建相应的模型, 最后使用实时示波器测试边缘连接器的眼图。

Tektronix DPO71604C 示波器拥有 16Hz 的带宽, 我们用其完成 HDMI 的测试。其安装的后处理软件可以自动创建 HDMI 测试报告。实测眼图如图 2.3.57 所示。

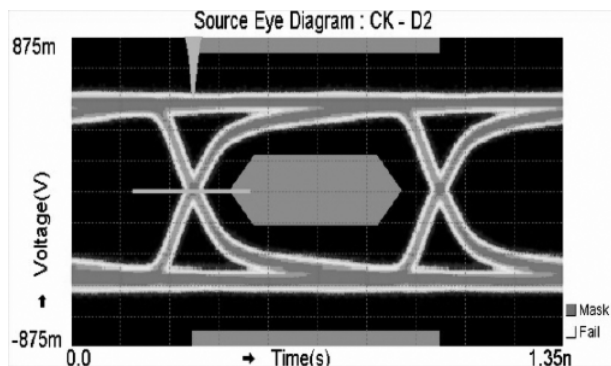


图 2.3.57 TMD5 实测眼图

与针对 PCB 仿真得到的眼图相比较，主要参数基本匹配，如眼高、眼宽、抖动要求等。验证了本次仿真设计的正确性。

2.4 本章小结

本章对 HDMI 相关内容进行了介绍，简单阐述了 HDMI 信号完整性前仿真分析需要注意的地方，重点使用 ANSYS 软件对 HDMI 信号完整性进行了后仿真分析。首先，切割出 HDMI 中一个通信通道的 TMD5 差分线，然后对其进行了频域分析——S 参数仿真。之后，提取了 S 参数端口模型，创建出等效电路，对其进行了时域分析。接着，通过 T 型匹配来减小出现的 TMD5 差分对传输线的过冲，并比较差分信号匹配和共模信号匹配的影响。最后，经过实测对比，验证了本章仿真设计的正确性。

第 3 章 PCIE 的仿真与测试

3.1 PCIE 简介

随着电子工业的高速发展，由于近几年来对更少设备引脚、较低板空间、更小连接器、更简单 PCB 布局及对于噪声敏感性更低的需求增大，使得高速串行链路技术得到了巨大的发展。当前最为流行的串行接口包括 HDMI、USB、SATA、Thunderbolt 及 PCIE 等，其传输速率对比如表 3.1.1 所示。例如，PCIE1.0 工作速率为 2.5Gb/s，而 PCIE2.0、PCIE3.0 和 PCIE4.0 分别为 5Gb/s、8Gb/s 和 16Gb/s。

表 3.1.1 高速串行总线数据速率趋势

接 口	数 据 速 率	接 口	数 据 速 率
HDMI1.4	5Gb/s	PCIE1.0	2.5Gb/s
USB3.0	5Gb/s	PCIE2.0	5Gb/s
SATA3.0	6Gb/s	PCIE3.0	8Gb/s
Thunderbolt	10Gb/s	PCIE4.0	16Gb/s

本章我们主要对 PCIE2.0 高速差分通道进行相应的仿真分析，用到的仿真工具是业界公认的 ANSYS，实验对象为 Stratix IV GX FPGA Development Board。

本开发板使用的 FPGA 芯片为 EP4SGX230KF40C2N，其结构如图 3.1.1 所示。除了硬件

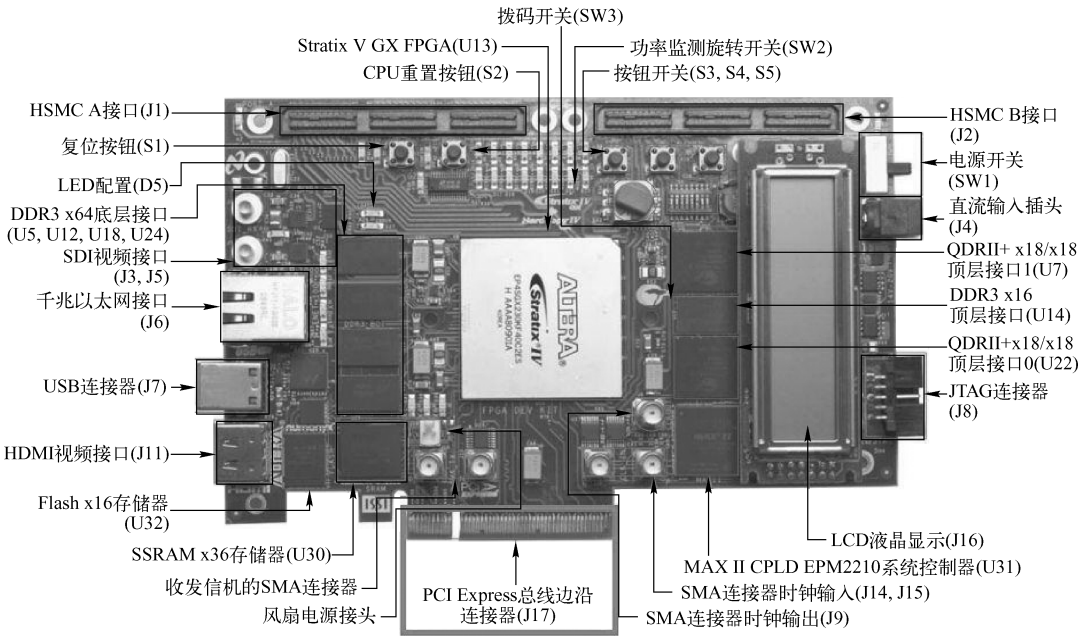


图 3.1.1 Stratix IV GX FPGA Development Board 结构

系统，Altera 也提供了软件 Quartus II 驱动 FPGA 输出 PCIE 数据流。该开发板完全适用于 PC，当开发板安装在计算机主板时可作为 PCIE 边缘连接器。

FPGA 开发板上的 PCIE 差分通道主要由如图 3.1.2 所示的 Trace1 和 Trace2 组成。无源拓扑结构包括 trace1、Via、AC cap、trace2 和边缘连接器，如图 3.1.3 所示。Trace1 包含 1.4" 的差分传输线，Trace2 包含 0.2" 的差分传输线加一个边缘连接器。

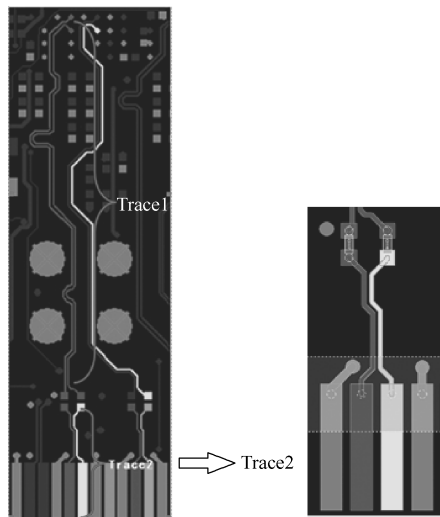


图 3.1.2 PCIE 的结构

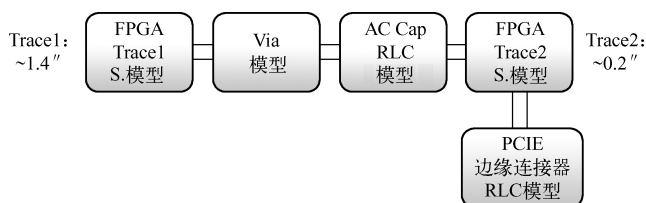


图 3.1.3 PCIE 拓扑结构图

对于连接器的金手指，有意切断它们附近的地线和电源线，以弥补电容效应。补偿机制可以解释为公式 (3.1.1)。为了保证边缘连接器上的阻抗匹配，由于金手指宽度 w 的增加，高度 h 也必须相应地增加。并且将与连接器最邻近的参考地平面 GND_LAYER14 人为地挖空，以补偿其连接器的容性效应，改善阻抗匹配，如图 3.1.4 所示。

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \frac{5.98h}{0.8w + t} \quad (3.1.1)$$

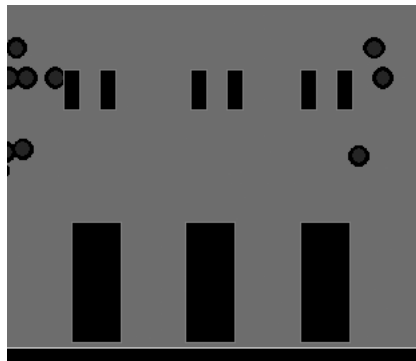


图 3.1.4 GND_LAYER14 层

3.2 SIwave 提取传输线 S 参数

1. 运行 SIwave

(1) 启动 SIwave，选择菜单项 “File” → “Import” → “ANF”，如图 3.2.1 所示。选中文件 s4_pcie_devkit_rev2.anf，单击 “Open” 按钮，打开文件，如图 3.2.2 所示。

(2) 选择主菜单 “File” → “Save As”，指定文件名为 siwave_trace.siw，单击 “Save” 按钮。

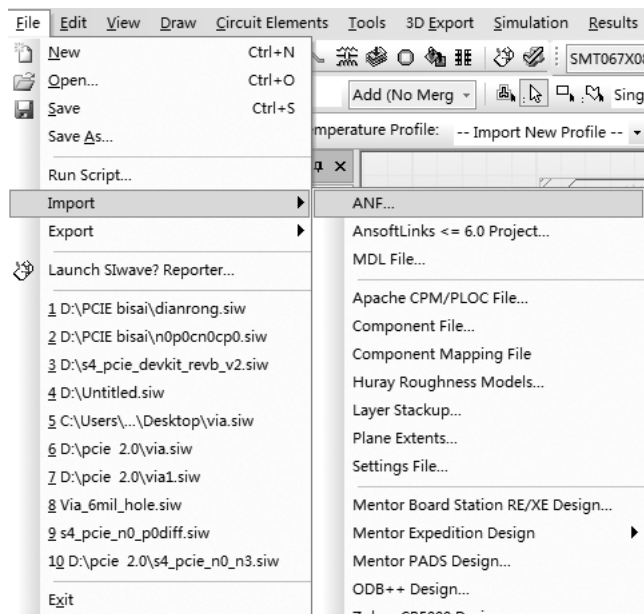


图 3.2.1 导入 ANF 文件

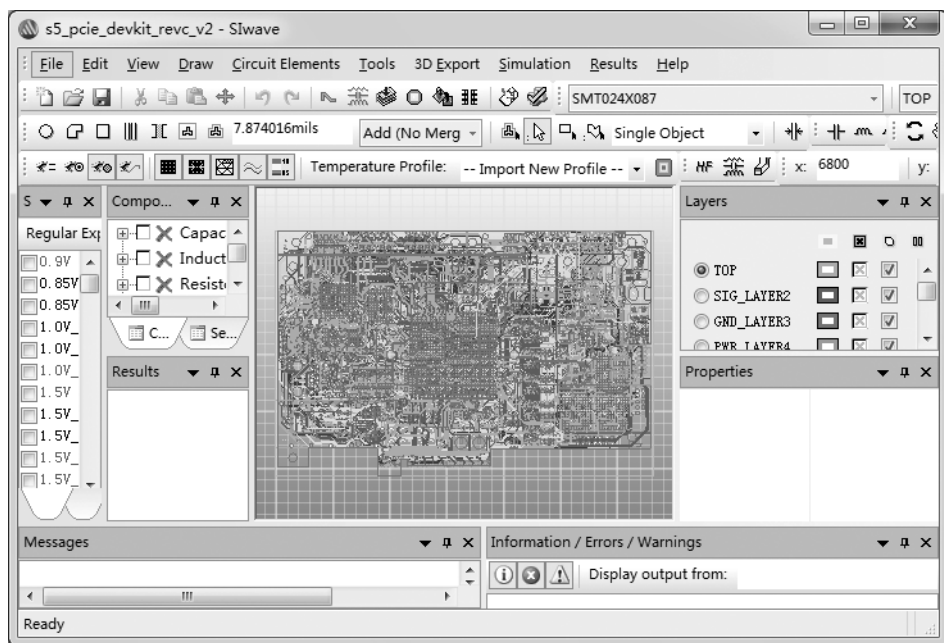


图 3.2.2 导入 ANF 文件后的 SIwave 界面

2. 确认检查

在用 SIwave 首次打开任何设计文件时，最好先做一次确认检查。确认检查的主要内容是：自相交多边形、未连接的节点、重叠节点及带重复过孔的节点。

选择“Tools”→“Validation Check”，然后单击“OK”按钮开始确认检查，如图 3.2.3 所示。



图 3.2.3 确认检查

3. 分割差分线区域

分割区块，局部模拟以节省时间。具体操作：单击“Tools”→“Clip Design”。

这个步骤很重要，除了可以缩短 SIwave 执行有效性检查时间与计算 S、Y、Z 参数的时间外，还可以缩短 Designer 导入 .snp 文件后的模拟分析时间（注意在切割时，鼠标不要松开）。

本例选取 PCIE_TX_N0 和 PCIE_TX_P0 这对差分线进行传输线的仿真分析，如图 3.2.4 所示。

软件会自动把其他部分删去，接着要做整理的动作，清除切割后所衍生的不完整 nets、parts。分割后的差分线如图 3.2.5 所示。

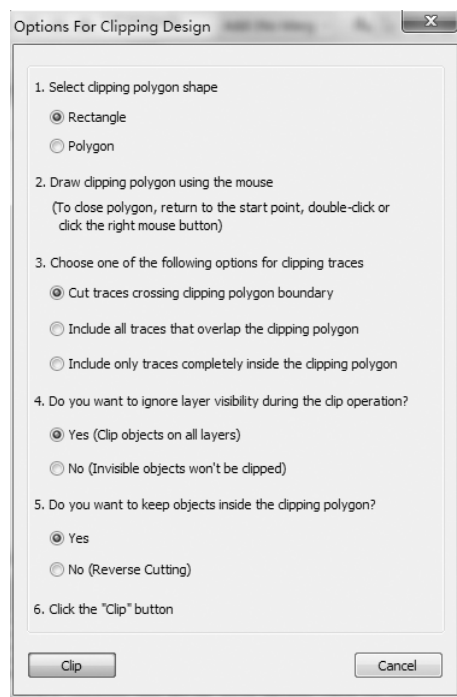


图 3.2.4 分割差分线区域

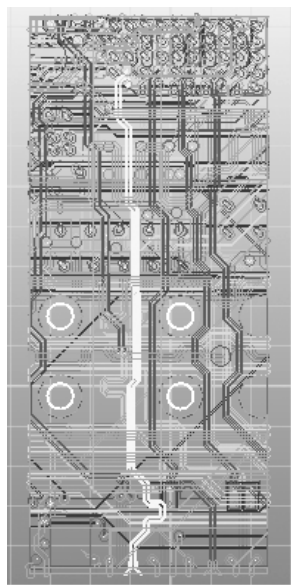


图 3.2.5 分割后的差分线

清理破碎的 nets: “Edit” → “Select” → “Select All”, 选定所有 nets, 然后单击 “Edit” → “Nets” → “Separate Disjoint Parts” 或者 “Edit” → “Unselect”。

4. 自动端口生成

在仿真之前, 必须要放置好 “port”, 其操作如下。

单击 “Circuit Elements” → “Generate on Selected Nets”, 选中 PCIE_TX_N0 和 PCIE_TX_P0, 单击 “Generate” 按钮, 在选择的线上创建端口, 如图 3.2.6 所示。

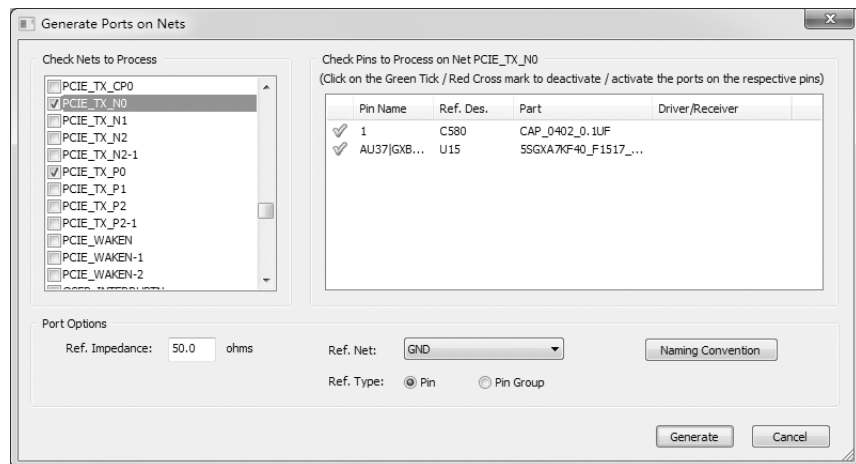


图 3.2.6 选取添加端口的网络

5. 全局设置及仿真

选择 “Simulation” → “Options”, 可以全部用默认设定不改, 或是按图 3.2.7 所示的设置仿真参数。

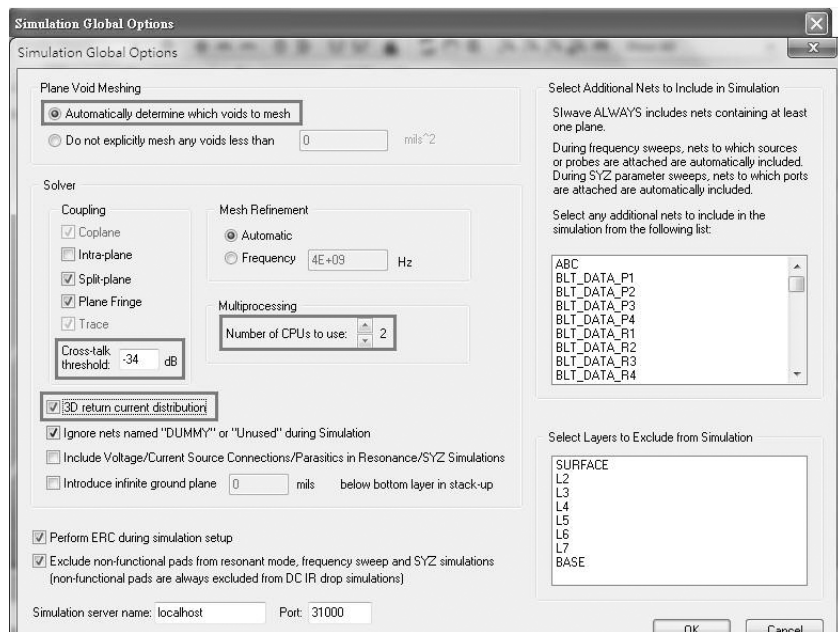


图 3.2.7 设置仿真参数

【注意】 如果参考层有槽或跨层，请核选“3D return current distribution”，可以让回流分流。

6. 计算 S、Y、Z 参数

(1) 选择菜单项“Simulation”→“Compute SYZ – parameters”，并进行如图 3.2.8 所示设置。

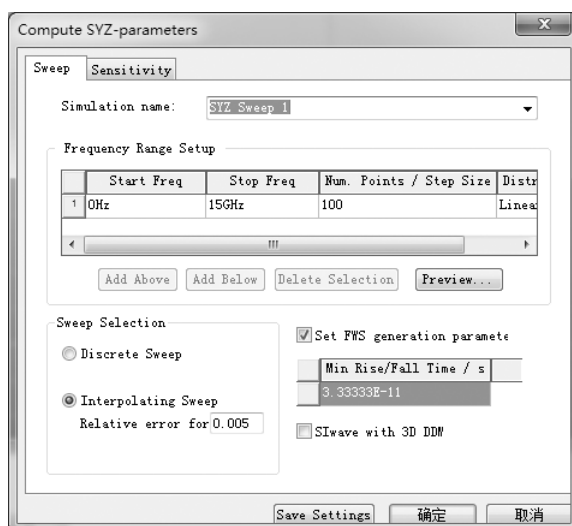


图 3.2.8 设置仿真频率

(2) 单击“确定”按钮。

(3) 输出仿真结果 (S 参数)。

仿真完成后，选择“Results”→“SYZ”→“SYZ Sweep 1”→“Plot Magnitude/Phase”，打开报告编辑器。单击“Plot”标签显示全部曲线。单击“Create Plot in Reporter”，仿真结果如图 3.2.9 和图 3.2.10 所示。

(4) S 参数查看完毕后关闭图形对话框。

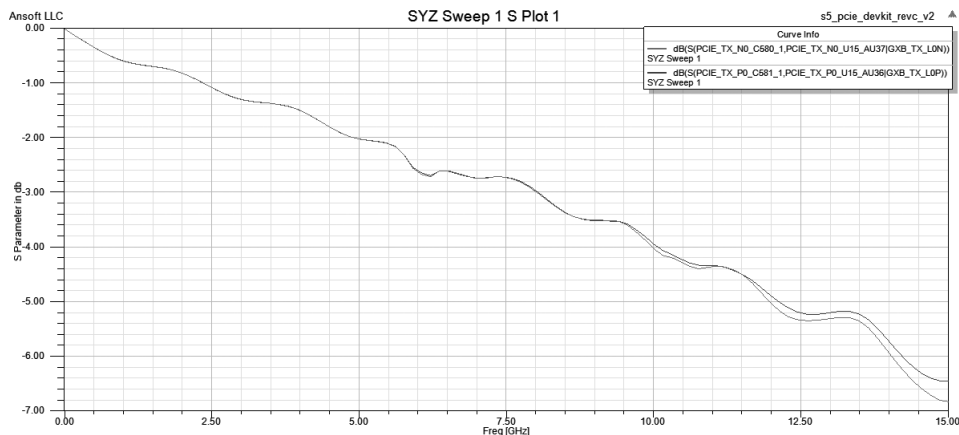


图 3.2.9 仿真结果 (插入损耗)

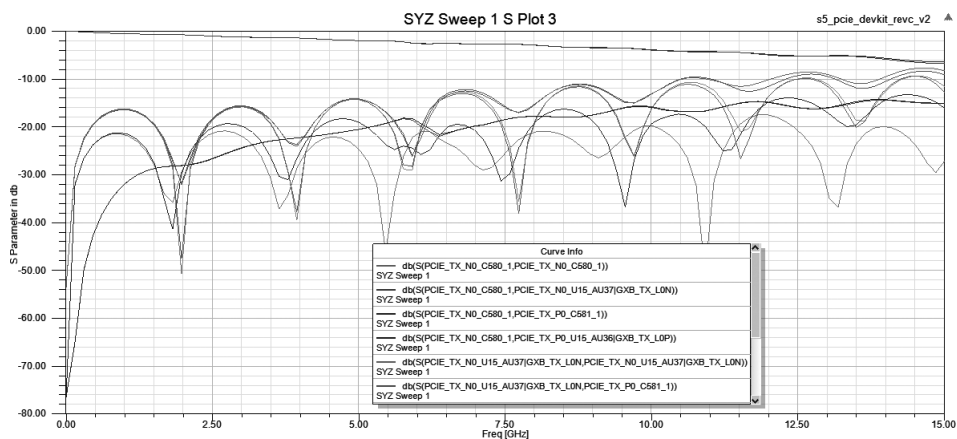


图 3.2.10 仿真结果（插入损耗和回波损耗）

7. 导出 S 参数

选择“Results”→“SYZ”→“SYZ Sweep 1”→“Export Touchstone File”，命名为 siwave_trance.s4p。这个模型可以在其他的电路仿真工具中使用。

3.3 差分对建模仿真分析

1. 创建项目

运行 HFSS 软件后，创建一个新项目，如图 3.3.1 所示。在 Project Manager 中加入一个新项目，默认名为 HFSSDesign1。同时，在项目管理区的右侧出现 3D 模型窗口。

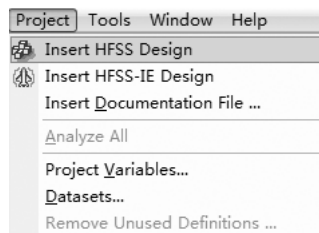


图 3.3.1 创建一个新项目

2. 设置求解类型

在菜单栏中单击“HFSS”→“Solution Type”。在弹出的窗口中选择“Driven Terminal”，单击“OK”按钮，如图 3.3.2 所示。

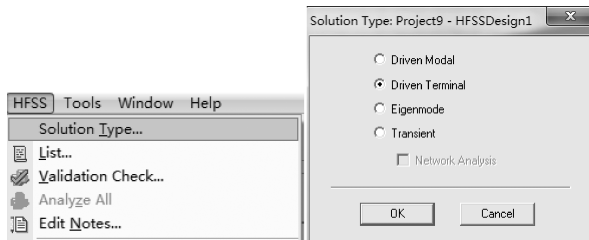


图 3.3.2 设置求解类型

3. 设置模型单位

在菜单栏中单击“Modeler”→“Units”，设置 Model Units（模型单位）为 mil，单击“OK”按钮，如图 3.3.3 所示。

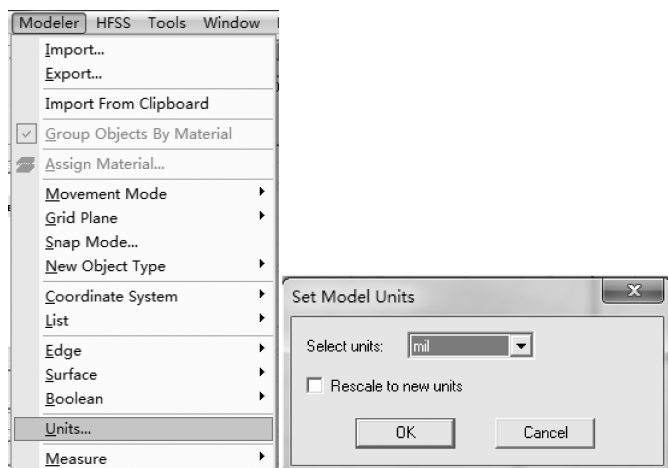


图 3.3.3 设置模型单位

4. 创建差分线模型

(1) 在 3D Modeler Materials 工具栏中选择“Select”，如图 3.3.4 所示。在 Select Definition 窗口中，在 Search by Name 处输入“fr4_epoxy”，单击“确定”按钮，选择叠层材质，如图 3.3.4 和图 3.3.5 所示。

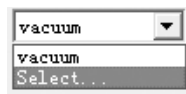


图 3.3.4 默认材料选择

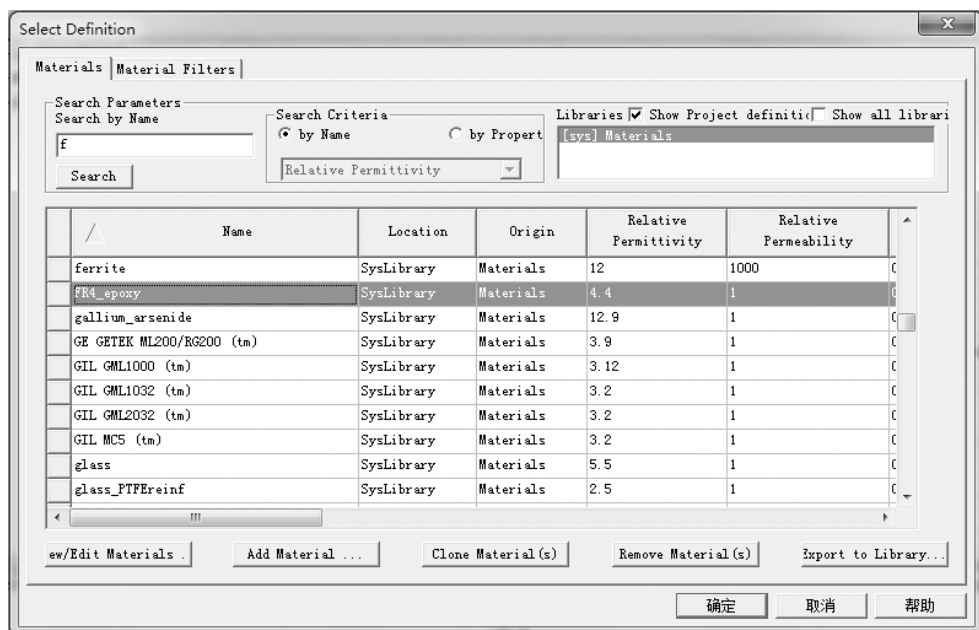


图 3.3.5 选择叠层材质

(2) 在菜单栏中选择“Draw”→“Box”，在 Command 窗口输入坐标 (0, 0, 0) - (200, 1400, 0) - (0, 0, 1.7) (设置叠层长为 200mil, 宽为 1400mil, 高为 1.7mil)，如图 3.3.6 所示。

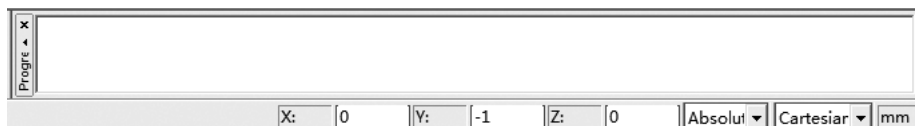


图 3.3.6 输入坐标

按下“Ctrl + D”组合键，调整视图大小适中，如图 3.3.7 所示。

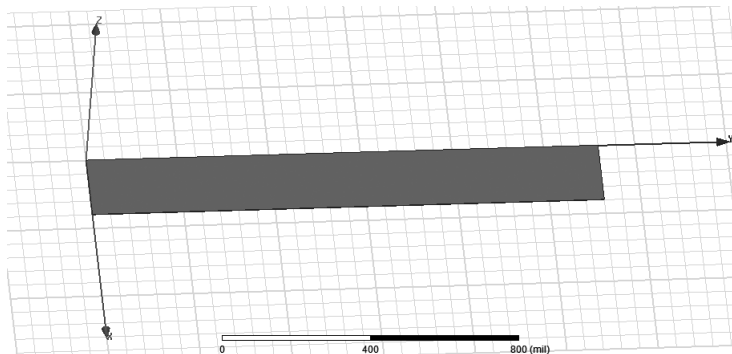


图 3.3.7 信号层模型

(3) 如图 3.3.8 所示，选中“Box1”，单击鼠标右键，在弹出的选项中选择“Edit”→“Properties”，在弹出的窗口中将名称由 Box1 改为 trace2，如图 3.3.9 所示。

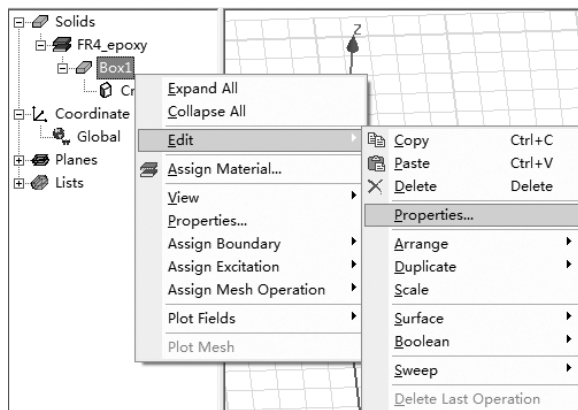


图 3.3.8 打开属性面板

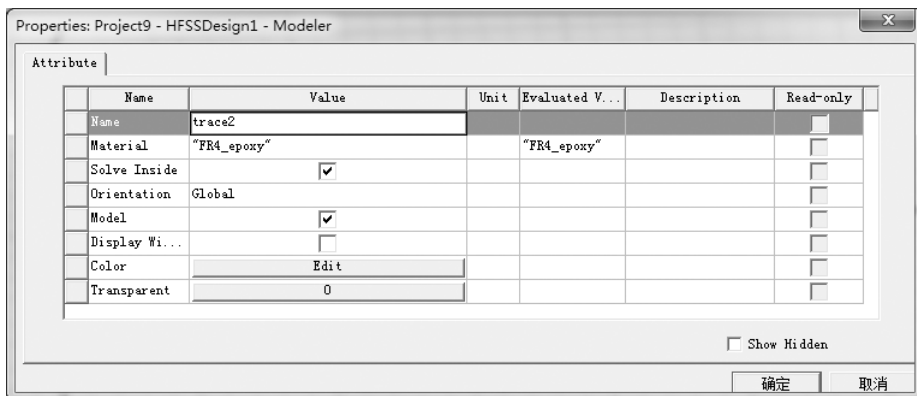


图 3.3.9 修改模型名称

(4) 复制信号层。

选中“trace2”，在菜单栏选择“Edit”→“Duplicate”→“Along Line”，在 Command 窗口输入坐标 (0,0,0) – (0,0,35.6)，按回车键，在弹出的窗口中单击“OK”按钮（两层的间隔是 35.6mil），如图 3.3.10 所示。

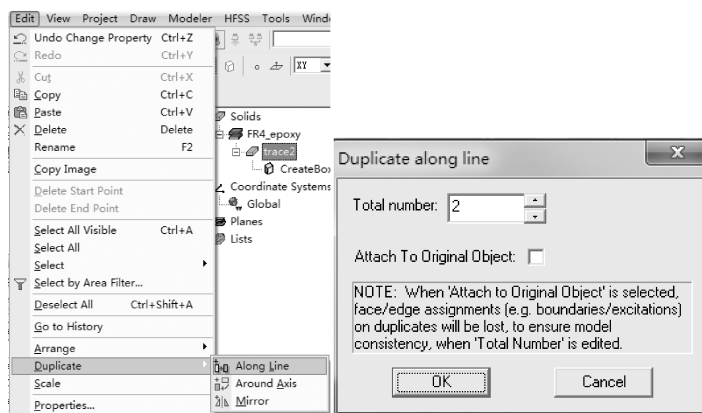


图 3.3.10 复制信号层

此时 3D 模型窗口如图 3.3.11 所示。

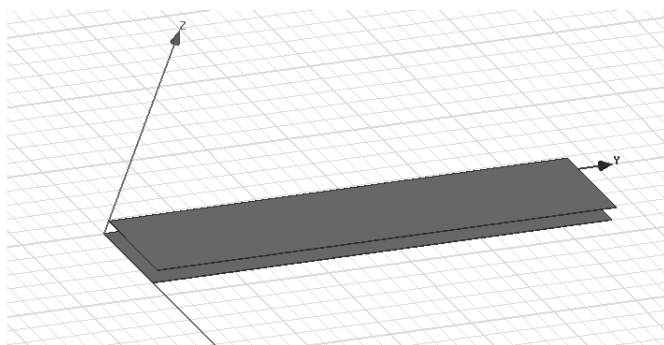


图 3.3.11 复制信号层后的模型

按照步骤 (3) 的方法将复制后的板层重命名为 trace1。同理，复制 gnd1、power、gnd2 坐标分别为 (0,0,28.4)、(0,0,13.7)、(0,0,7.2)。复制完成后，3D 模型窗口如图 3.3.12 所示。

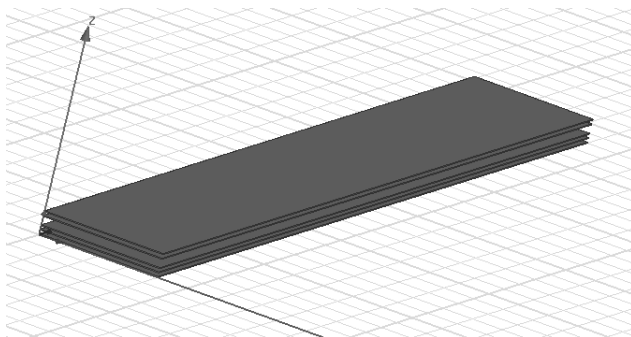


图 3.3.12 复制电源层和地层后的模型

(5) 画线。

在 3D Modeler Materials 工具栏中选择“Select”。在 Select Definition 窗口的 Search by Name 处输入“copper”，单击“确定”按钮，如图 3.3.13 所示（选择传输线的材质）。

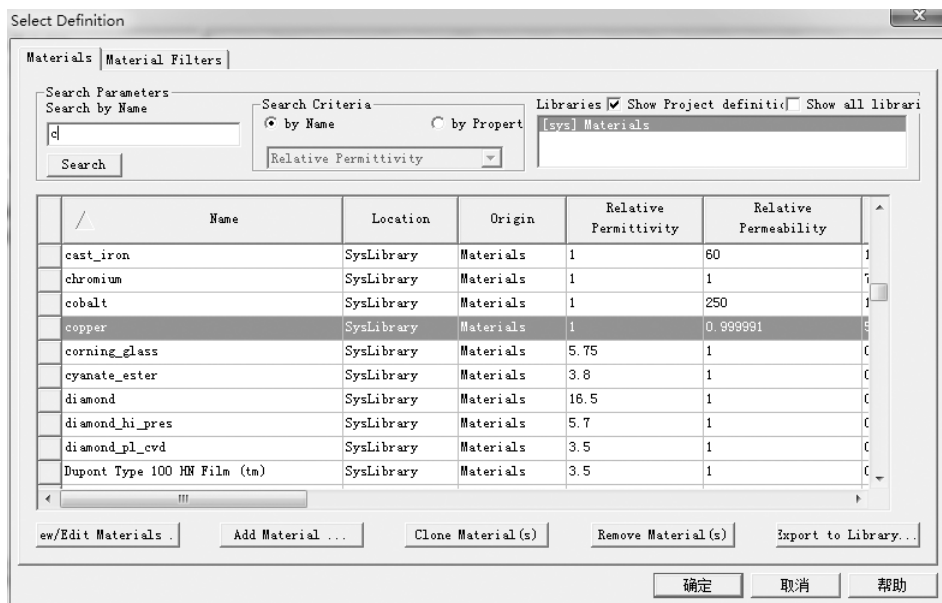


图 3.3.13 选择传输线的材质

(6) 在菜单栏中选择“Draw”→“Box”，在 Command 窗口输入坐标（88,0,37.3）-（8,1400,0.6），画出一个 Box1，然后同样的方法画出坐标为（104,0,37.3）-（8,1400,0.6）的 Box2，如图 3.3.14 所示（线长为 1400mil，宽为 8mil，厚度为 0.6mil）。

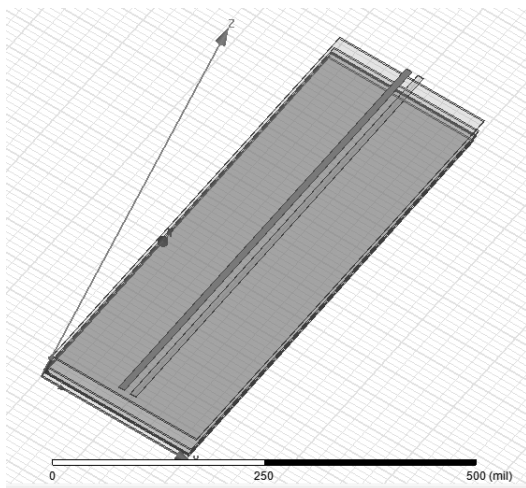


图 3.3.14 建立传输线后的模型

(7) 分别双击 copper 下的两个 CreateBox，按照图 3.3.15 和图 3.3.17 所示设置变量。

设置变量是为了后面进行参数扫描（这里 Xtrace 表示差分线开始处的坐标，Xsi 表示线间距，SW 表示线宽），如图 3.3.16 和图 3.3.18 所示。

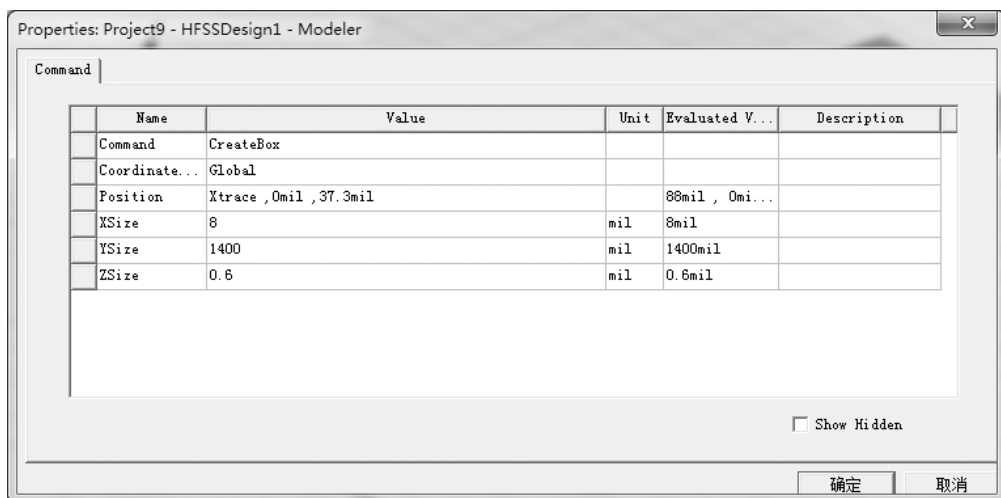


图 3.3.15 在属性窗口中加入变量

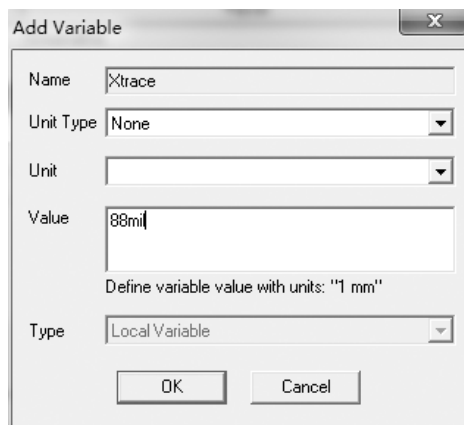


图 3.3.16 定义变量 Xtrace

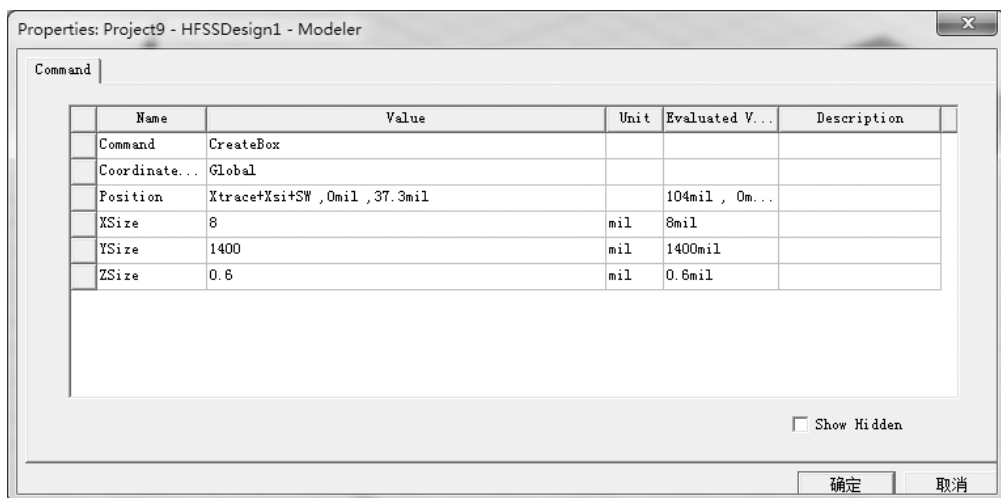


图 3.3.17 在属性窗口中引入变量坐标

按照步骤 (3) 的方法将 Box1 和 Box2 分别命名为 T1 和 T2。设置好的 3D 模型如图 3.3.19 所示。

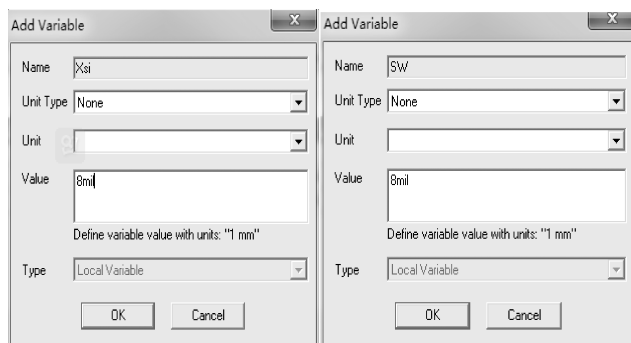


图 3.3.18 定义变量 Xsi 和 SW

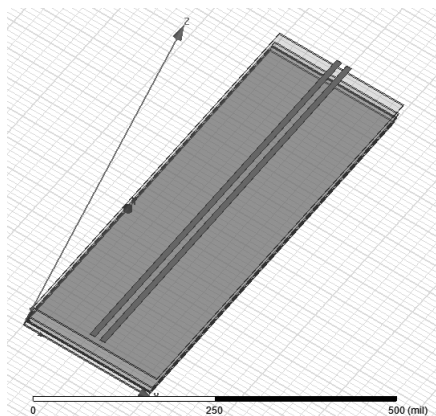


图 3.3.19 加入微带线的模型

(8) 添加空气腔体。选择材料为“air”，如图 3.3.20 所示。

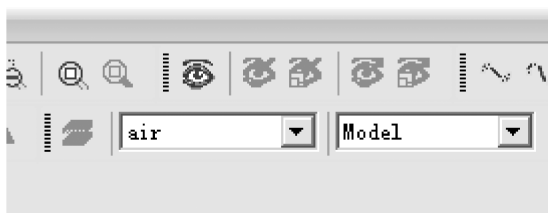
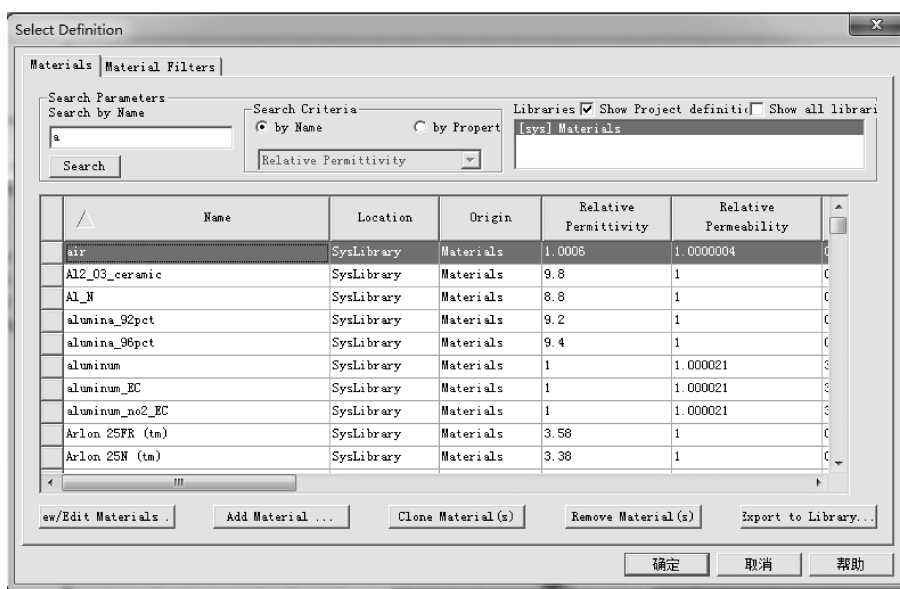


图 3.3.20 选择空气介质

在菜单栏中选择“Draw”→“Box”，在 Command 窗口输入坐标 (0,0,-40)-(200,1400,120)，则 3D 模型如图 3.3.21 所示。

(9) 添加端口。选择真空的环境介质，如图 3.3.22 所示。

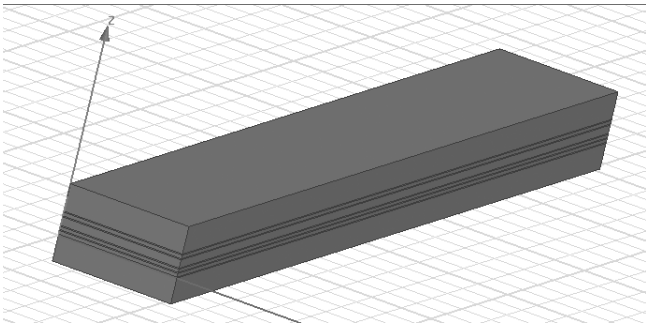


图 3.3.21 加入空气腔体的模型

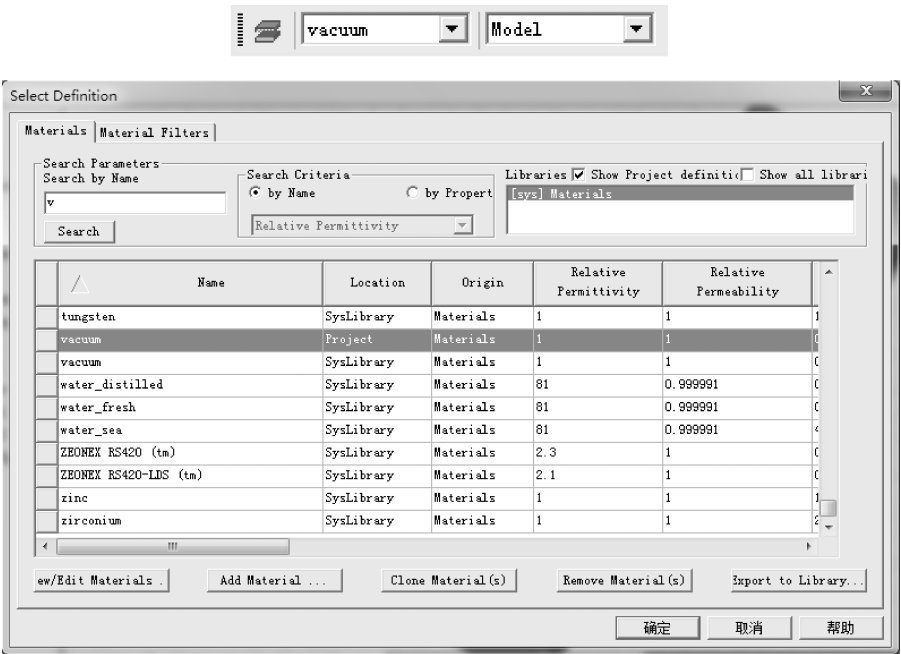


图 3.3.22 选择真空的介质

如图 3.3.23 所示，在菜单栏中选择“Draw”→“Rectangle”，并将绘制平面选为“ZX”。在 Command 窗口输入坐标 (50,1400,32) – (90,0,20)，则 3D 模型如图 3.3.24 所示。

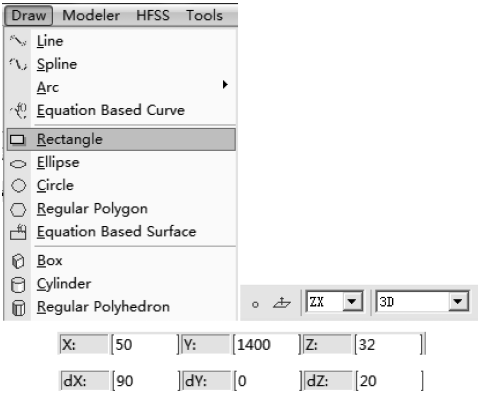


图 3.3.23 端口的坐标

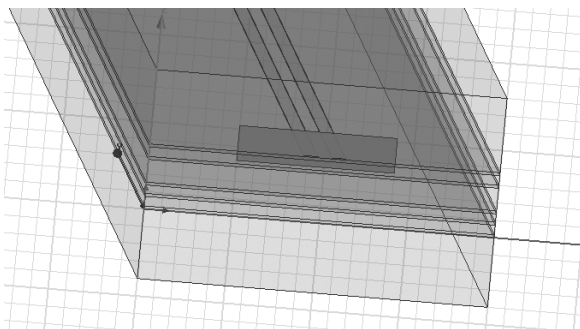


图 3.3.24 创建微带线矩形端口模型

(10) 如图 3.3.25 所示, 选中 “Sheets” → “Rectangle1”, 单击鼠标右键, 在弹出的菜单中选择 “Assign Excitation” → “Wave Port”, 在弹出的窗口中进行设置。同理, 在菜单栏中选择 “Draw” → “Rectangle”, 将绘制平面选为 “ZX”, 在 Command 窗口输入坐标 (50, 0, 32) - (90, 0, 20), 绘制出 Rectangle2。将 Rectangle2 也设置为 Wave Port。添加端口时注意端口大小要包含传输线和它的参考平面, 如图 3.3.26 所示。

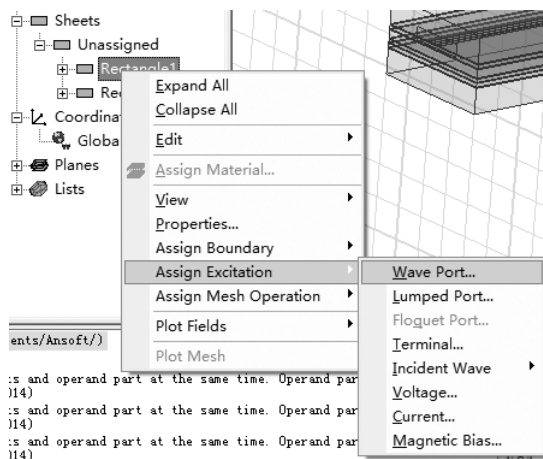


图 3.3.25 将矩形端口设置为波端口

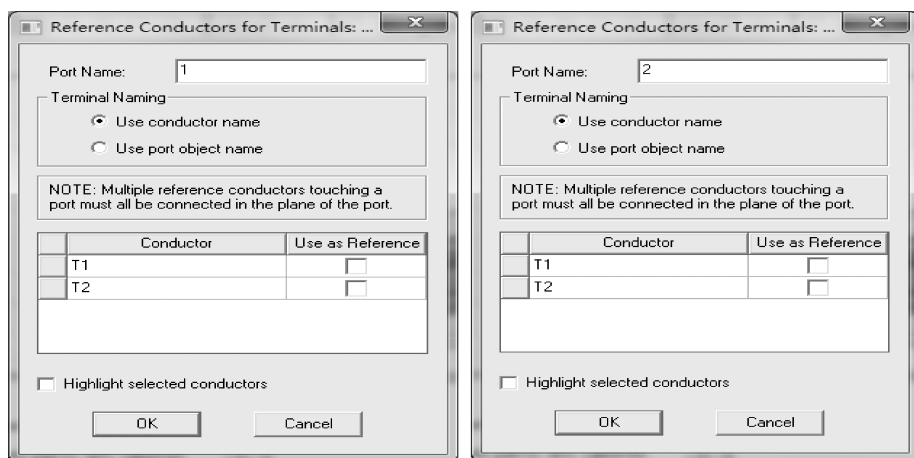


图 3.3.26 端口设置

设置好后, 如图 3.3.27 所示。

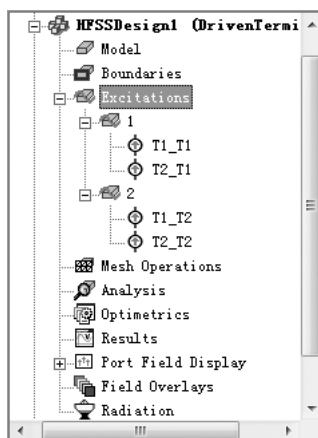


图 3.3.27 查看端口

(11) 设置边界。选中“Solids”→“air”→“Box1”, 单击鼠标右键, 在弹出的菜单中选择“Assign Boundary”→“Radiation”, 在弹出的窗口中进行设置, 如图 3.3.28 所示。

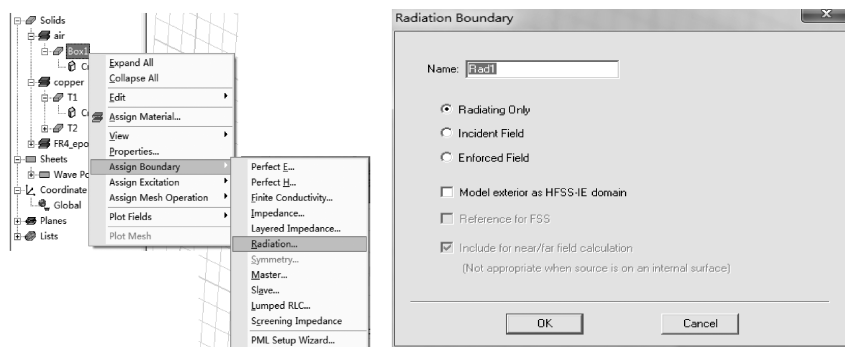


图 3.3.28 辐射边界设置

设置好后, 如图 3.3.29 所示。

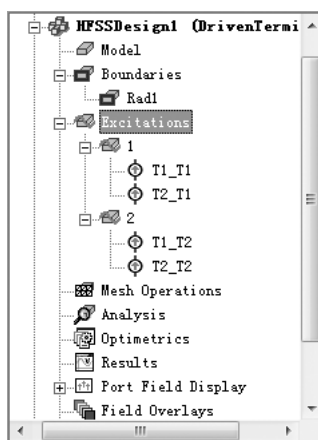


图 3.3.29 查看辐射边界

(12) 设置仿真。

在 Project Manager 中选中“Analysis”，单击鼠标右键，在弹出的菜单中选择“Add Solution Setup”，在弹出的窗口中进行设置，如图 3.3.30 所示，单击“确定”按钮完成设置。

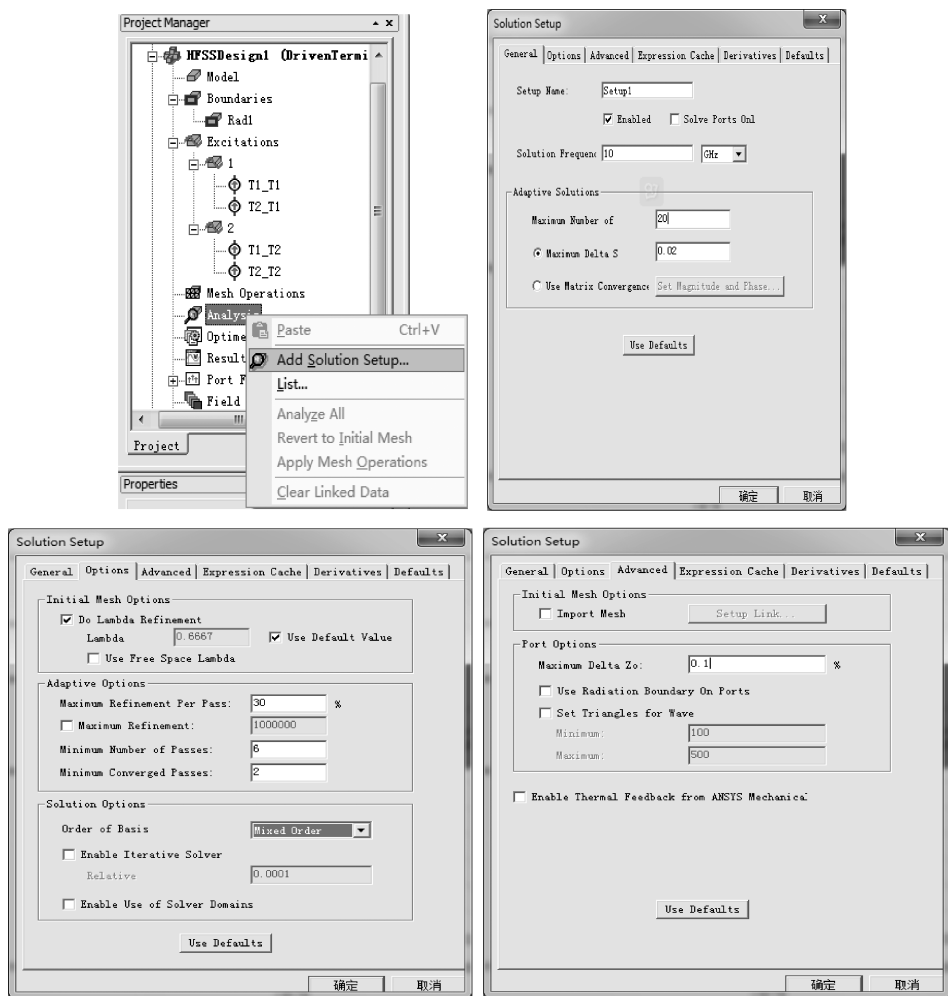


图 3.3.30 设置仿真参数

在 Project Manager 中选中“Analysis”→“Setup1”，单击鼠标右键，在弹出的菜单中选择“Add Frequency Sweep”，如图 3.3.31 所示。在弹出的窗口中进行设置，如图 3.3.32 所示，单击“OK”按钮完成设置。

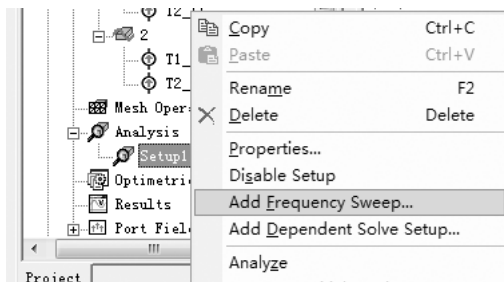


图 3.3.31 添加频率扫描设置

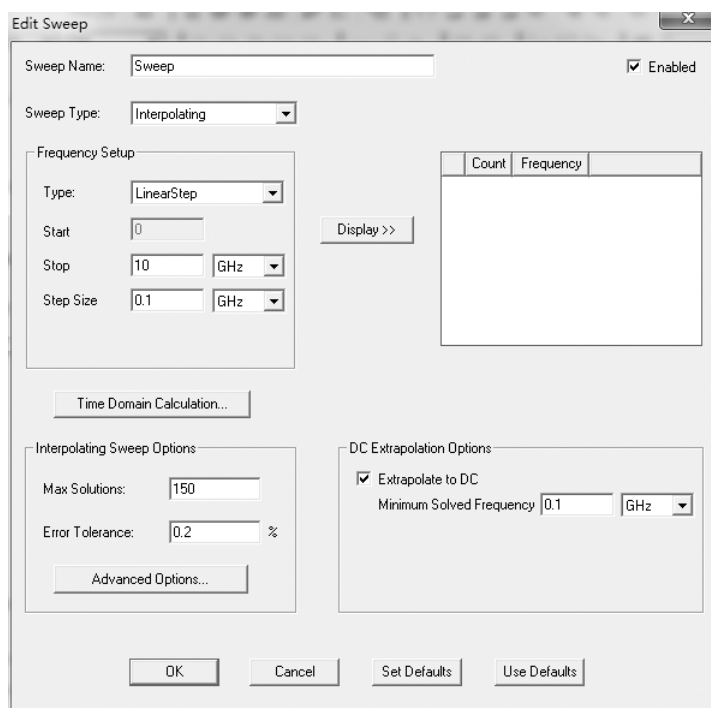


图 3.3.32 频率设置

(13) 在菜单栏中单击“HFSS”→“Validation Check”，在弹出的窗口中进行设置，如图 3.3.33 所示，单击“Close”按钮完成设置，如图 3.3.34 所示。

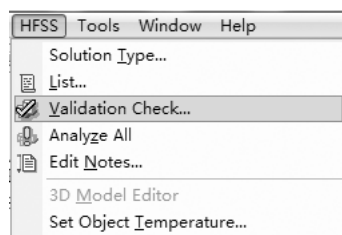


图 3.3.33 检查模型

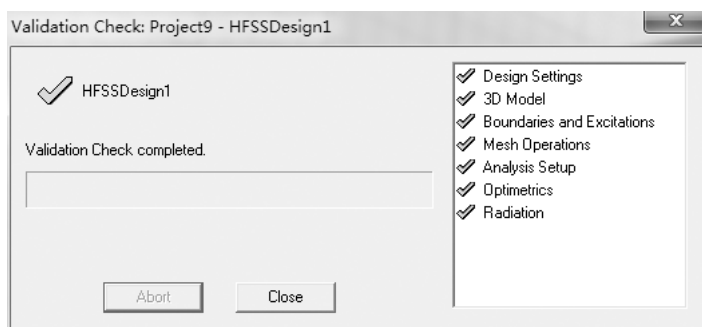


图 3.3.34 检查无误的模型

在菜单栏中单击“HFSS”→“Analyze All”，如图 3.3.35 所示。

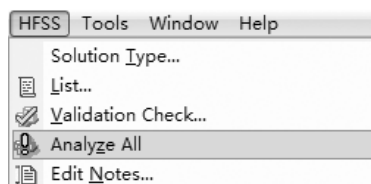


图 3.3.35 开始仿真

查看仿真结果，如图 3.3.36 所示。

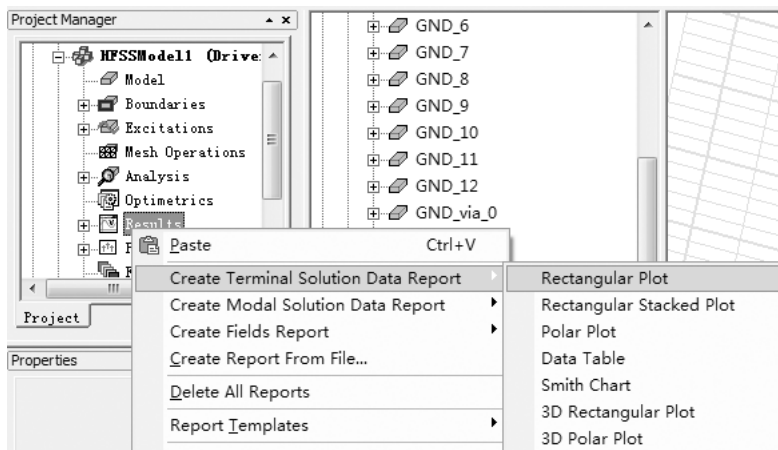


图 3.3.36 查看仿真结果

3.4 在 Designer 中联合仿真

1. 添加 IBIS 模型

打开 Designer，新建工程：选择“Project”→“Insert Circuit Design”（新建一个电路设计），如图 3.4.1 所示。

导入 IBIS 模型：选择“Tools”→“Import IBIS Components”，如图 3.4.2 所示。

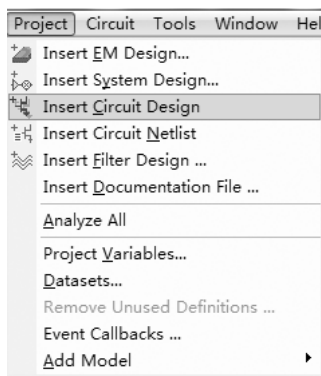


图 3.4.1 新建一个电路设计

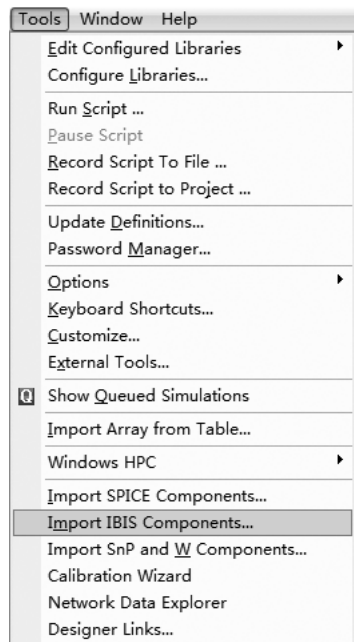


图 3.4.2 导入 IBIS 模型

选择 IBIS 模型所在的路径，如图 3.4.3 所示。

选择要导入的模型（PCIE-TX 的模型名称是 ten_gig），如图 3.4.4 所示。

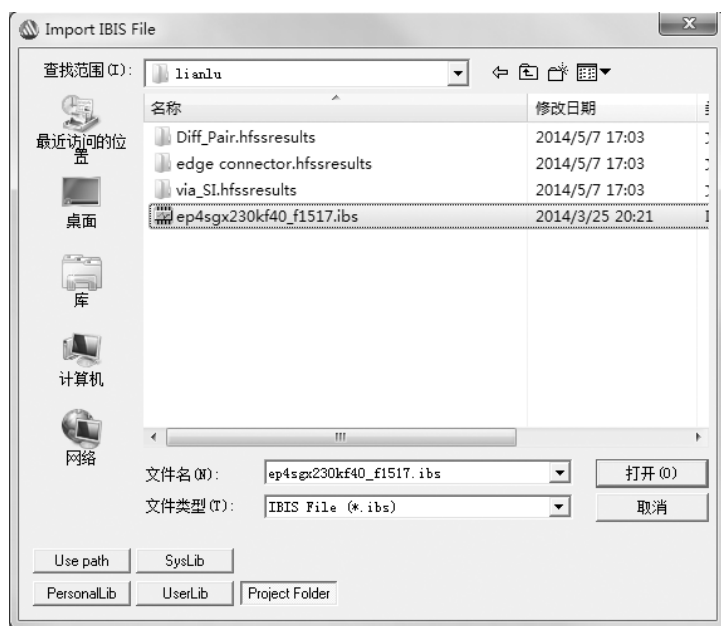


图 3.4.3 选择导入 IBIS 的路径

导入的模型在 Definitions_Components 中查看，如图 3.4.5 所示。

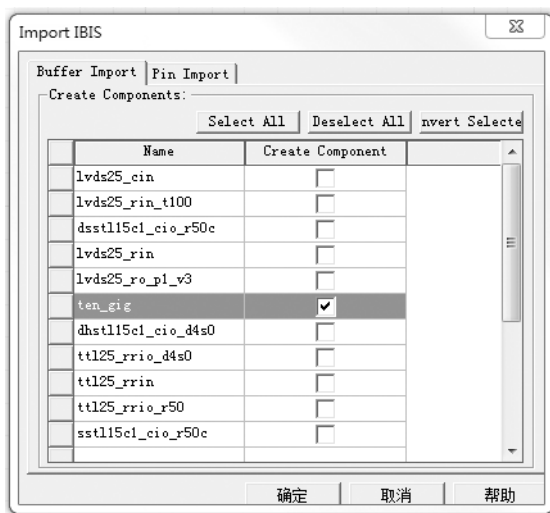


图 3.4.4 选择导入的模型

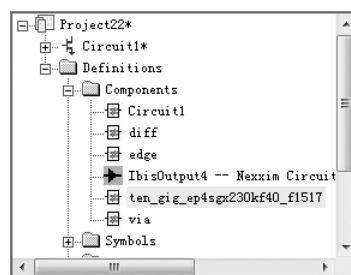


图 3.4.5 查看导入的模型

【注意】 由于 Designer 版本不同，功能也不一样。Designer6.0 以下版本可以正常导入 IBIS 模型，但是 Designer8.0 以上版本导入的 IBIS 模型引脚数不对，这个可能是由于版本问题导致的。Designer6.0 没有 IBIS - AMI 导入模型功能，Designer8.0 以上版本的有这个功能（“Tools” → “Import AMI Components”）。暂时笨一点的做法就是先用 Designer6.0 建立工程，导入 IBIS 模型并保存，然后用 Designer8.0 或者更高的版本打开工程文件，继续其他的操作。

2. 导入 HFSS 文件（差分线模型、过孔模型、连接器模型）

选择“Project”→“Add Model”→“Add HFSS Model”，如图 3.4.6 所示。

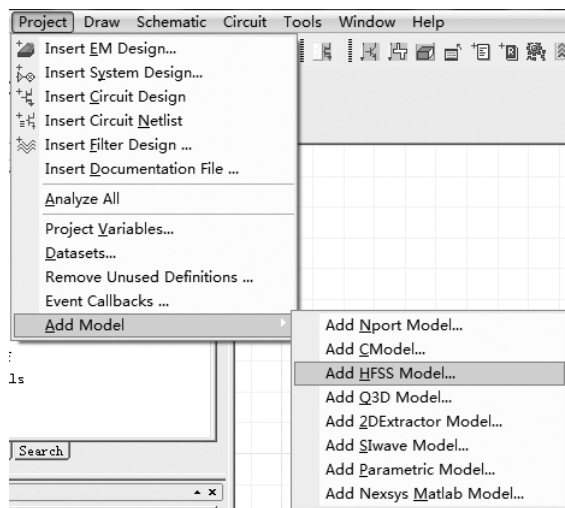


图 3.4.6 导入 HFSS 模型

单击“File”，选择模型所在的路径并添加（这里需要注意，Designer 调用 HFSS 文件时，会自动打开 HFSS，时间比较长。在后面做仿真时，需要在 HFSS 中先仿真出结果，才能提供 Designer 调用），如图 3.4.7 所示。

导入的 HFSS 模型可以在 Definitions_Models 中查看（差分线模型命名为 diff、连接器命名为 edge、过孔命名为 via），如图 3.4.8 所示。

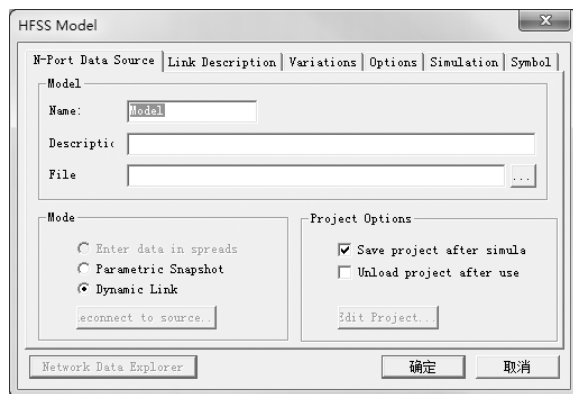


图 3.4.7 选择导入 HFSS 文件的路径

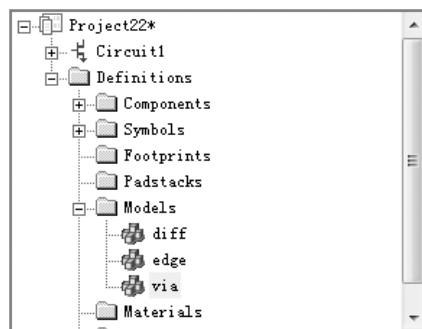


图 3.4.8 查看导入的 HFSS 模型

3. 放置元件

单击需要放置的模型并拖曳到原理图页面，摆放整齐。做眼图分析时，要选择眼图发送端和接收端。

选择“Component”→“Independent Sources”→“EYESOURCE_DIFF: Differential Eye Source”（差分眼图发送端），放置到原理图界面，如图 3.4.9 所示。

选择“Component”→“Probes”→“EYEPROBE_DIFF: Differential Eye P:”（差分眼图接收端），如图 3.4.10 所示。

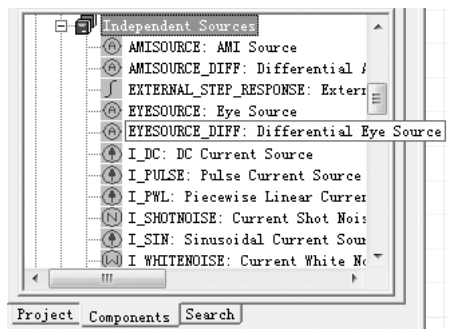


图 3.4.9 放置 EYESOURCE DIFF

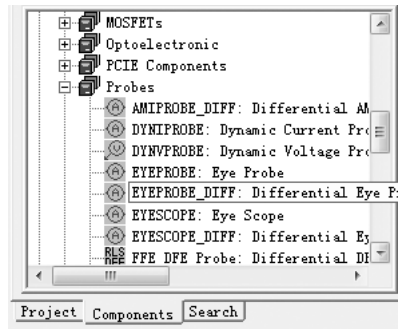


图 3.4.10 放置 EYEPROBE DIFF

将模型放置到原理图界面，摆放好后连线，如图 3.4.11 所示。

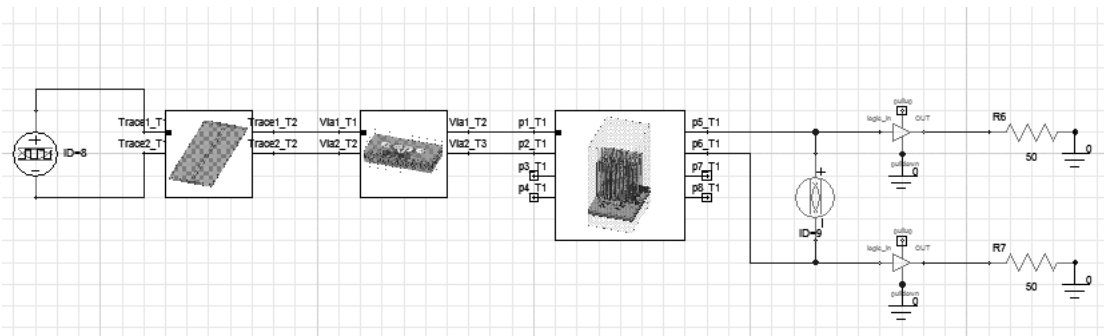


图 3.4.11 眼图测试原理图

4. 设置参数

双击眼图发送端，设置相关参数：trise/tfall（上升/下降时间）、UIorBPSValue（周期）、Bitpattern（选择伪随机码，一般选择 PRBS7 或 11，根据不同的要求选择，也可以导入已有的文件），如图 3.4.12 所示。选择伪随机码类型如图 3.4.13 所示。

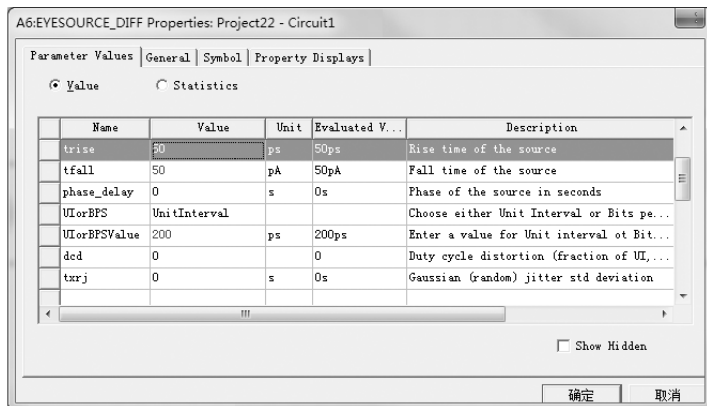


图 3.4.12 设置眼图发送端相关参数

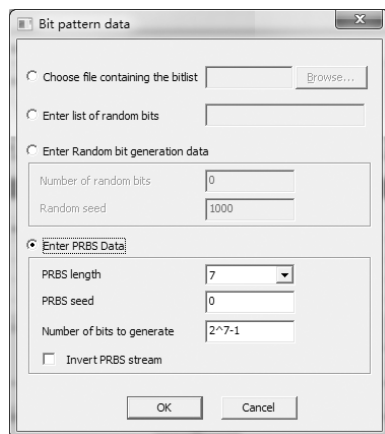


图 3.4.13 选择伪随机码类型

5. 创建快速眼图分析

选择 “Analysis” → “Add Nexxim Solution Setup” → “Quick Eye Analysis”，如图 3.4.14 所示，设置仿真参数，如图 3.4.15 所示。

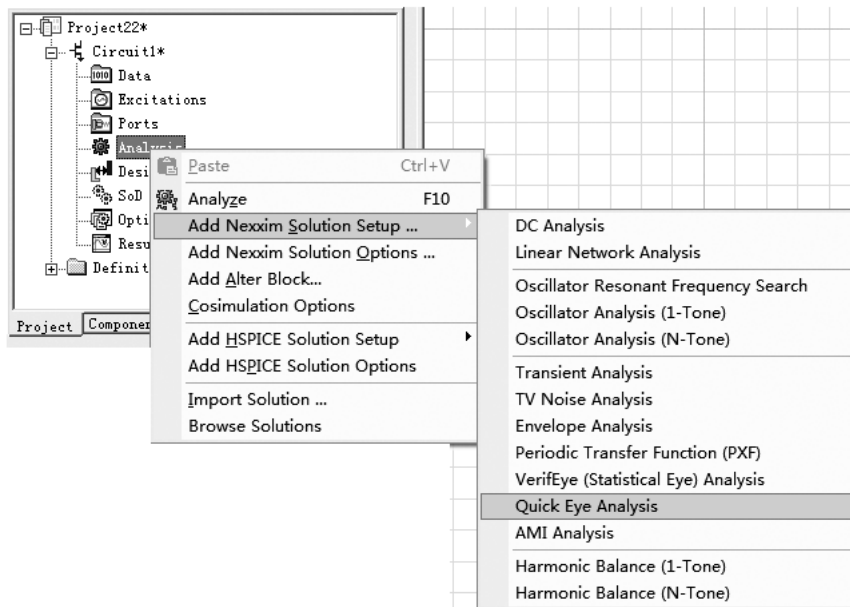


图 3.4.14 创建快速眼图分析

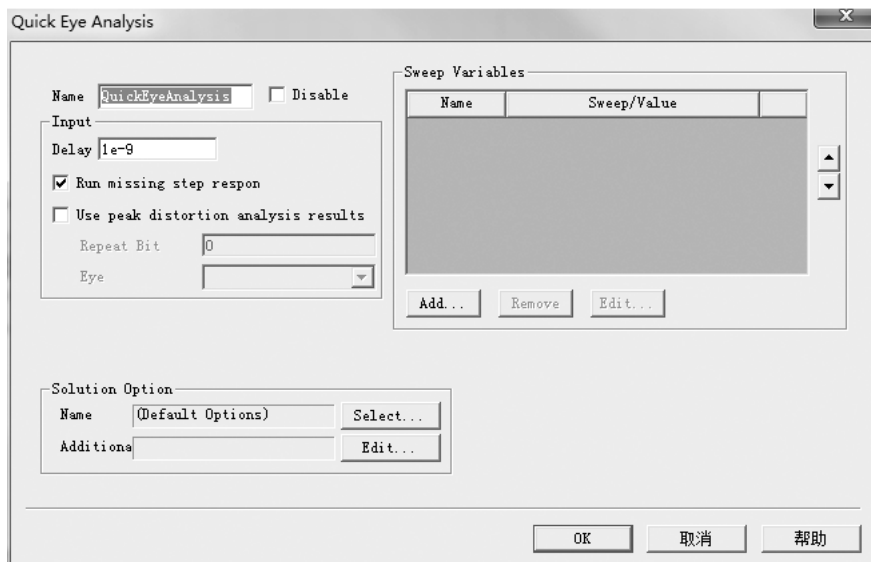


图 3.4.15 设置仿真参数

6. 开始仿真

选择 “QuickEyeAnalysis”，单击右键，选择 “Analyze”，如图 3.4.16 所示。

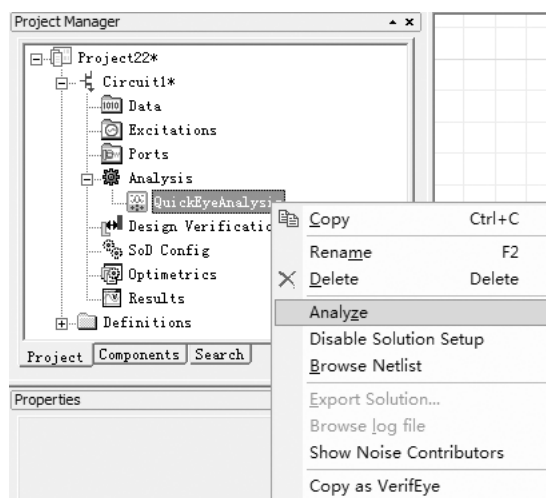


图 3.4.16 开始快速眼图仿真

7. 查看仿真结果

选择“Results”→“Create Eye Diagram Report”→“Rectangular Plot”，如图 3.4.17 所示，结果如图 3.4.18 所示。

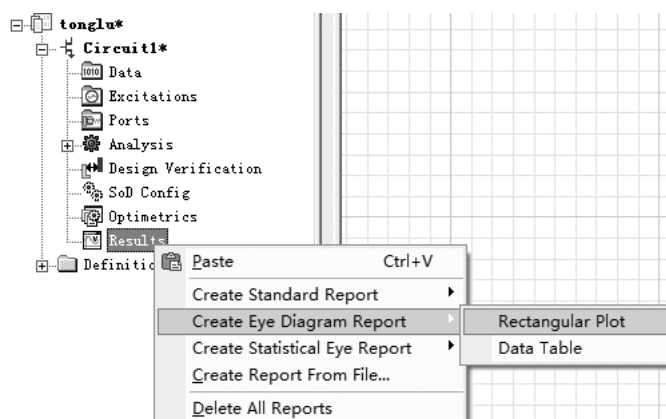


图 3.4.17 查看仿真结果

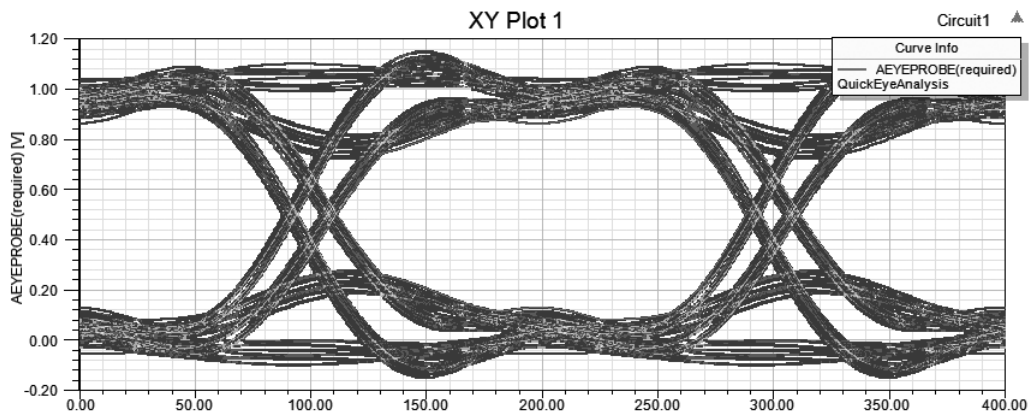


图 3.4.18 仿真结果

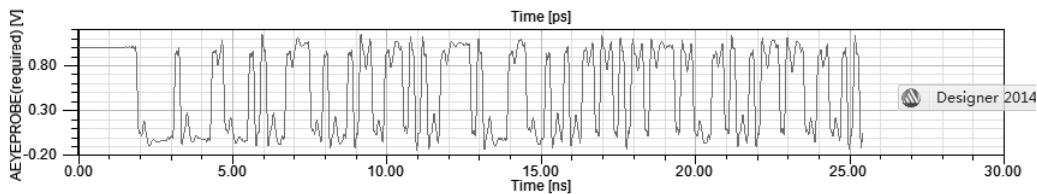


图 3.4.18 仿真结果 (续)

3.5 PCIE 的仿真与实测对比

1. 测试环境与仪器介绍

为了验证仿真的准确性,在进行仿真分析之前,实验室项目小组去了北京的一家测试公司,对电路板进行了实际测试,所采用的示波器型号是泰克公司的 Tektronix MSO70804C。该示波器具有 8GHz 模拟带宽,最大实时取样速率为 25Gb/s,具有出色的信号采集性能及分析功能。其 4 条通道上具有完善的采集性能,可以捕捉实际信号。同时,其具有业内最高的波形捕获功能,更多的信号细节可以被捕获。为了进行更快的设计和实现一致性测试功能,要使用专门的工具来完成自动设置、采集和分析高速串行数据信号,如图 3.5.1 所示。

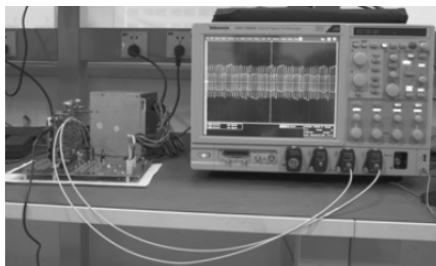


图 3.5.1 MSO70804C 实时示波器

2. 仿真与实测对比

PCIE 的仿真眼图如图 3.5.2 所示。使用 MSO70804C 实时示波器对电路板进行实际测试得到的眼图如图 3.5.3 所示。

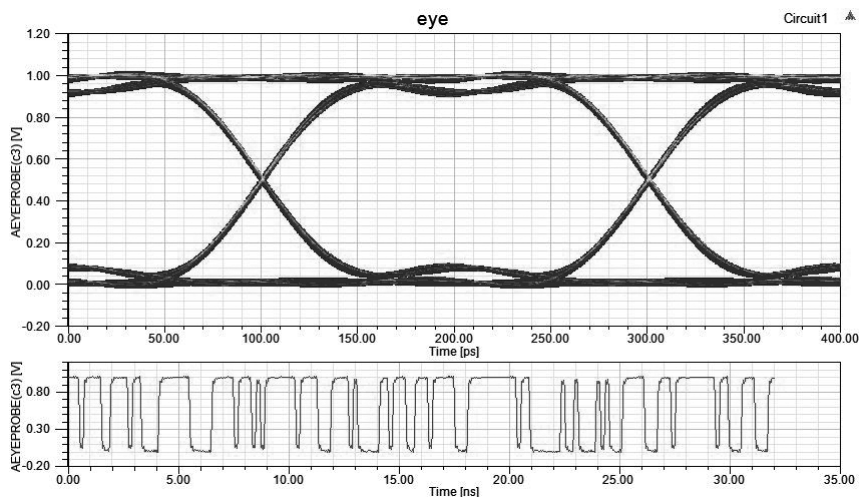


图 3.5.2 PCIE 的仿真眼图

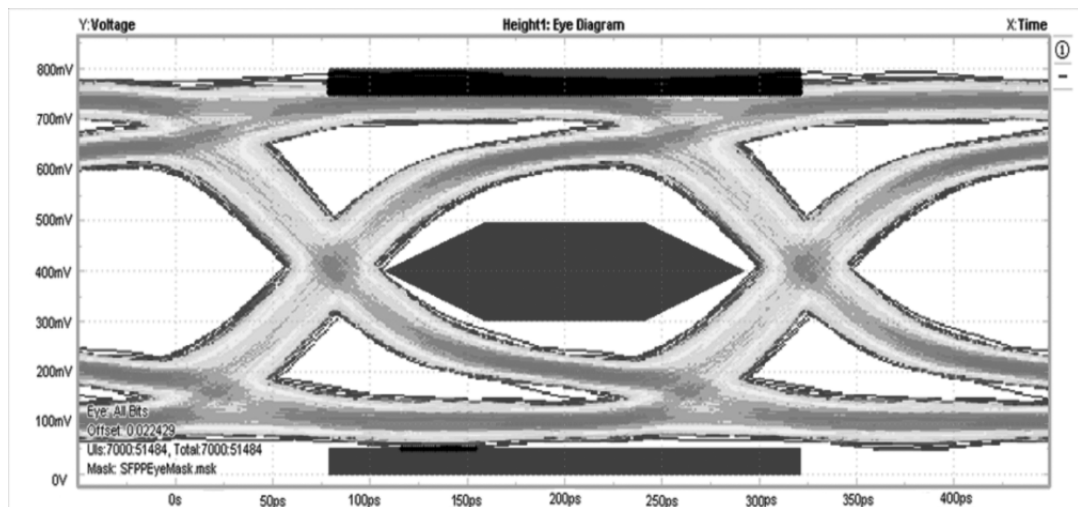


图 3.5.3 PCIE 实测的眼图

由对比结果可知，仿真得到的眼图抖动和噪声比较小，眼睛张开得更大。这是因为在仿真时，并没有接入其他设备，如测试探针和示波器。在实际测试时，周围的电磁场等也会对信号有干扰，所以实际测试的眼图看起来没有仿真的效果好。但总体来说，仿真和实际测试的结果都达到了一致性要求。

在高频电路仿真和设计中，电磁场数值计算的研究是近几年来发展最快的领域。为了平衡精度与速度，本章使用全波电磁与电路系统相结合的建模与仿真方法来分析高速互连设计中的信号完整性问题，并详细介绍在 SIwave 中提取 S 参数的操作过程，以及提取相应的 S 参数模型、在 HFSS 中建立 3D 差分对的过程，便于我们分析差分对的差分线宽、线间距对信号完整性的影响。然后将差分线模型、过孔模型及连接器模型一起导入 Designer 中，完成系统级仿真，得到时域眼图。最后将实际测试的眼图与仿真眼图对比，发现仿真手段可以真实、准确地反映出评估板信号完整性的真实情况。

3.6 本章小结

首先，本章简要地阐述了 PCIe 的相关概念，然后通过 SIwave 选取所要测试的一对差分线进行相关区域分割，并进行了 S 参数仿真，提取出传输线 S 参数模型。接着，在 HFSS 软件中进行差分对建模仿真分析。之后，在 Designer 中添加 IBIS 模型后进行联合仿真。最后，对电路板进行实际测试，对比了 PCIe 的仿真与实测的结果，验证了设计的合理性。

第 4 章 SFP + 高速通道的仿真与测试

4.1 SFP + 简介

随着数据通信对带宽的需求越来越高，高速的串行接口逐渐代替传统的并行接口，常用的高速串行接口有 PCIe、USB3.0、SFP + 等，其最大的传输速率如表 4.1.1 所示。其中，SFP + 凭借其体积小、成本低等优势，成为 10G 高速传输的主流。SFP + 模块是一种可插拔的串行接收器，其模块可以分为限幅（limiting）和线性（linear）两种类型。与 XFP 模块相比，SFP + 模块无须集成时钟和数据恢复（CDR）单元，CDR 和 SerDes 功能都从模块移到了板卡或主机上，所以 SFP + 具有更低的功耗与更高的接口密度。一般来说，对于传输速率在 5Gb/s 以上的信号，就需要在接收路径（Rx）加上带有电子色散补偿的 CDR 结构，在发送路径（Tx）加上能对预加重、转化率、输出幅值调整的 CDR 结构。尽管光纤接入相比于传统的连接方式有了很大的技术突破，但是将光信号转化为电信号输送给前端计算机做进一步处理还是很有必要的。由于市场对数据率和带宽强烈的需求，因此高速连接器成为了解决高速数据传输信号完整性问题的关键。

表 4.1.1 高速串行接口传输速率趋势

接 口	数据率（Gb/s）	接 口	数据率（Gb/s）
PCIe4.0	16	HDMI	3.4
USB3.0	5	XFP	10
SATA3.0	6	SFP	10
Thunderbolt	10	SFP +	10.3125

为了验证 10Gb/s 通道的建模仿真流程，我们使用了一块信号完整性评估板，如图 4.1.1 所示。这块板基于 Altera StratixV GX 5SGXEA7N2F40C2N FPGA 芯片，带有一组 12.5Gb/s 的 SFP + TX/RX 通道，以及 7 组 12.5Gb/s 的 TX/RX SMA 通道。



图 4.1.1 StratixV GX 信号完整性开发板

本文研究所使用的评估板，其材质为 FR4，板层为 20 层，板厚为 3.5mm。所要研究的 SFP + TX 信号线为布局在顶层和底层的微带线，顶层和底层通过一对差分过孔连接，线长大约为 8cm。

4.2 SFP + 通道仿真

1. 转换文件

在 ANSYS 软件中操作时，需要使用的是 ANF、CMP 文件，如图 4.2.1、图 4.2.2 所示。我们可以安装 ECAD translator 转换，也可以用 SIwave 或者 Designer 导入 Brd 板级文件，导出 ANF、CMP 文件。其中，CMP 文件包含了板子的电容、电感及电阻等信息。

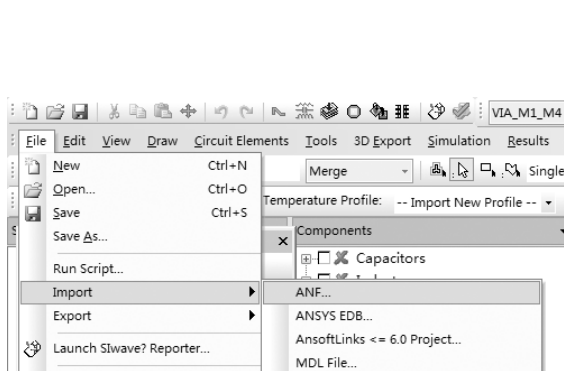


图 4.2.1 导入 ANF 文件

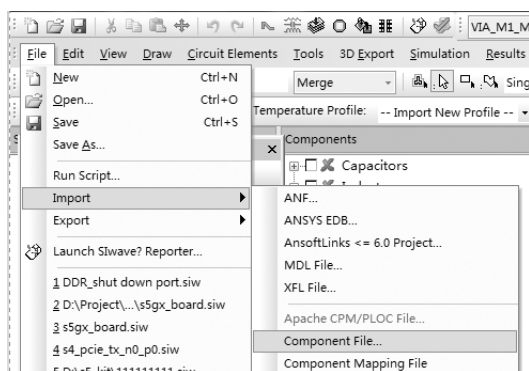


图 4.2.2 导入 CMP 文件

导入后，选中所研究的对象“GXB_TXLN_18”、“GXB_TXLP_18”，“GXB_TXLN_18”、“GXB_TXLP_18”会高亮显示，如图 4.2.3 所示。单击右键选择“SHOW (HIDE ALL OTHER NETS)”，如图 4.2.4 所示。

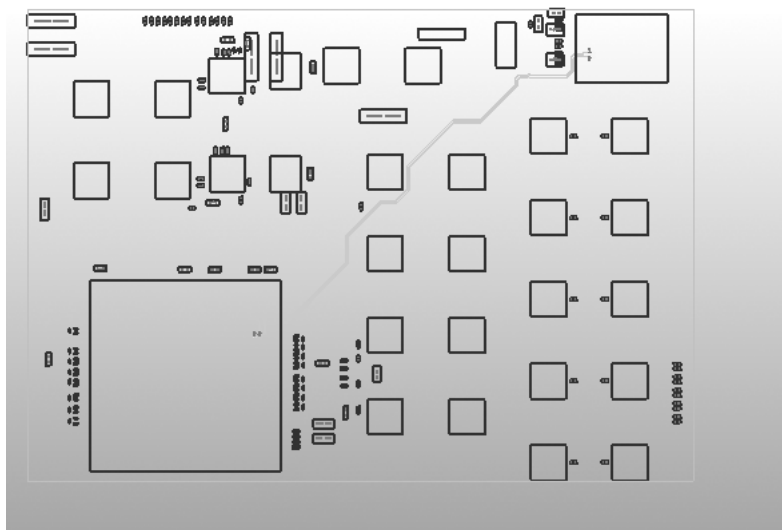


图 4.2.3 高亮显示

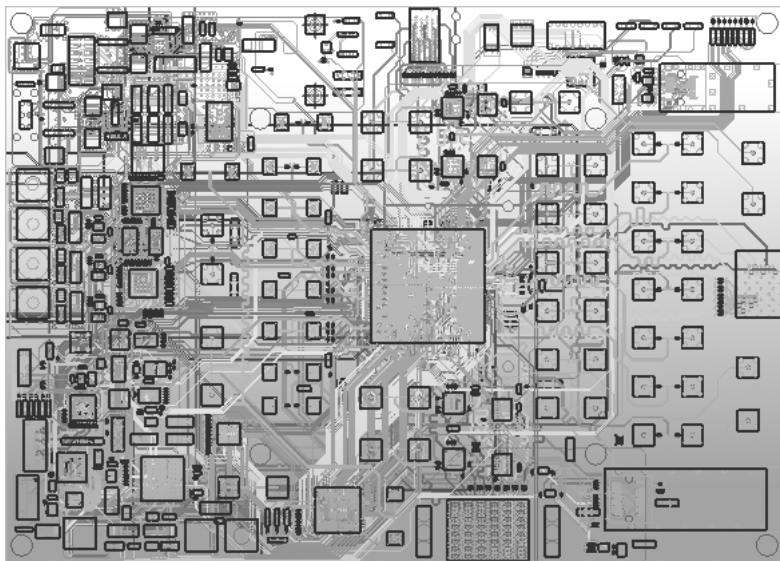


图 4.2.4 SIwave 中打开的 PCB

2. 切割评估板

由于受到实际仿真硬件环境的影响，我们通常要切割评估板，去除不关心的成分，加快仿真速度，如图 4.2.5 所示。

切割后的 PCB 如图 4.2.6 所示。

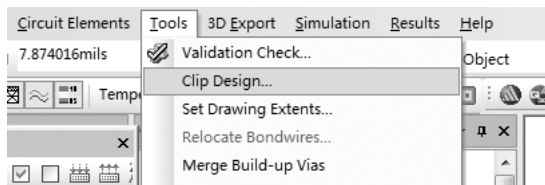


图 4.2.5 切割 PCB

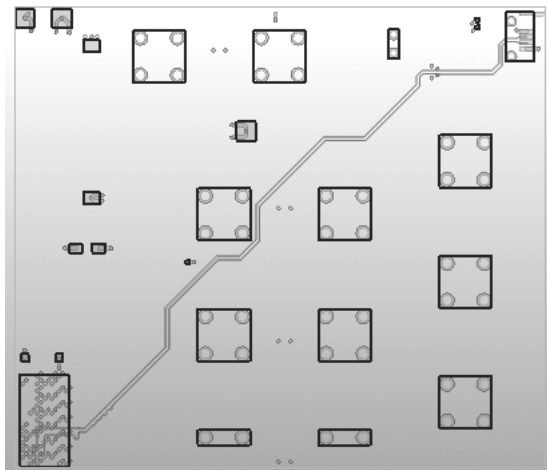


图 4.2.6 切割后的 PCB

3. 使用 SIwave 自动创建 Port

(1) 在工具栏中右键选择“Circuit Elements”→“Generate on Selected Nets...”，如图 4.2.7 所示。

(2) 选择所要仿真的网络“GXB_TXLN_18”和“GXB_TXLP_18”，单击“Generate”按钮开始创建端口，如图 4.2.8 所示。

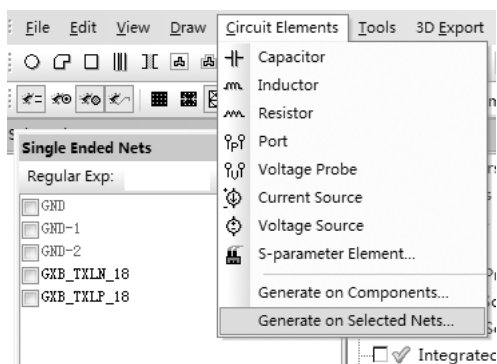


图 4.2.7 自动添加 port

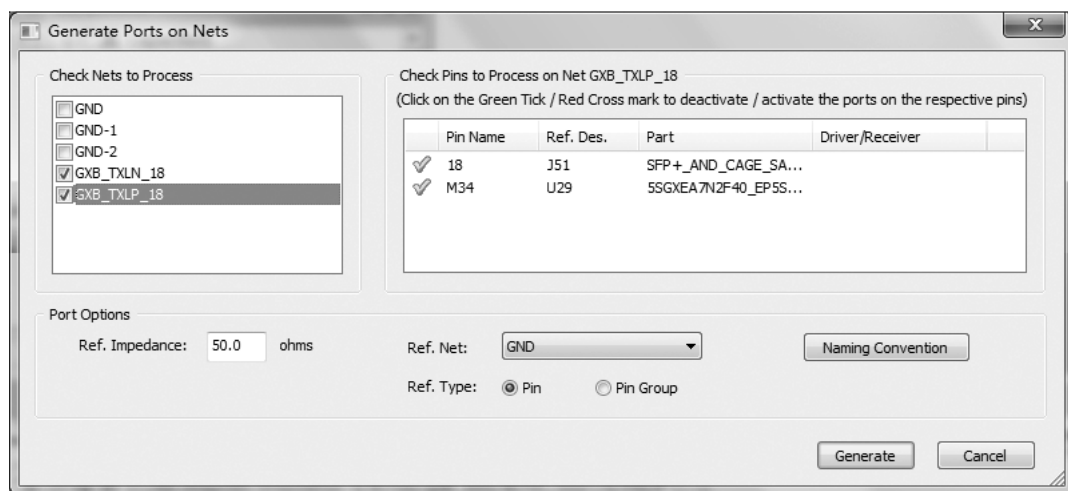


图 4.2.8 创建端口

(3) 创建的端口可以在 Components 中看到，如图 4.2.9 所示。

(4) 为了方便查看仿真结果，一般最好将端口的名字重新命名。操作如图 4.2.10 ~ 图 4.2.12 所示。

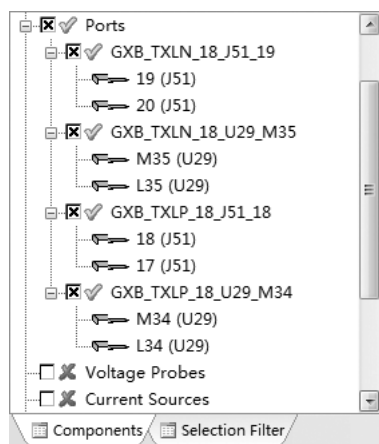


图 4.2.9 查看端口

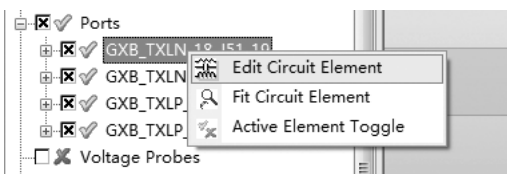


图 4.2.10 编辑端口名称

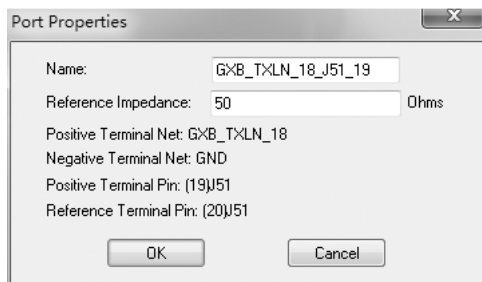


图 4.2.11 端口属性窗口

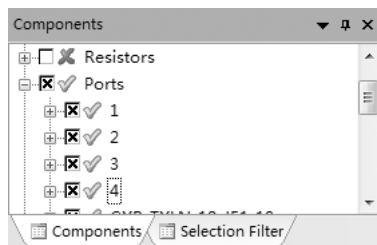



图 4.2.12 修改后的端口名

4. 模型检查

(1) 在仿真前，先进行仿真模型检查，单击工具栏的  图标或者如图 4.2.13 所示，选中“Tool”→“Validation Check”，开始检查。

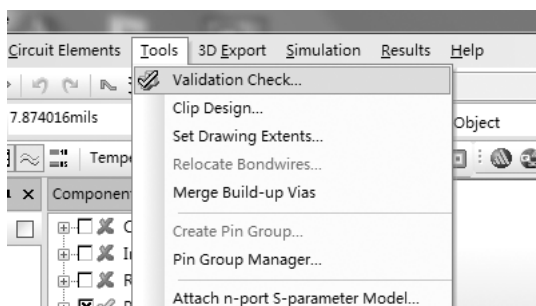


图 4.2.13 模型有效性检查

(2) 勾选需要检查的项目，一般使用默认的就好了，如图 4.2.14 所示。

(3) 自检的结果如图 4.2.15 所示。

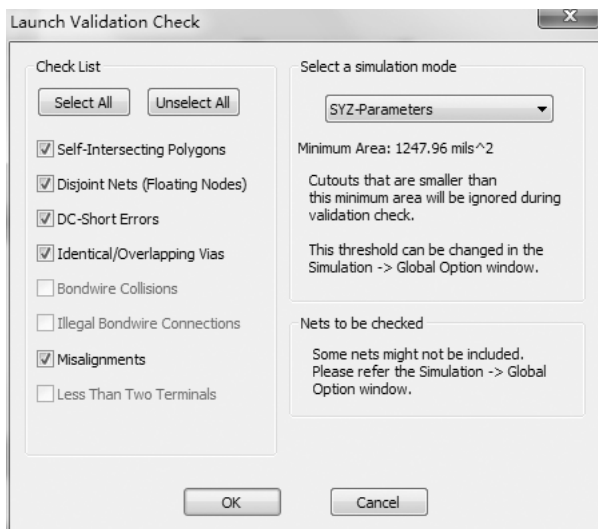


图 4.2.14 选择自检内容

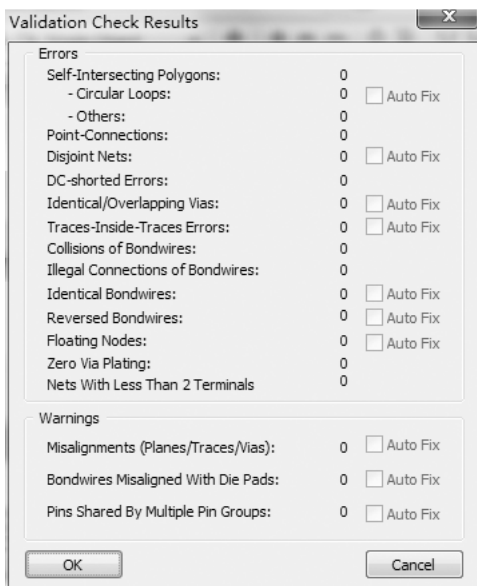


图 4.2.15 自检结果

5. 仿真设置

(1) 在工具栏中右键选择“Simulation”→“SIwave”→“Compute S-, Y-, Z-parameters...”, 开始仿真设置。操作如图 4.2.16 所示。

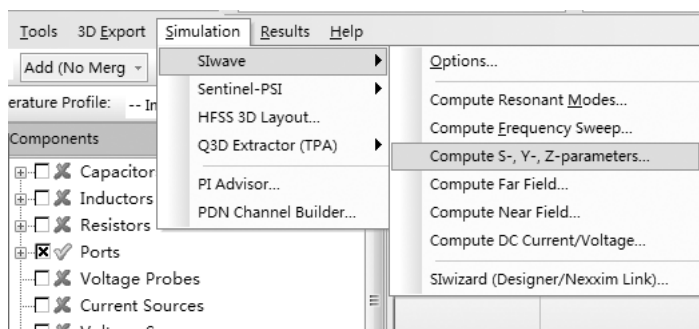


图 4.2.16 仿真 S 参数

(2) 仿真参数设置界面如图 4.2.17 所示, 可以设置仿真起始频率、截止频率和步长。扫描方式选择离散扫描, 设置完后, 单击“确定”按钮, 开始仿真。

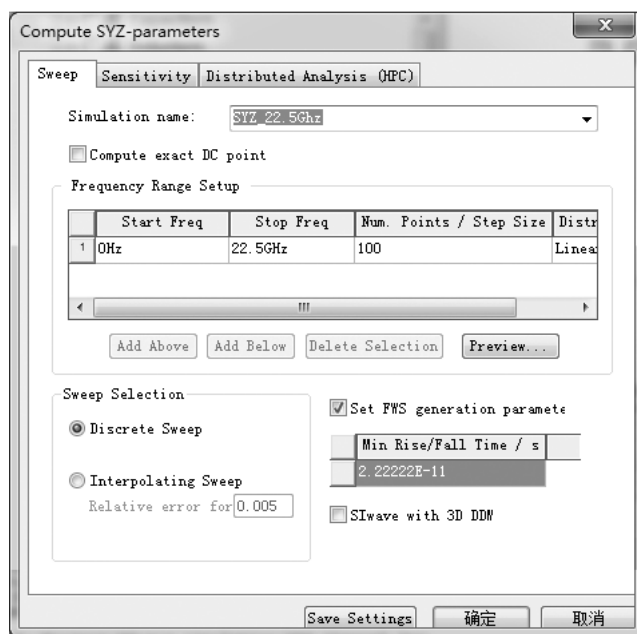


图 4.2.17 仿真参数设置

6. 查看仿真结果

(1) 在 Results 栏中查看仿真结果, 如图 4.2.18 所示。

(2) 双击“SYZ_22.5Ghz”, 出现 S-parameter Plot 界面, 如图 4.2.19 所示, 选中“Select self

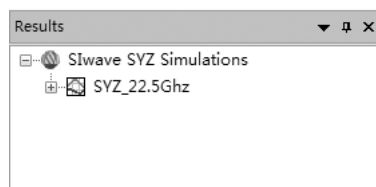


图 4.2.18 查看仿真结果

terms”选项，单击“Create plot in Reporter”按钮，系统会自动调用 ANSYS SIwave Report 软件，查看仿真结果。

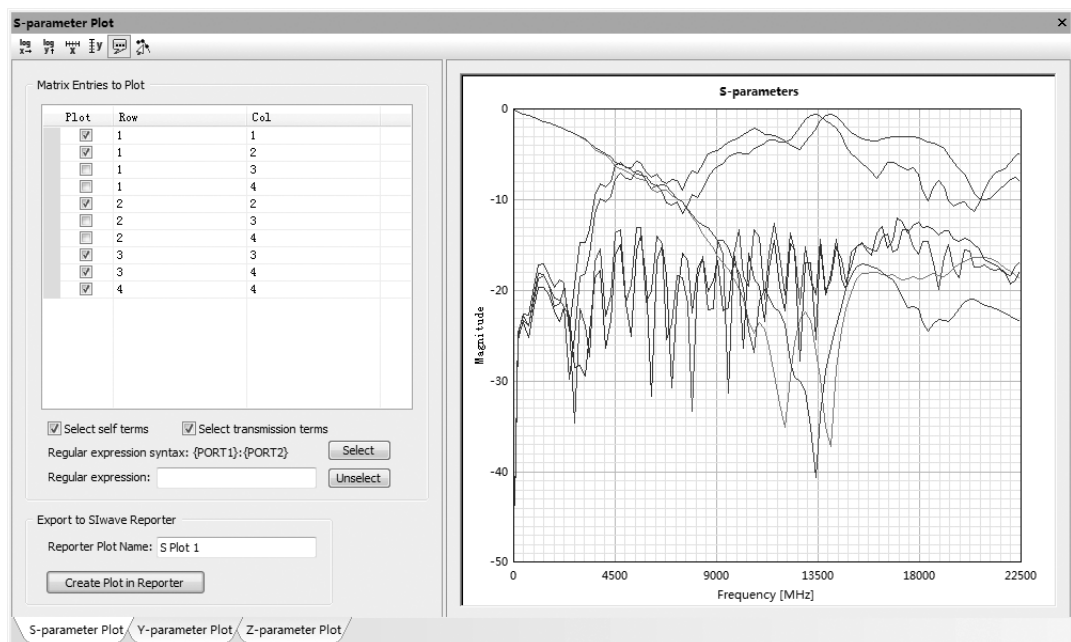


图 4.2.19 S-parameter Plot 界面

① 查看单端回波损耗， $S(1,1)$ 代表单端回波损耗，如图 4.2.20 所示。

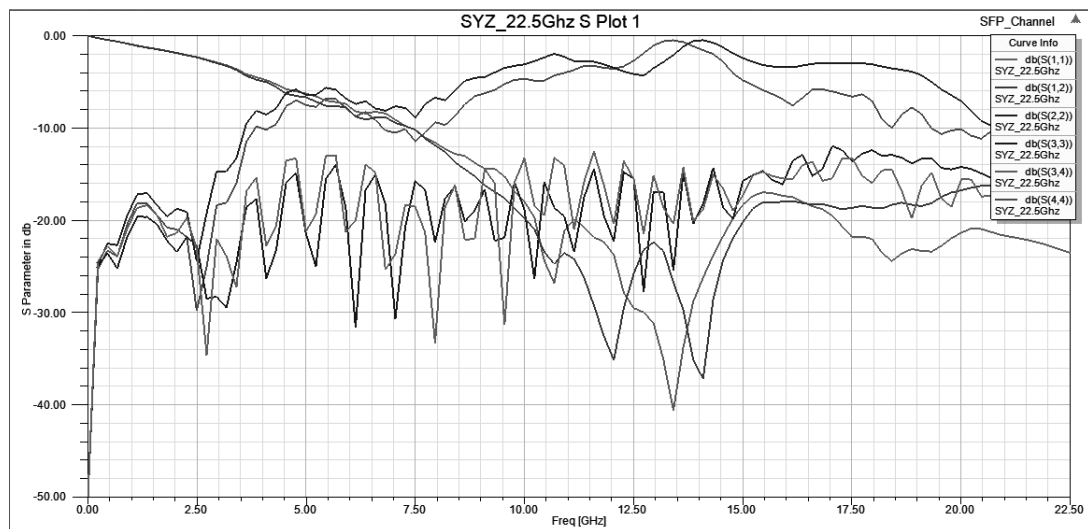


图 4.2.20 单端回波损耗仿真结果

② 查看单端插入损耗， $S(2,1)$ 表示插入损耗，在 ANSYS SIwave Reporter 的 Project Manager 命令窗口中双击“ $\text{dB}(S(1,2))$ ”，如图 4.2.21 所示，Y 坐标选择“ $\text{dB}(S(2,1))$ ”。

③ 单击“New Report”按钮，即可生成单端插入损耗仿真结果，如图 4.2.22 所示。

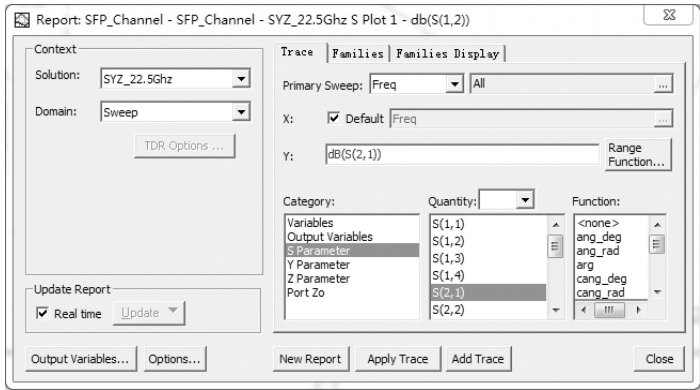


图 4. 2. 21 生成单端插入损耗设置

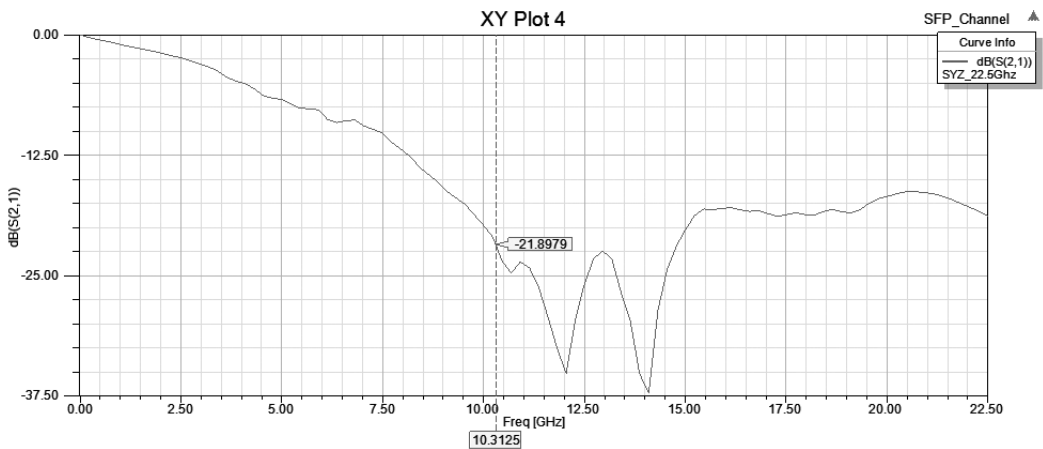


图 4. 2. 22 单端插入损耗仿真结果

7. 查看差分参数

(1) 设置差分对。右键选择“SYZ_22.5Ghz”→“Compute Differential S – parameters...”，如图 4. 2. 23 所示。

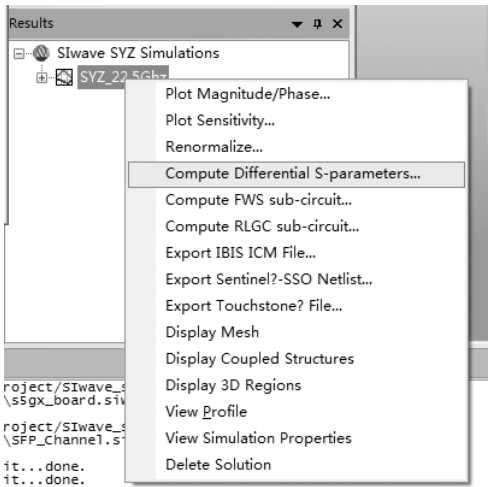


图 4. 2. 23 计算差分 S 参数

(2) 单击“Add Row”按钮添加 D1、D2 差分对。设置好后，单击“Compute Diff. S Matrix”按钮，如图 4.2.24 所示。

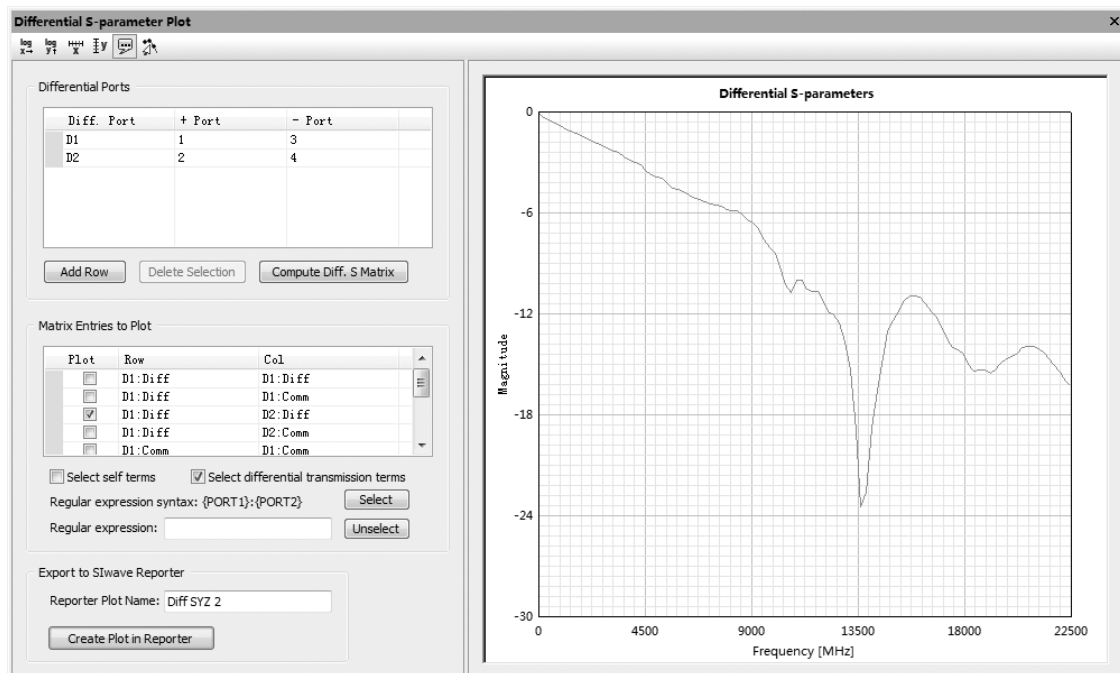


图 4.2.24 添加 D1、D2 差分对

(3) 创建报告，在图 4.2.24 中 Matrix Entries to Plot 窗口选中“D1:Diff D1:Diff”和“D2:Diff D2:Diff”设置报告名字后单击“Create Plot in Reporter”按钮即可创建报告 SDD11，同理选中“D1:Comm D1:Comm”和“D2:Comm D2:Comm”创建报告 SDD22，分别如图 4.2.25 和图 4.2.26 所示。

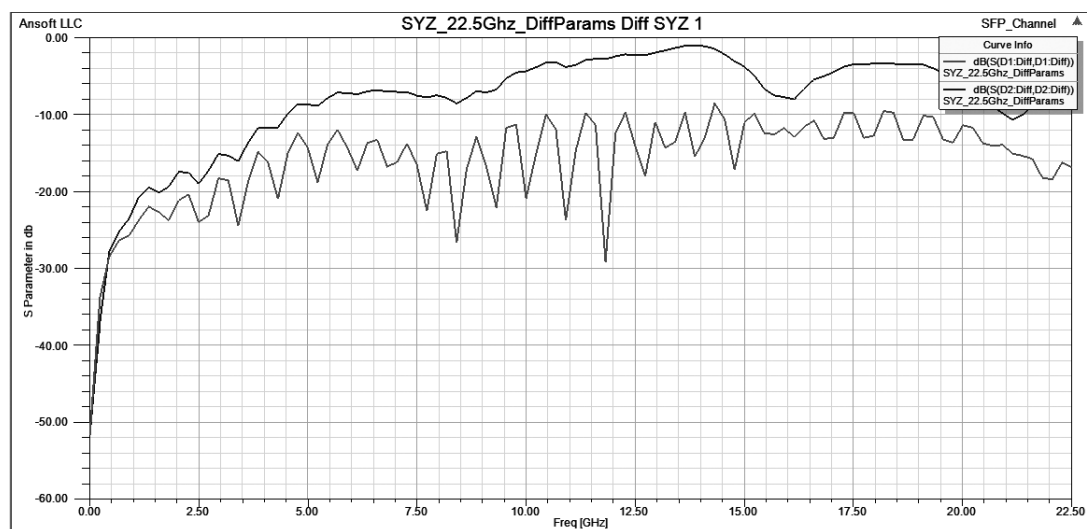


图 4.2.25 差分 S 参数

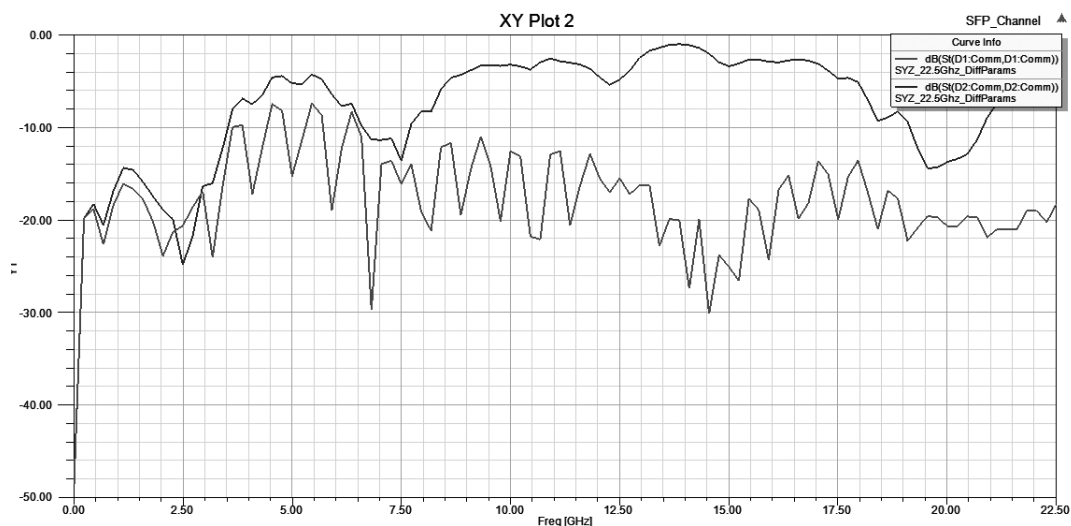


图 4.2.26 共模 S 参数

8. 导出 s4p 参数模型

为了进行以后的系统级仿真，我们要导出参数模型。右键选中“SYZ_22.5Ghz” → “Export Touchstone File...”，如图 4.2.27。

导出文件设置如图 4.2.28 所示。

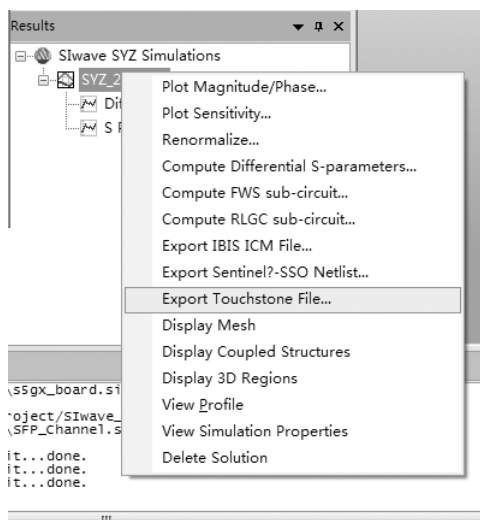


图 4.2.27 导出 s4p 文件

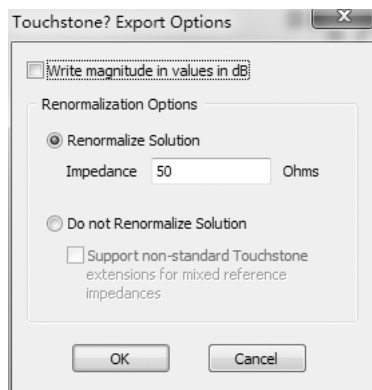


图 4.2.28 导出文件设置

4.3 系统级频域 S 参数仿真

系统级仿真拓扑如图 4.3.1 所示，其中芯片封装为 Altera 公司提供的 S 参数模型；传输线模型为通过 SIwave 提取的微带线的 S 参数模型；SFP + 连接器模型为 Molex 公司提供的 SFP + 连接器 S 参数模型；负载为理想的 50Ω 电阻。

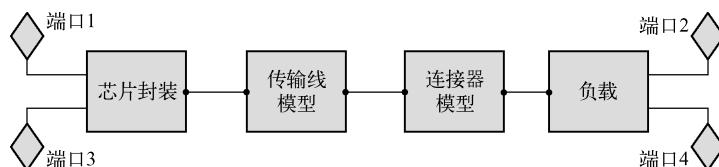


图 4.3.1 系统级仿真拓扑

4.3.1 添加 S 参数模型

(1) 新建工程后，单击“Project”→“Insert Circuit Design”，在 Technology 中单击“None”按钮，如图 4.3.2 所示。加入新的电路设计后，选中工具栏的“Project”→“Add Model”→“Add Nport Model...”，依次导入封装 S 参数模型、SFP + 高速通道 S 参数模型、连接器 S 参数模型，如图 4.3.3 所示。

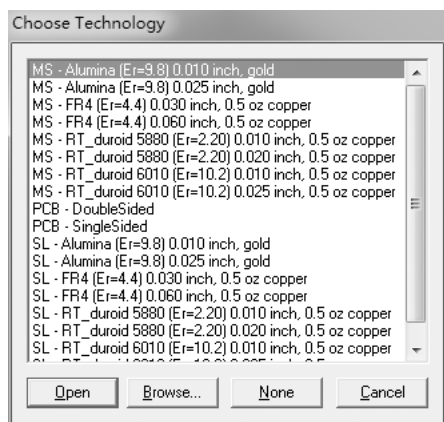


图 4.3.2 选择 Technology

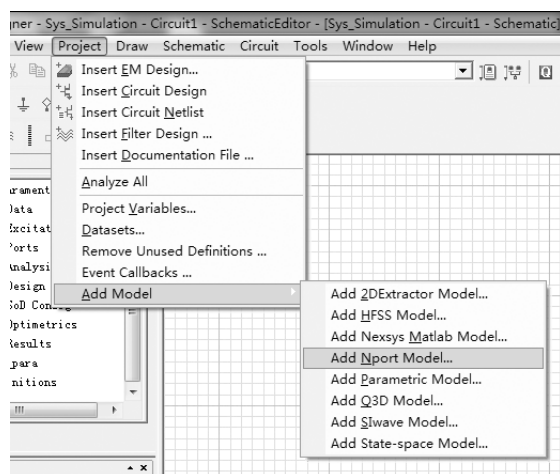


图 4.3.3 加入 S 参数模型

先导入封装 S 参数模型，指定该模型的动态链接模型路径和文件名，单击“确定”按钮，如图 4.3.4 所示。

用同样的方法导入连接器 S 参数模型、SFP + 高速通道 S 参数模型、如图 4.3.5、图 4.3.6 所示。

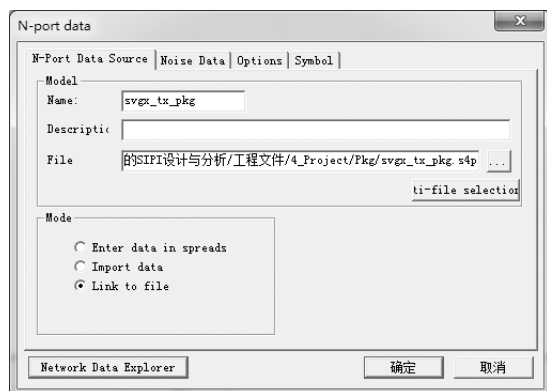


图 4.3.4 导入封装 S 参数模型

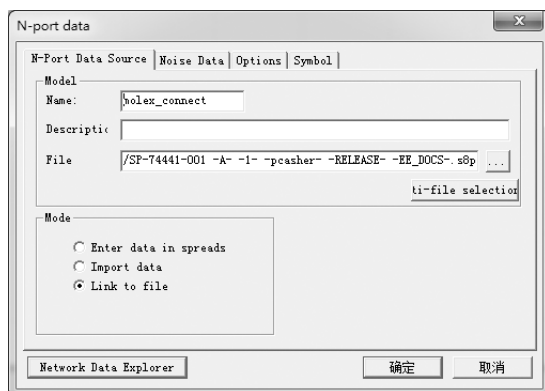


图 4.3.5 导入连接器 S 参数模型

导入的模型放在 Project Manager 窗口的 Definitions 下的 Models 中, 选中导入的模型, 直接拖进电路即可。

导入 S 参数模型之后, 在电路的首尾端放置好接口端口。单击 “Draw” → “Interface Port”, 依次放置 4 个接口端口, 如图 4.3.7 所示。

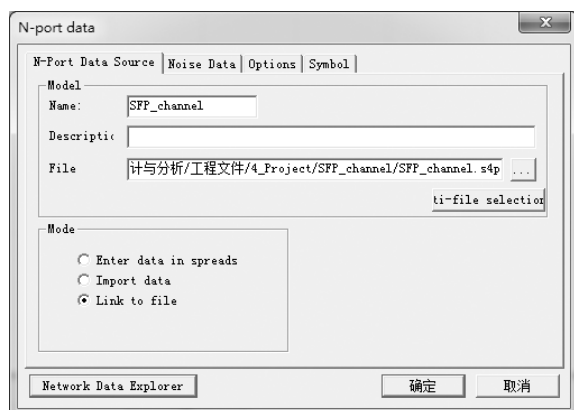


图 4.3.6 导入 SFP + 通道 S 参数模型

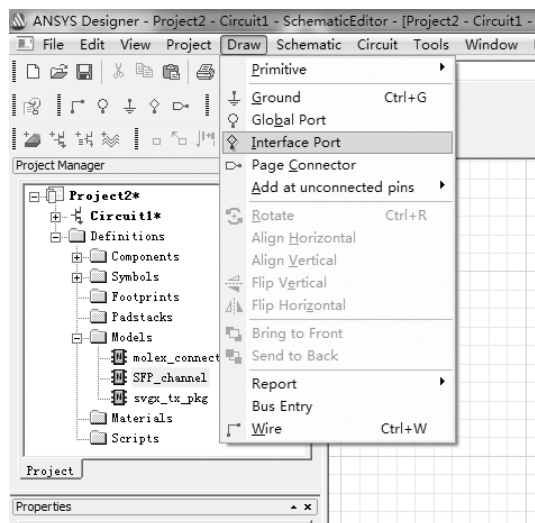


图 4.3.7 放置接口端口

(2) 放置好接口端口和 S 参数模型, 单击 “Draw” → “Wire” 选项, 将各端口连接起来, 如图 4.3.8 所示。

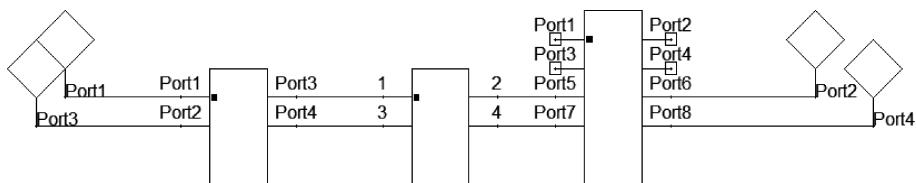


图 4.3.8 在 Designer 中建立系统级仿真

4.3.2 添加频率扫描

(1) 右键选择 “Analysis” → “Add Nexxim Solution Setup...” → “Linear Network Analysis”, 添加 “Linear Network Analysis”, 如图 4.3.9 所示。

(2) 双击 F, 编辑扫频范围, 如图 4.3.10 所示。

(3) 设置 Linear step 的起始频率、终止频率及步长, 单击 “Add” 按钮, 将设置值加入扫描分析值中, 单击 “OK” 按钮完成设置, 如图 4.3.11 所示。

(4) 右键选择 “Analyze”, 开始仿真分析, 如图 4.3.12 所示。

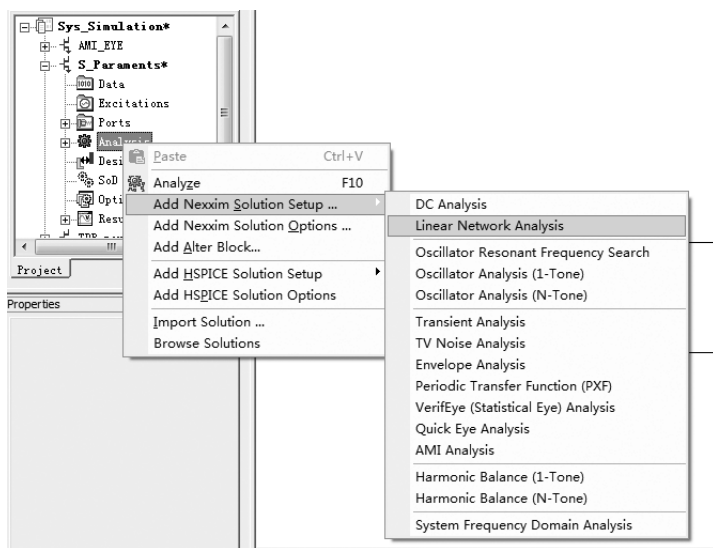


图 4.3.9 添加“Linear Network Analysis”

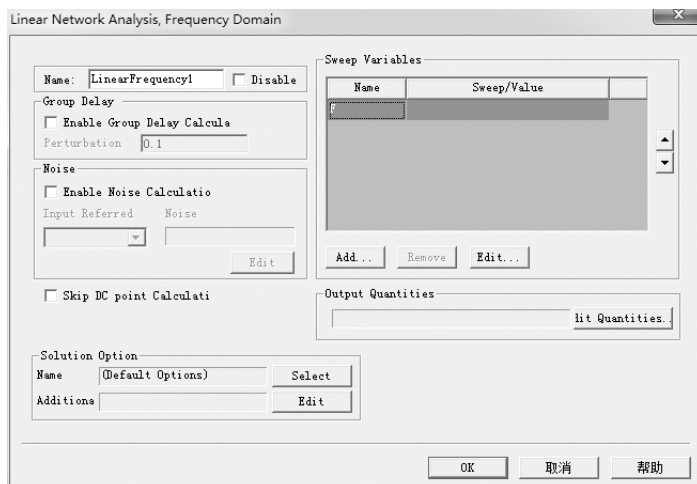


图 4.3.10 添加扫频变量

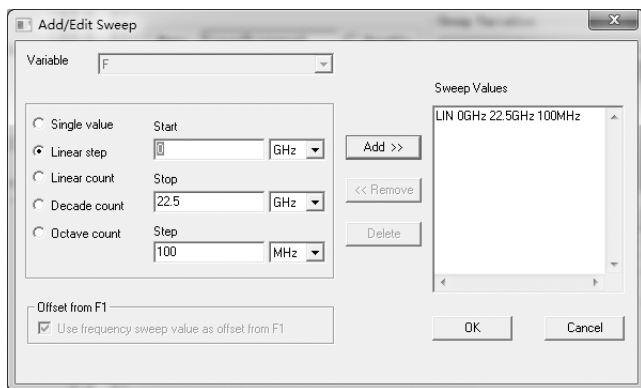


图 4.3.11 添加扫频范围

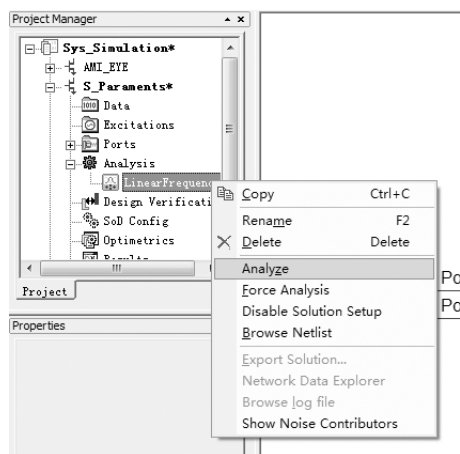


图 4.3.12 开始仿真分析

4.3.3 查看仿真结果

(1) 右键选择 “Results” → “Create Standard Report” → “Rectngular Plot”，查看报告，如图 4.3.13 所示。

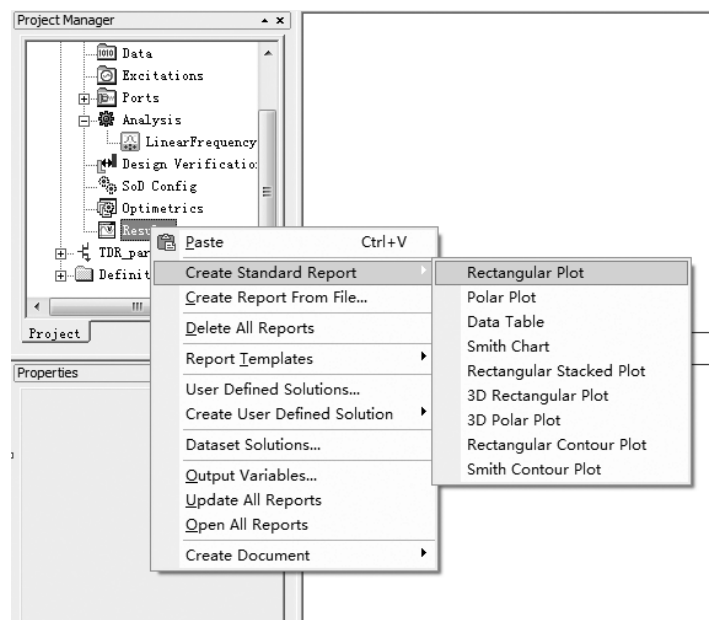


图 4.3.13 创建常规报告

(2) 要查看差分或者共模回波损耗仿真结果，首先创建差分对。右击 “Ports” → “Differential Pairs” 来创建差分对，如图 4.3.14 所示。

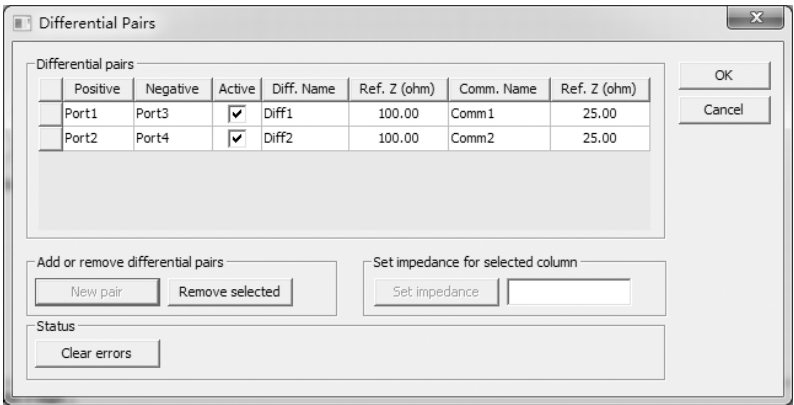


图 4.3.14 创建差分对

(3) 查看差分损耗仿真结果，右键选择 “Results” → “Create Standard Report” → “Rectngular Plot”，在打开的 Report 设置中，在 Show 选项中选择 “Differential Pairs”，选中要显示的差分仿真结果 “dB(S(Diff1,Diff1))”、“dB(S(Diff2,Diff2))”，单击 “New Report” 按钮即可，如图 4.3.15 所示。

(4) 用同样的方法查看共模回损的仿真结果，如图 4.3.16 所示。

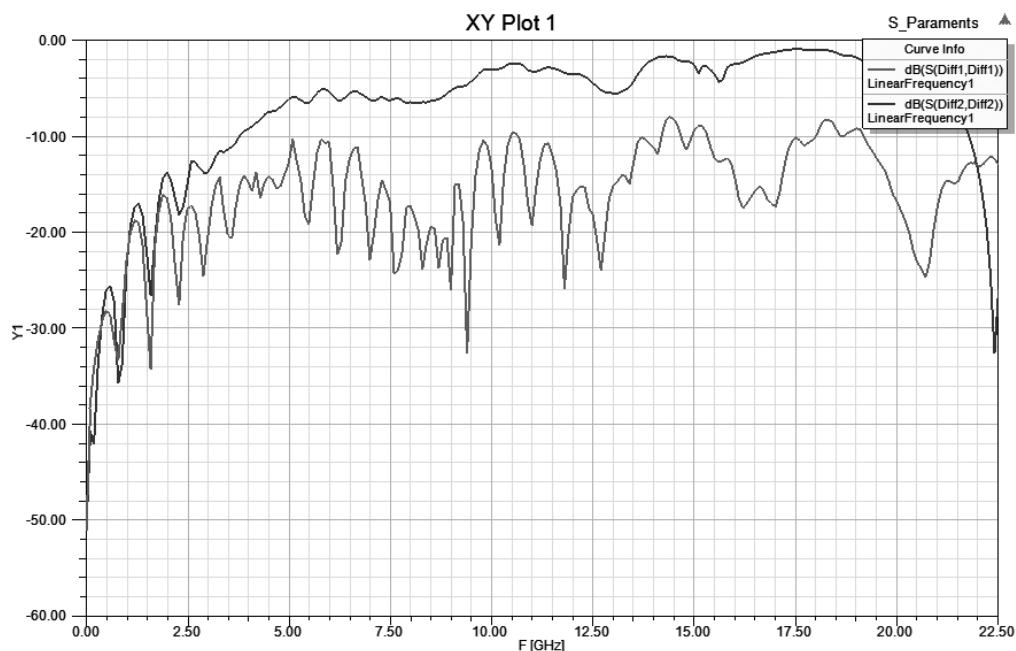


图 4.3.15 差分 S 参数仿真结果

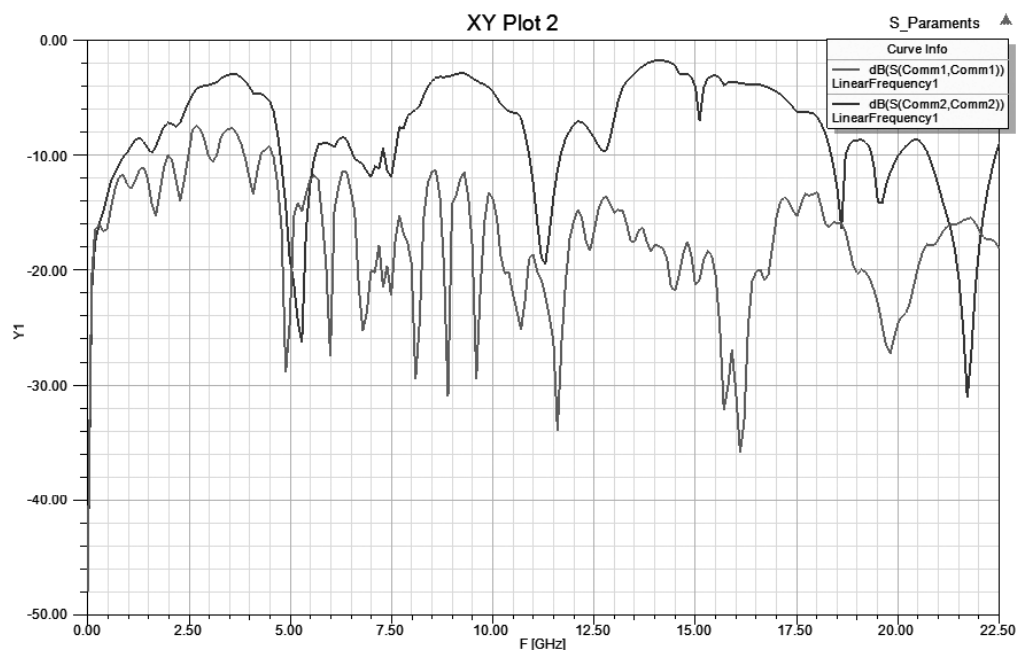


图 4.3.16 共模损耗仿真结果

4.4 TDR 仿真

电路中的过孔、回流路径的不完整、连接器等都会引起反射，引入差模或者共模噪声，本节主要介绍利用 TDR（时域反射）技术来考虑链路出现信号反射的原因。

4.4.1 添加参数模型

(1) 按照 4.3.1 节的方法加入芯片封装、传输通道、连接器的 S 参数模型。有所不同的是, 放置元器件电阻时, 在 Componet Manager 窗口下, 选择 “Nexxim Circuit Elements” → “Resistors” → “RES_”, 双击或者拖动到电路中, 如图 4.4.1 所示。

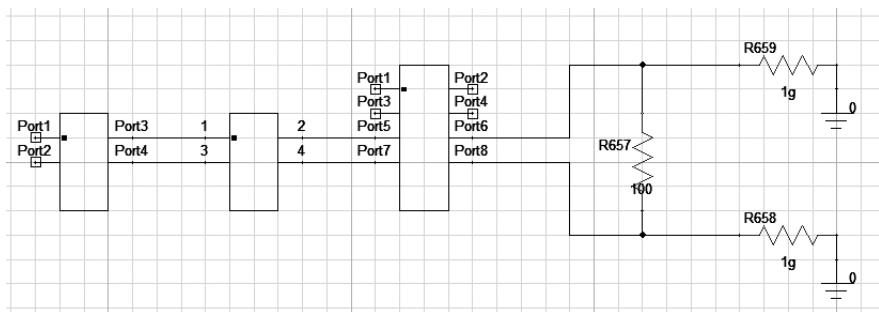


图 4.4.1 在 Designer 中添加 S 参数模型

(2) 添加 TDR 源, 我们可以通过 Component Manager 来搜索 TDR 源, 如图 4.4.2 所示。

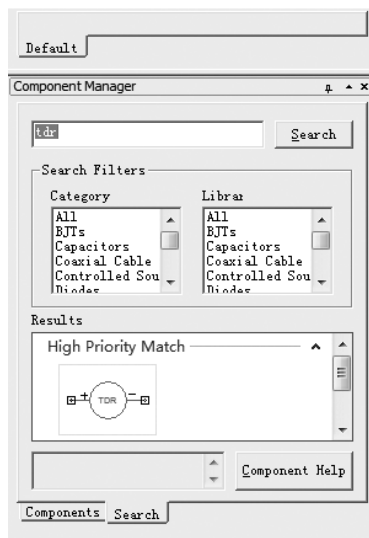


图 4.4.2 搜索 TDR 源

(3) 拖出 TDR 源, 将其按照如图 4.4.3 所示摆放。

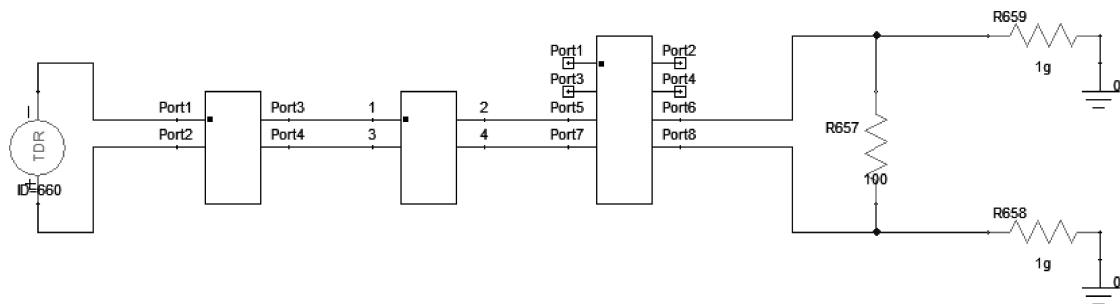


图 4.4.3 在 Designer 中的仿真拓扑

4.4.2 建立瞬态分析

(1) 右键选择 “Analysis” → “Add Nexxim Solution Setup...” → “Transient Analysis”，添加瞬态分析，如图 4.4.4 所示。

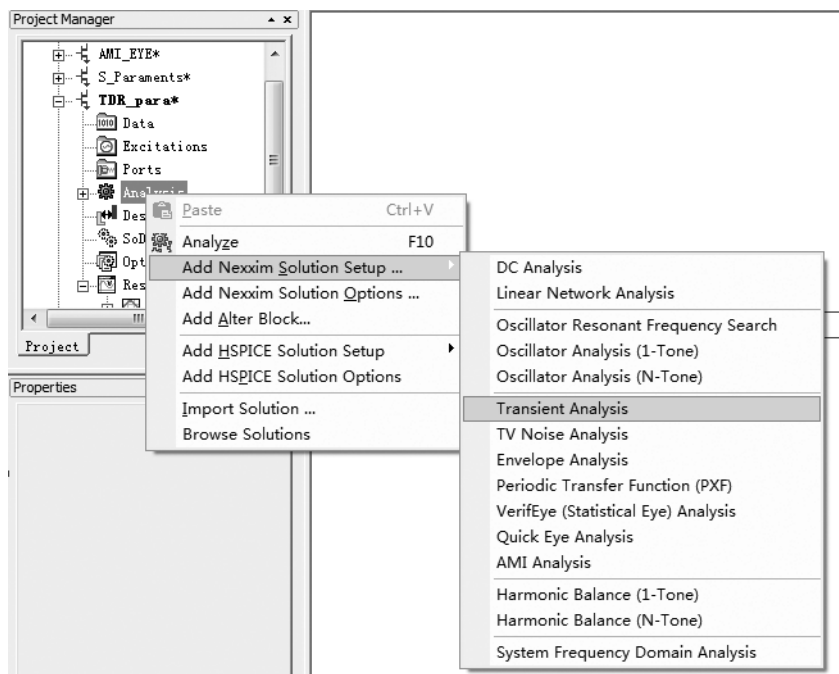


图 4.4.4 建立 Transient Analysis

(2) 设置瞬态分析仿真的起始、终止时间，如图 4.4.5 所示。

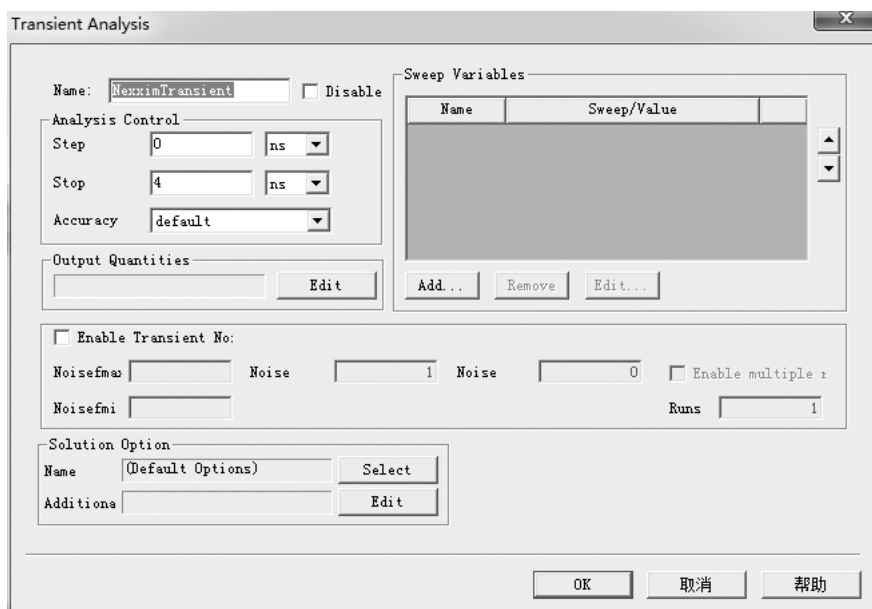


图 4.4.5 设置 Transient Analysis

4.4.3 创建结果报告

(1) 右键选择“Results”，右击“Create Standard Report”→“Rectangular Plot”来创建报告，如图4.4.6所示。

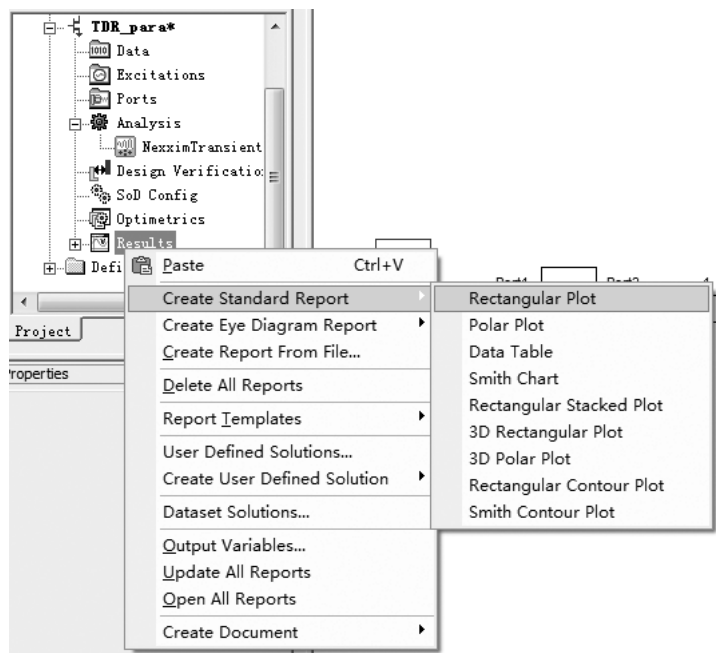


图 4.4.6 创建报告

(2) 在 Category 窗口中选择“Device Properties”，在 Quantity 窗口中选择“O(a660:zdiff)”、“O(a660:zneg)”、“O(a660:zpos)”，如图4.4.7所示。

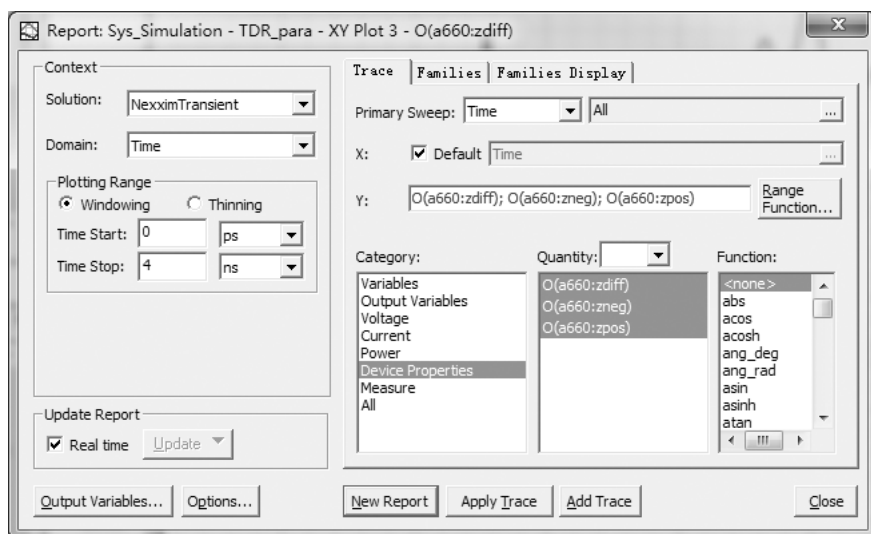


图 4.4.7 选择所要显示的内容

(3) 显示阻抗曲线。其中, $O(a660:zdiff)$ 曲线代表差分阻抗, $O(a660:zneg)$ 代表负极单端阻抗, $O(a660:zpos)$ 代表正极单端阻抗, 如图 4.4.8 所示。

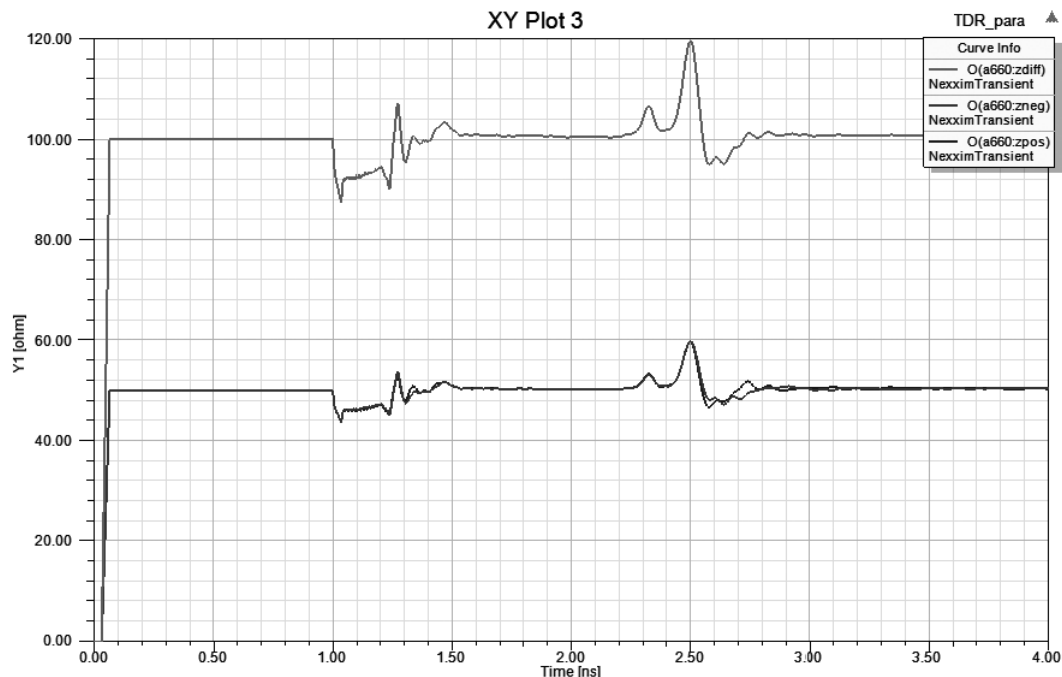


图 4.4.8 单端、差分阻抗曲线

4.5 时域眼图仿真

对于 10Gb/s 的接口, 一般需要在发送端使用预加重, 在接收端使用均衡技术。Altera 公司为 Stratix V GX 开发板实际测试开发了相应的图形界面, 可以很方便地选择、发送伪随机码及进行 PMA (物理媒介适配层) 设置。为了在仿真和实际测试中优化串行通道的性能, 得到比较理想的测试结果, 本节多次改变 StratixV GX 收发器相应的模拟特征值, 如差分输出电压 (VOD)、预加重及接收器均衡参数等。其中, VOD 的调试范围为 0 ~ 12.6mV, 预加重包括 pre - tap、1st - tap 和 2nd - tap, 其调节范围分别为 0 ~ 15、0 ~ 31 和 0 ~ 15。

SFF - 8431 协议对 SFP + 的合规测试做了明确的规定, 如图 4.5.1 所示。参考测试协议, 本节建立 SFP + 合规仿真拓扑如图 4.5.2 所示, 包括 ASIC_TX/RX (信号发送端) 模型、芯

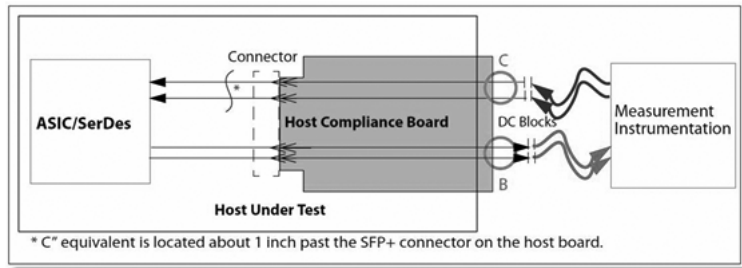


图 4.5.1 SFP + 测试规范

片封装模型、微带线模型、连接器模型及负载几个部分。其中, ASIC_TX/RX 模型为由 Altera 公司提供的 IBIS - AMI 模型; 其他各部分和频域使用的模型相同, 负载也为理想的 50Ω 电阻。在 Designer 中分别导入各个模型, 进行电路级仿真, 得到眼图。

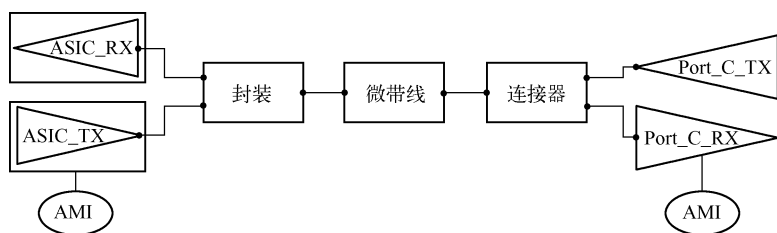


图 4.5.2 SFP + 仿真拓扑图

4.5.1 输入 AMI 模型

(1) 右键选择 “Tools” → “Import AMI Components...”, 输入 AMI 模型, 如图 4.5.3 所示。

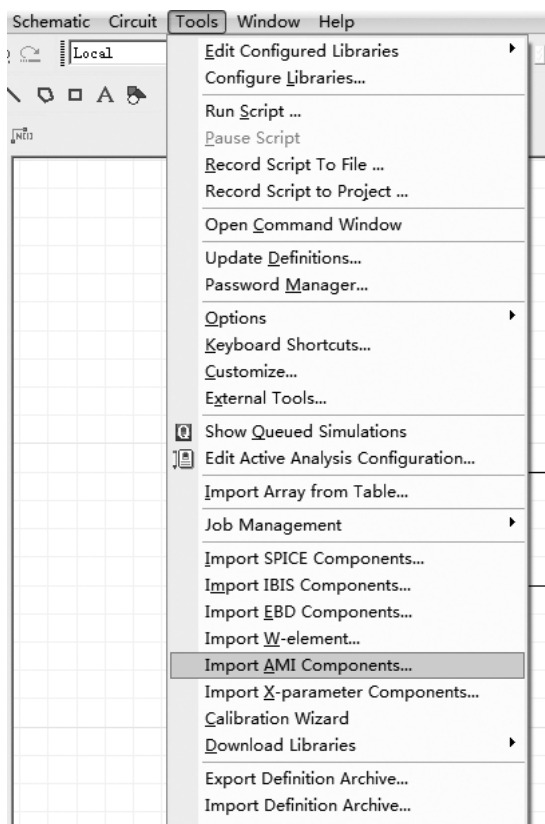


图 4.5.3 输入 AMI 模型

(2) 指定 AMI 发送端模型文件位置, 选择对应操作系统的 DLL 文件。单击 “Test” 按钮, 测试这个 AMI 模型, 看其是否可用, 如图 4.5.4 所示。

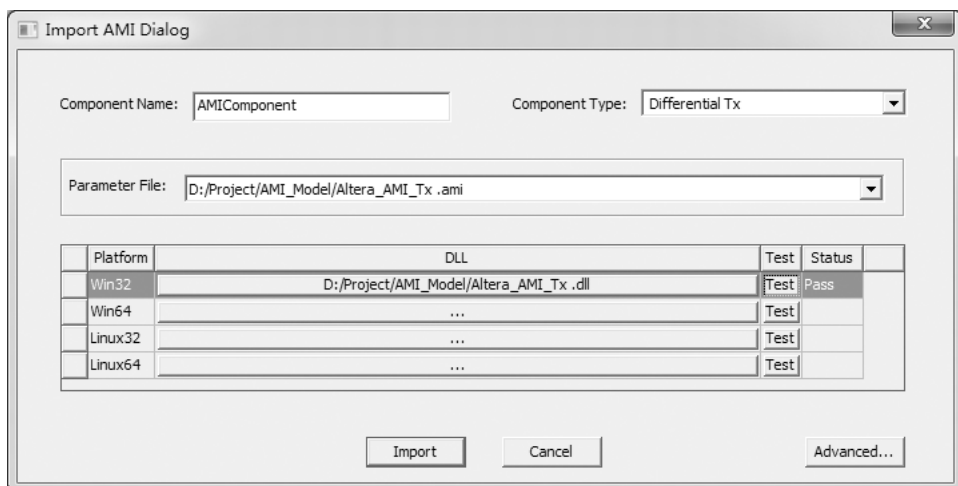


图 4.5.4 选择 AMI_TX 模型路径

(3) 指定 AMI 接收探针模型文件位置，选择对应操作系统的 DLL 文件。单击“Test”按钮，测试这个 AMI 模型，看其是否可用，如图 4.5.5 所示。

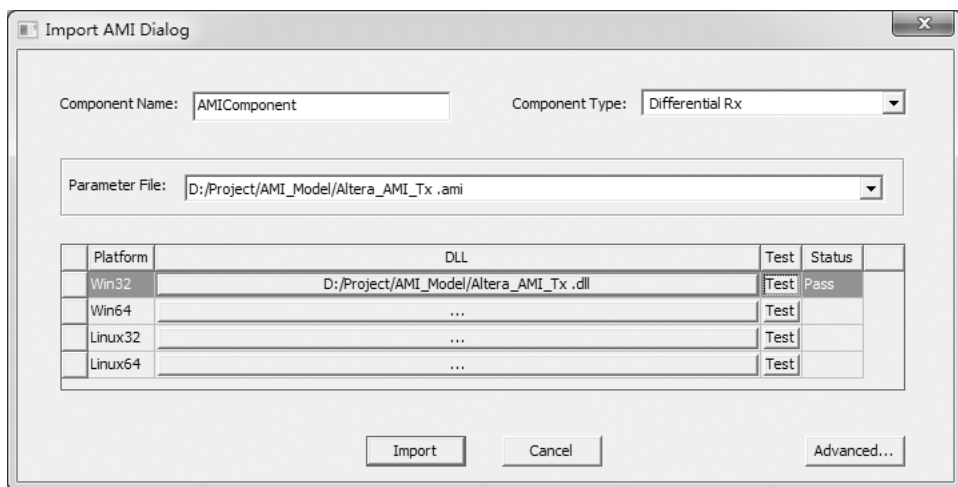


图 4.5.5 选择 AMI_RX 模型路径

(4) 在 Designer 中建立仿真拓扑，如图 4.5.6 所示。

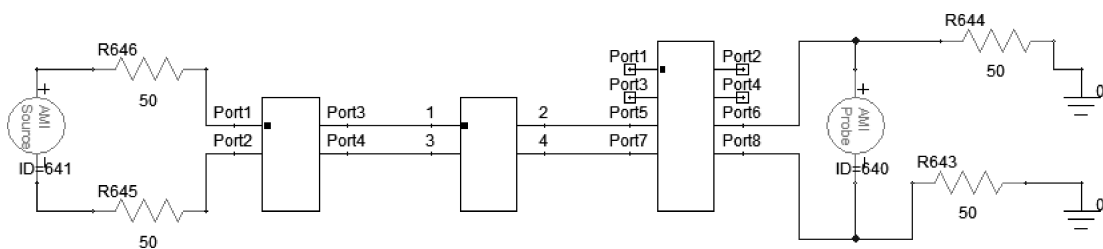


图 4.5.6 在 Designer 中建立的仿真拓扑

4.5.2 设置 AMI 模型

双击 AMI 模型，设置 vlow 为 -500mV，vhigh 为 500mV，trise 为 34ps，tfall 为 34ps，UIorBPSValue 为 100ps，BitPattern 为 PRBS9，单击“确定”按钮，完成设置，如图 4.5.7 所示。

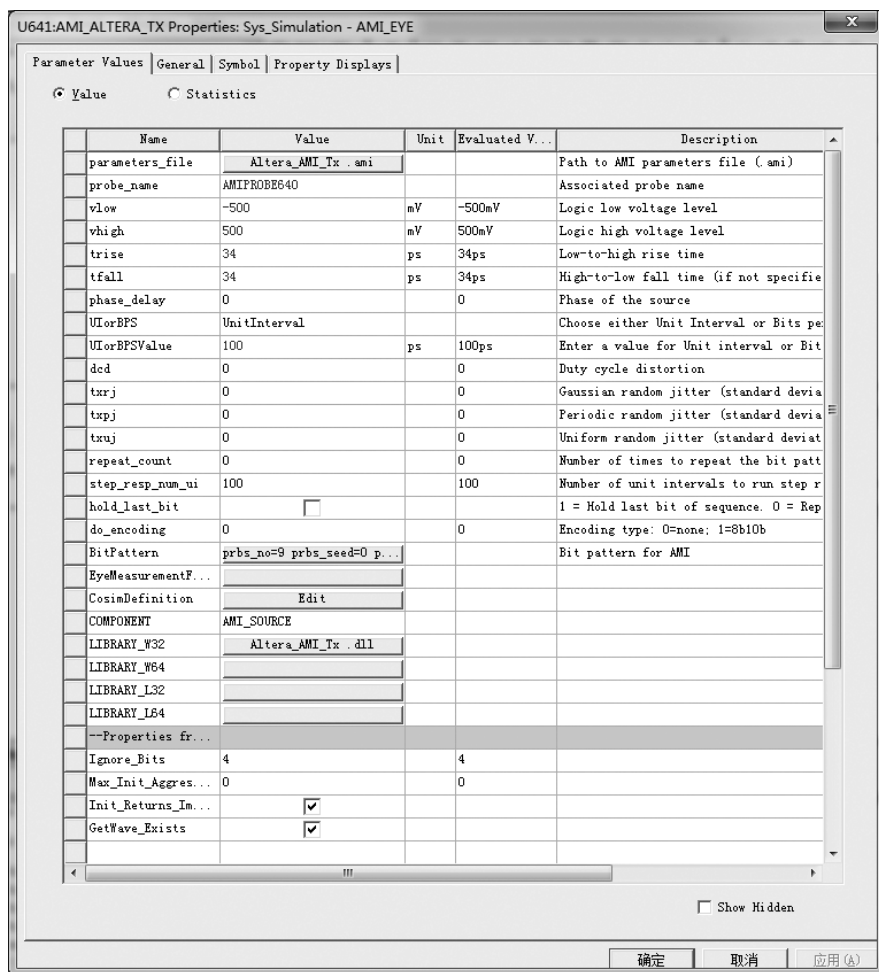


图 4.5.7 AMI 源设置

4.5.3 仿真设置

(1) 右键选择“Analysis”→“Add Nexxim Solution Options...”，添加“Nexxim Solution Options”，如图 4.5.8 所示。

(2) 单击“AMI Options”，设置 Number of UI bins for sdf eye 为 400，Number of amplitude bins for sdf eye 为 400，如图 4.5.9 所示。

(3) 右键选择“Analysis”→“Add Nexxim Solution Setup”→“AMI Analysis”，添加“AMI Analysis”，如图 4.5.10 所示。

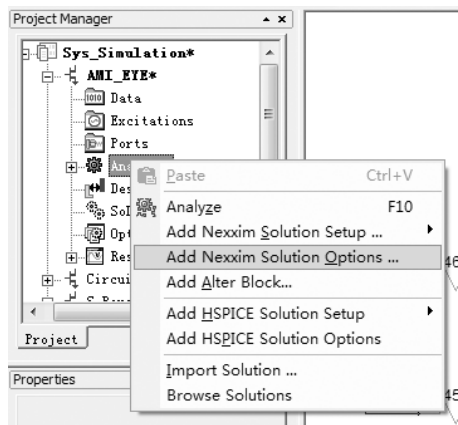


图 4.5.8 添加“Nexxim Solution Options”

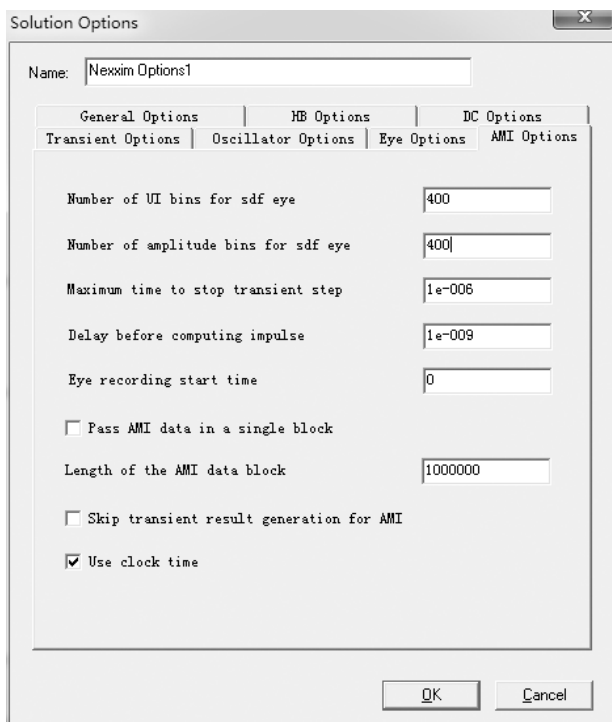


图 4.5.9 设置 Nexxim Options

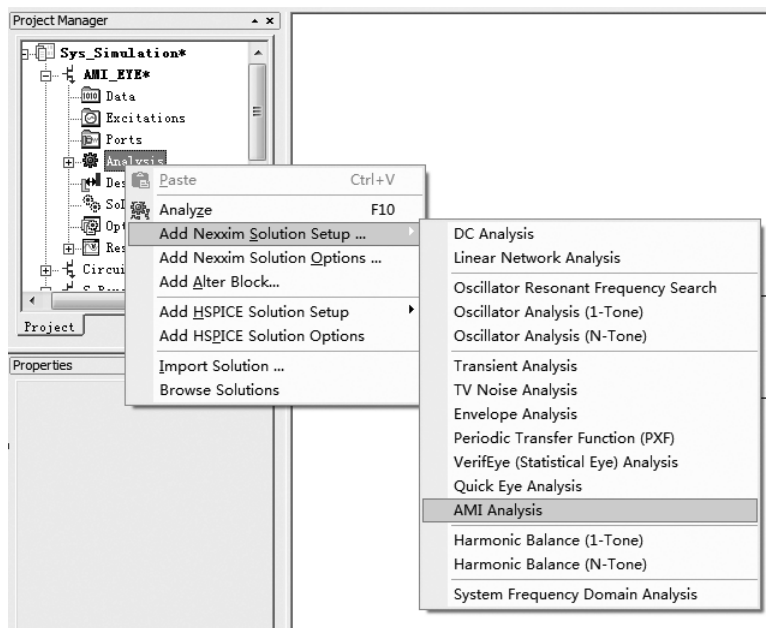


图 4.5.10 添加“AMI Analysis”

(4) 设置 Time 为 2ps，单击“Solution Options”，选中“Nexxim options”，如图 4.5.11 所示。

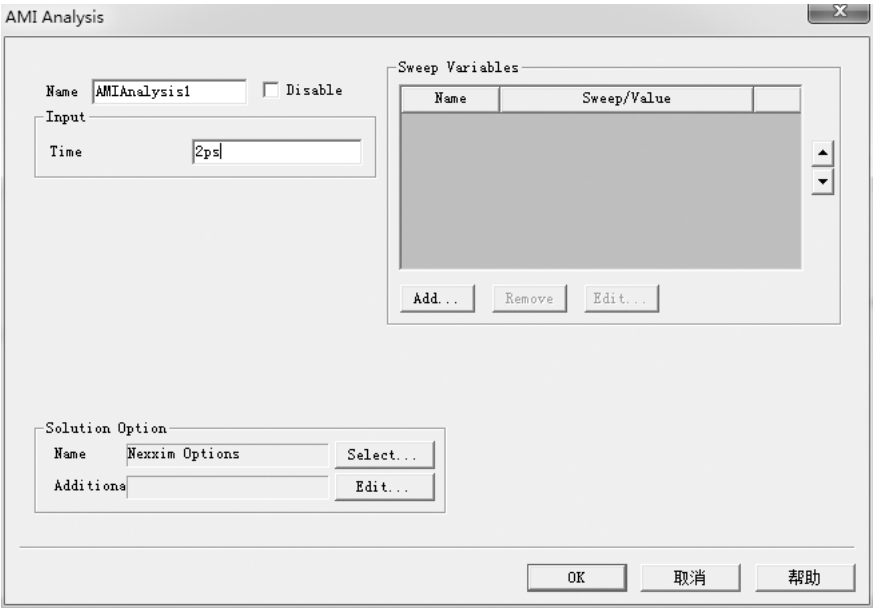


图 4.5.11 设置 AMI Analysis

(5) 右键选择“AMIAAnalysis”→“Analyze”，进行仿真分析，如图 4.5.12 所示。

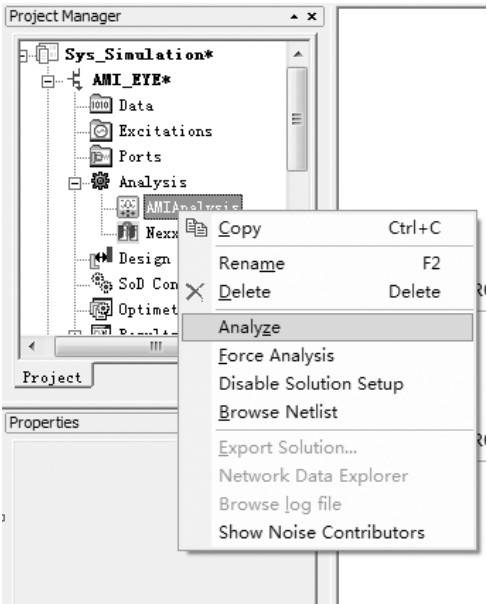


图 4.5.12 开始仿真分析

4.5.4 查看眼图

(1) 右键选择“Result”→“Create Statistical Eye Report”→“Statistical Eye Plot”，创建统计眼图，如图 4.5.13 所示。

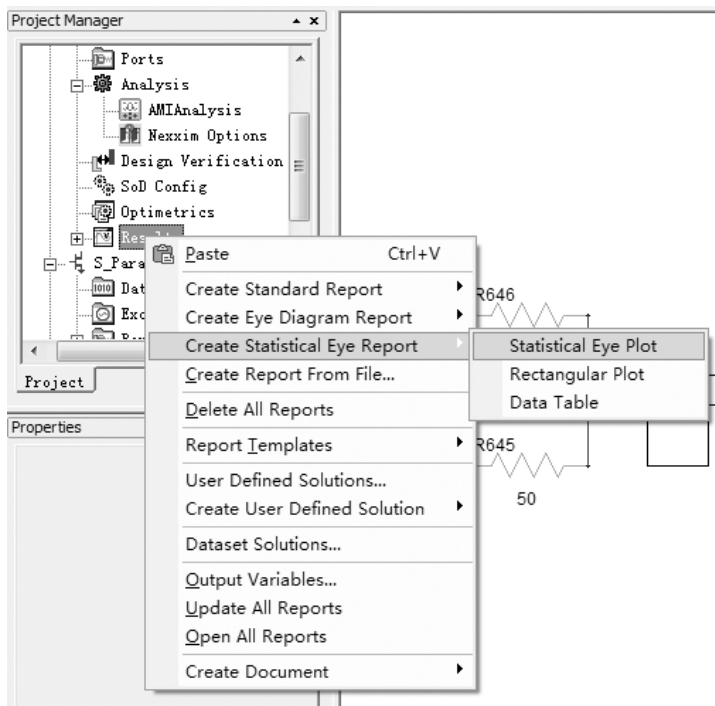


图 4.5.13 创建统计眼图

(2) 在 Qty Type 中选择“EyeAfterProbe”，在 Category 中选择“Eye”，在 Quantity 中选择“EyeAfterProbe < amprobe >”，如图 4.5.14 所示。

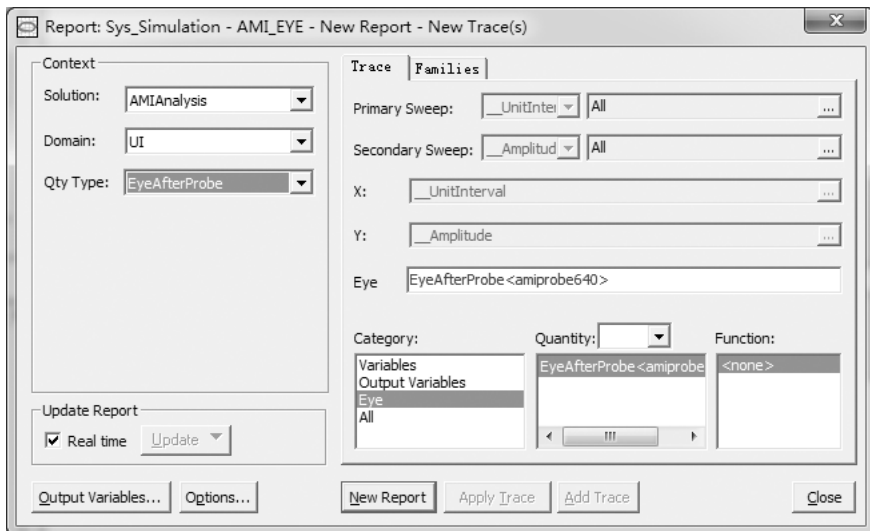


图 4.5.14 选择要显示的眼图

(3) 统计眼图的仿真结果，如图 4.5.15 所示。

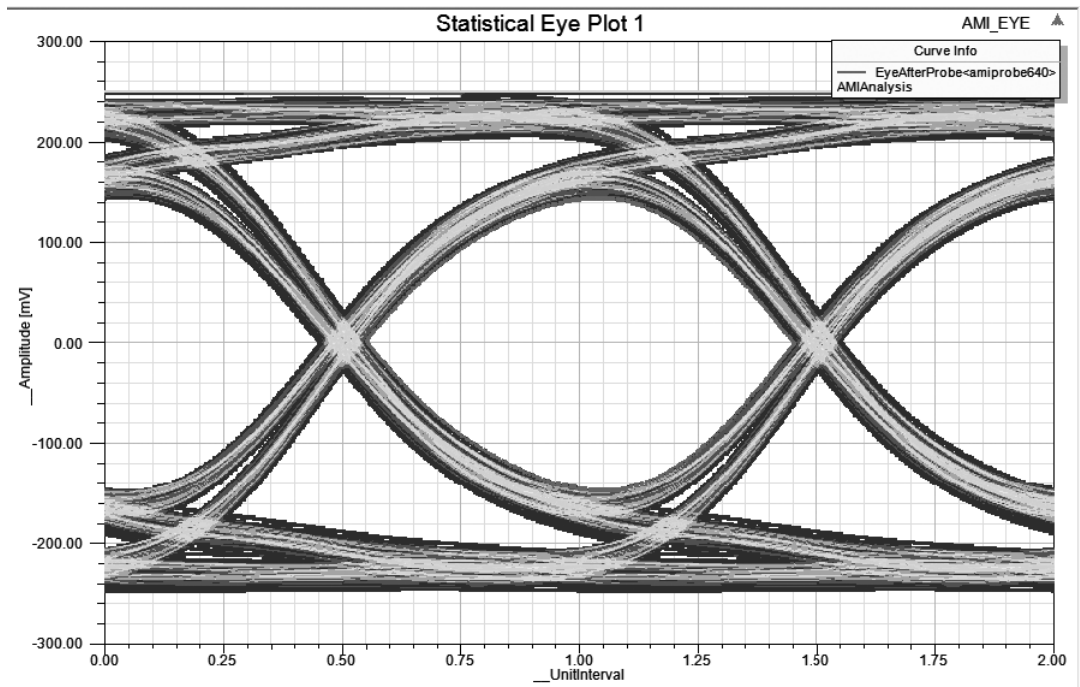


图 4.5.15 眼图仿真结果

4.5.5 添加眼罩

(1) 双击眼图，出现如图 4.5.16 所示界面，选择“Mask”标签，单击“Edit”按钮，如图 4.5.17 所示。

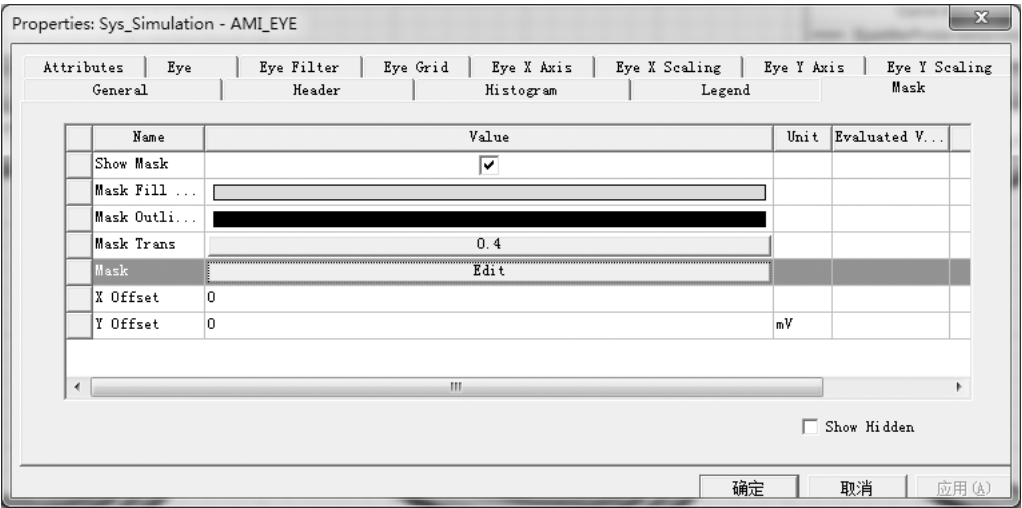


图 4.5.16 设置眼图模板

(2) 单击“Edit”按钮，出现如图 4.5.18 所示界面。
SFF - 8431 中规定的眼图模板如图 4.5.19 所示。

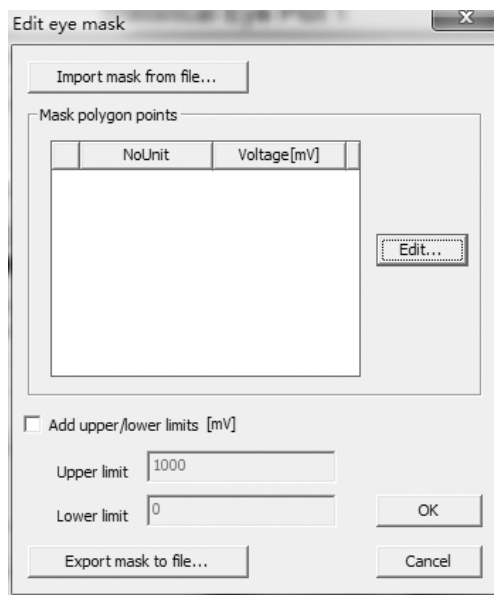


图 4.5.17 编辑眼罩界面

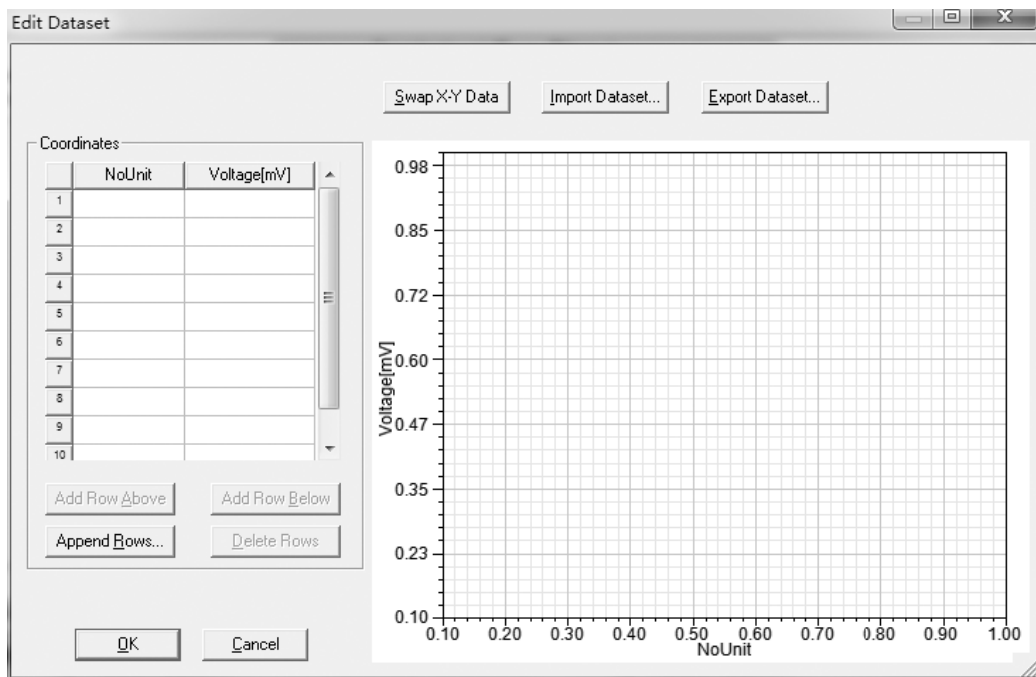


图 4.5.18 眼罩数据输入

(3) 按照协议提供的参数，在 Edit Dataset 中输入相应的 NoUnit 和 Voltage 值，如图 4.5.20 所示。

(4) 设置 X offset 为 “0.5”，使得眼罩放在眼图的中间，如图 4.5.21 所示。

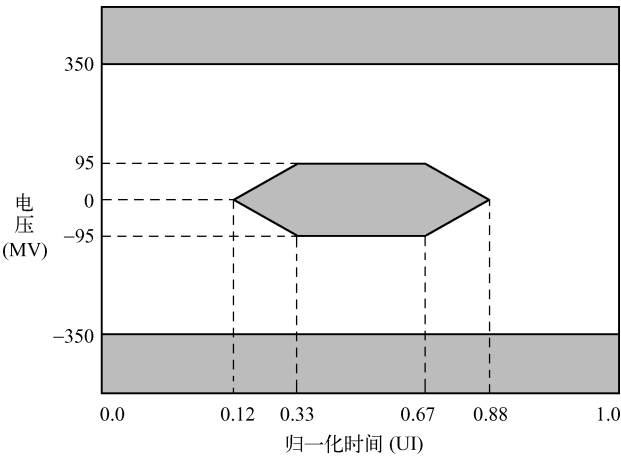


图 4.5.19 SFF - 8431 中规定的眼图模板

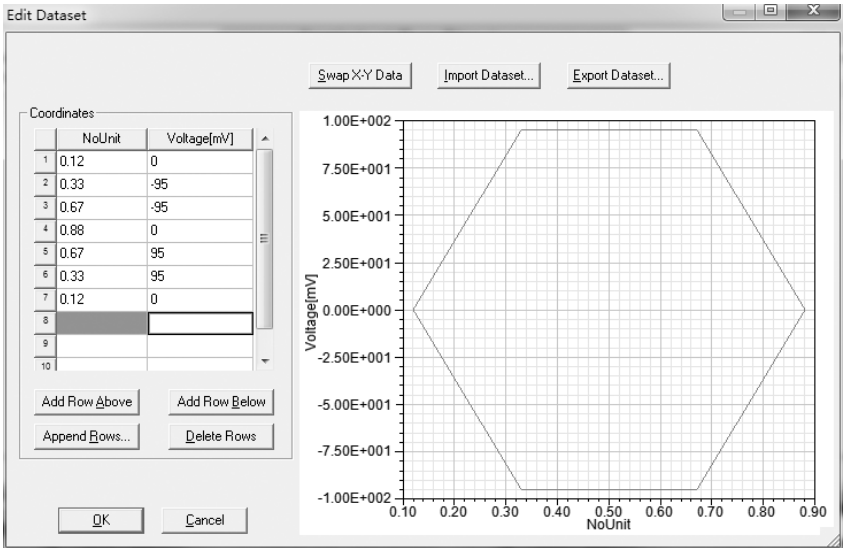


图 4.5.20 根据协议输入的数据

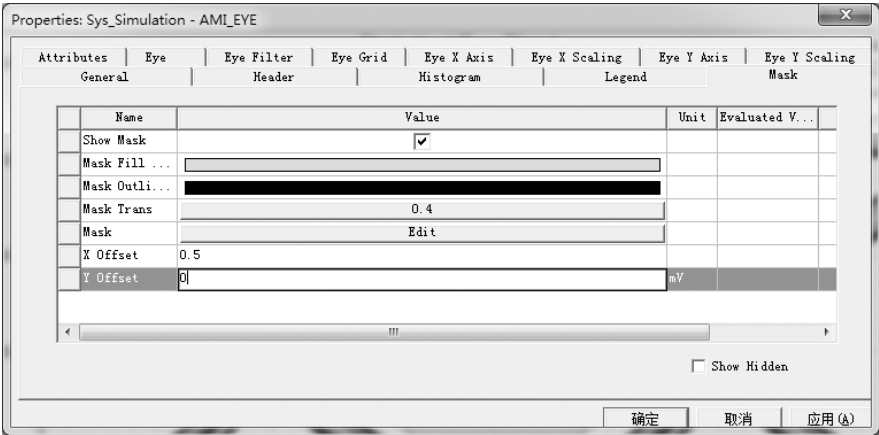


图 4.5.21 设置眼罩 X 轴偏移量

(5) 加入眼罩后的眼图如图 4.5.22 所示。

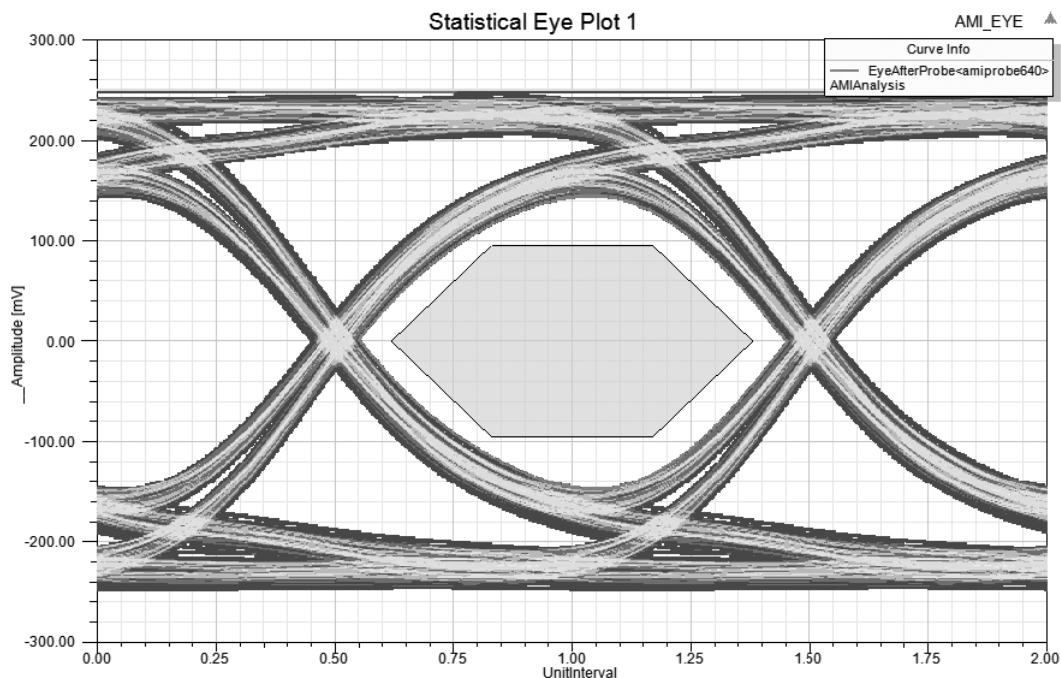


图 4.5.22 加入眼罩后的眼图

4.6 SFP + 通道实际测试

在做时域实际测试时，须使用专门的 SFP + 夹具连接 SI 评估板和示波器，如图 4.6.1 所示。本节在进行实际测试时，源端使用的是 PRBS31 伪随机码；示波器为 Tektronix 公司的 DPO71604C，该示波器拥有 16GHz 的带宽，可以用来完成 SFP + 的测试。选定好 SFP + 眼图测试模板后，就可以开始测试。最后，该示波器内置的后处理软件会自动创建 SFP + 测试报告。

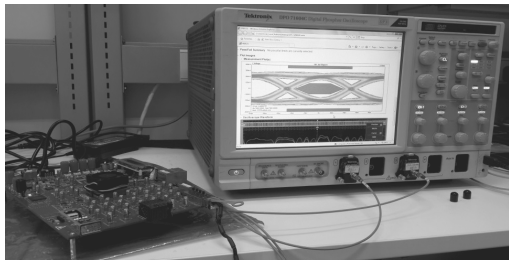


图 4.6.1 DPO71604C 示波器

对于 SFP + 的时域波形和眼图，在数次改变参数后，实验发现 $VOD = 34$ 、 $pre - tap = 2$ 、 $1st - tap = 10$ 和 $2nd - tap = 0$ 是比较理想的一组参数设置。相应的仿真和测试结果，如图 4.6.2 和图 4.6.3 所示。对比实测与仿真，我们发现眼开、眼宽、抖动等参数均符合协议的要求，可以保证信号的完整性。由于在实际测试中使用了夹具和连接器，所以仿真和测试

会出现一定的误差，如实测的抖动大概是仿真的2倍；但两者的幅值、眼开和眼宽，还是匹配很好的。

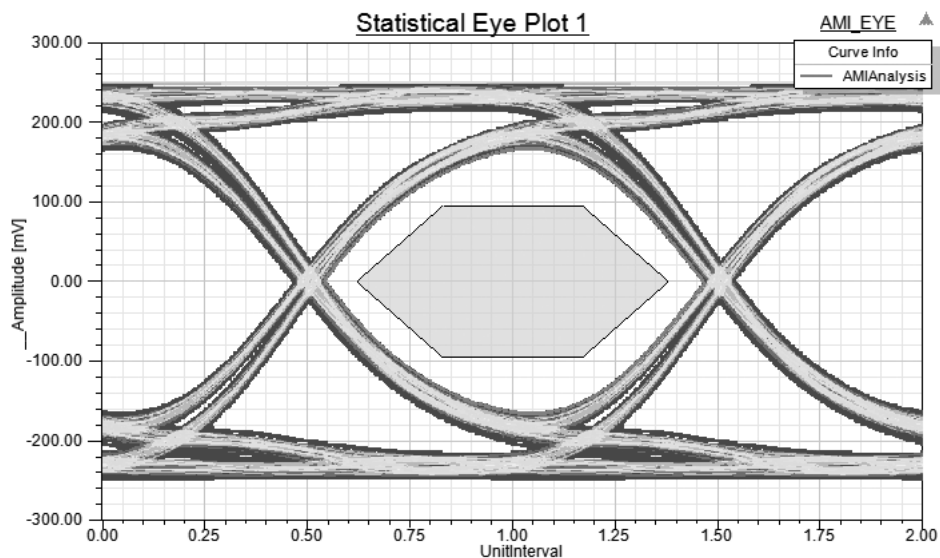


图 4.6.2 SFP + 统计眼图仿真结果

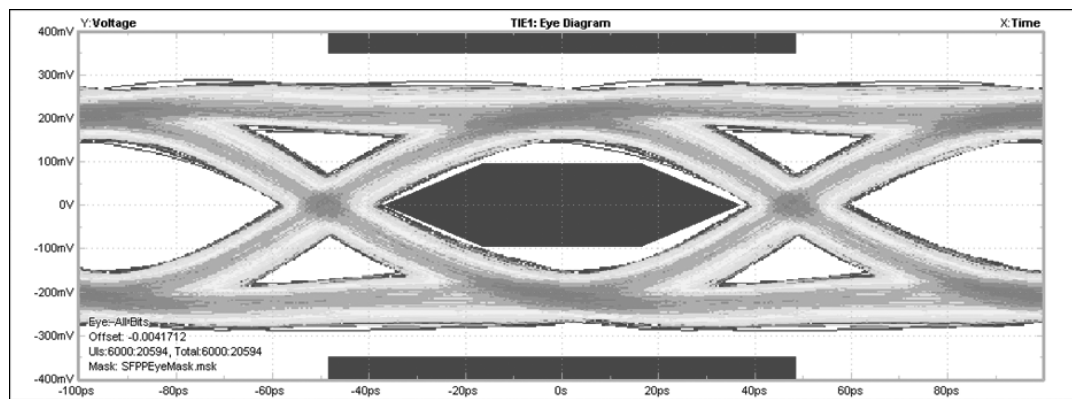


图 4.6.3 SFP + 最优实测结果

通过查看 PCB，我们可以看到在高速 SFP + 通道附近有 7 条同样速率高达 10Gb/s 的 SMA 差分传输通道，如图 4.6.4 所示。众所周知，当高速信号在传播线上传播时，相邻的信号线之间由于电磁场的相互耦合会产生不同期望的噪声电压信号，继而形成串扰，即使是使用差分线传输，也不可避免的会引入差模和共模噪声。当所有的通道同时工作时，经测量得到 SFP + 通道的眼图如图 4.6.5 所示。对比图 4.6.5 和图 4.6.3 可以发现，串扰已经对该通道的信号完整性产生了严重的影响，信号的抖动增加了 2 倍左右，眼开、眼宽和眼高都明显的减小。为了减少差分对间的串扰和屏蔽线间的耦合，我们可以通过适当地增加线间距，使用地过孔或者将更多的线布局在不同层的方法来减少串扰。

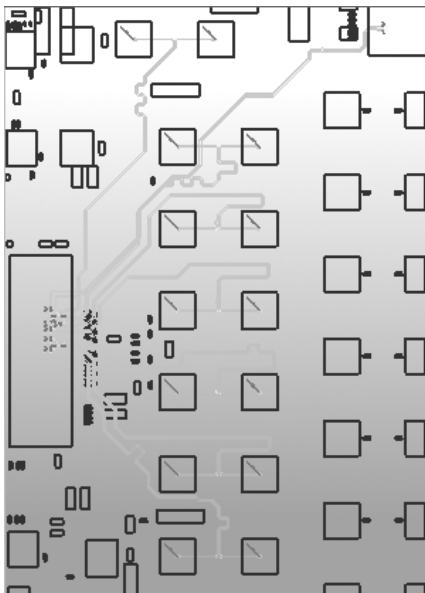


图 4.6.4 SMA TX 和 SFP + TX 高速传输通道

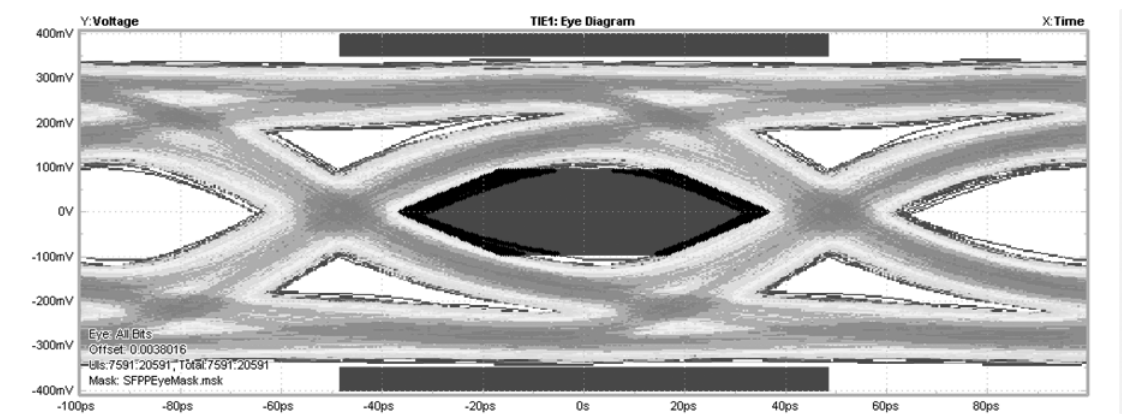


图 4.6.5 有串扰的 SFP + 通道的眼图

4.7 本章小结

本章首先对高速串行接口 SFP + 通道的相关特点进行了介绍，然后对 Altera StratixV GX 5SGXEA7N2F40C2N FPGA 芯片所含有的一组 12.5Gb/s 的 SFP + TX/RX 通道进行一系列仿真测试。在 SIwave 中，SFP + 通道网络中创建端口用于提取 SFP + 通道的 S 参数，同时分析其差分 S 参数、共模 S 参数、单端回波损耗及单端差分损耗。最终导出其 s4p 模型用于在 Designer 中建立系统级仿真。在 Designer 环境下，分析了差分 S 参数、共模回波损耗，建立时域反射仿真来分析 SFP + 的单端、差分阻抗。最后，通过时域眼图仿真来优化 StratixV GX 收发器相应的模拟特征值，从而辅助了 SFP + 相关参数的设置达到最优的实测效果。

第 5 章 并行通道 DDR3 的仿真与分析

5.1 DDR3 简介

DDR3 即双倍速率同步动态随机存储器。随着 DDR3 接口工作频率和传输速率的提高，对其信号完整性和电源完整性问题的研究分析变得更加重要。

IR 压降是指出现在集成电路中电源和地网络上电压下降或升高的一种现象。随着半导体工艺的演进，金属互连线的宽度越来越窄，导致它的电阻值上升，所以在整个芯片范围内将存在一定的 IR 压降。如果不考虑直流问题，那么一旦直流压降（IR Drop）超标，板上元器件将由于电源的过电压或欠电压而不能正常工作。

SI 表示信号质量在传输后仍然保持正确的一种特性，主要是将信号从芯片内以最短的时间发送到接收端，传统 SI 分析包括分析信号的插入损耗、回波损耗、信号传输的眼图、抖动、串扰、误码率等。PI 表示电源质量在传输后仍然保持正确的一种特性，主要是为芯片内的有源器件提供一个参考电压，传统的 PI 分析包括分析电源本身的频域谐振、时域噪声和去耦电容的放置等。一直以来，由于技术水平和软件支持等方面的原因，过去许多关于 SI/PI 方面的研究都是孤立的，即研究 SI 时会假设其电源是理想的，研究 PI 时也不考虑信号翻转对此的影响。

随着内存等存储设备的广泛应用，越来越多的人发现在设计并行走线时，多个数据信号的 I/O Buffer 同时发送信号会给予其供电电压带来较大的波动，当信号速率较高、走线数量较多时这种现象尤其明显，后来的信号与电源联合仿真及多通道示波器实测也证明了这一点，人们将此现象称为同步切换噪声（SSN）。信号完整性的分析从最初的 2 维模型发展到现在的 3 维模型，3 维模型在设计原则上和 2 维基本上是一致的，但是 3 维模型做了更多的突破和改进，从平面结构变成了立体结构，实现了立体空间的充分利用，保证了 PCB 布局的微型化、合理性。高速电路信号完整性的问题是现在工程设计人员不得不面临的问题，3 维模型的建立可以有效改善高速电路的信号完整性问题，实现了根据仿真结果来对 PCB 制板的改良，从而降低了生产成本，提高了系统稳定性。

5.2 使用 SIwave 提取 DDR3 数据组

本节以一个四层板为例，用 SIwave 打开这个四层板，如图 5.2.1 所示。

DDR3 项目有不同的 PDN 网络：BGA（U503）使用 P1.5V 和 DDR3 设备（DDR500）使用 P1.5V_AUX，有跨越 P1.5V 和 P1.5V_AUX 之间的 0.1 μ F 电容。

1. 添加端口

为 DDR3 D0 ~ D15、DQS0、DQS0B、DQS1、DQS1B、U503 P1.5V、DDR500 P1.5V_

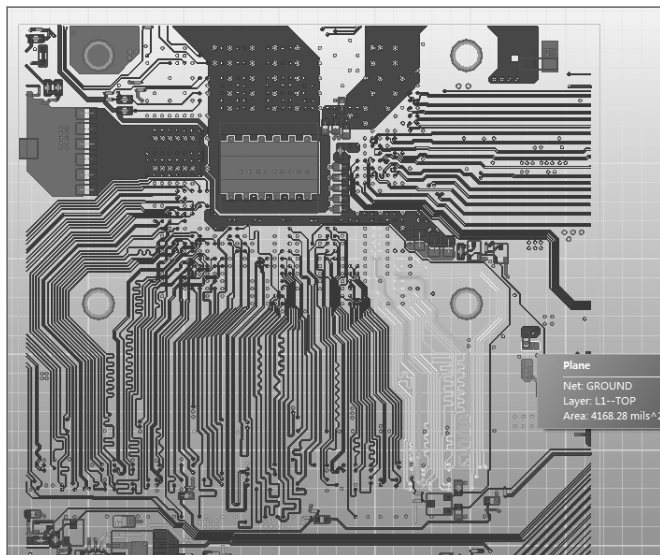


图 5.2.1 四层板网络分布

AUX、和 VRM 添加端口。

(1) 添加数据和 DQS 端口。

(2) 选择 “Tools” → “Pin Group Manager”，以产生 U503 和 DDR500 设备的 P/G 的 pin-group。

如图 5.2.2 所示，在 Part Name 中选择 “0258544500”，在左侧栏中选择 “P1.5V”，随后单击 “Create Pin Group...” 按钮，再单击 “OK” 按钮。

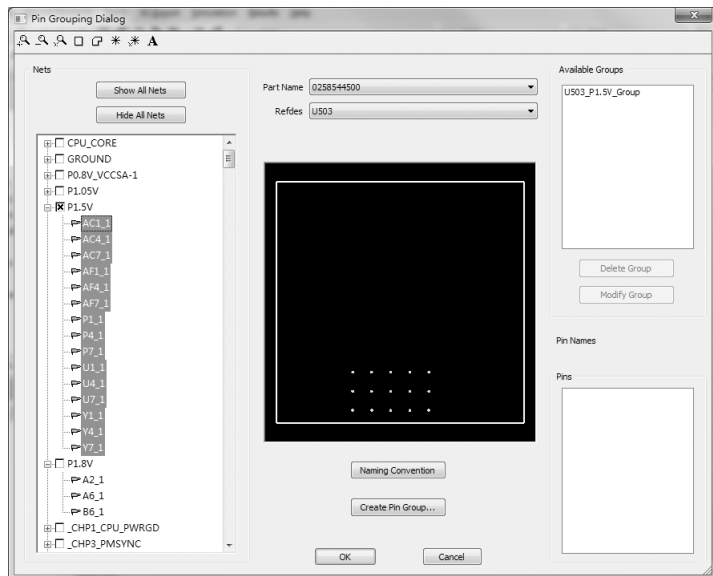


图 5.2.2 pin group 对话框

2. 生成端口

(1) 选择 “Circuit Elements” → “Generate on Components” 来生成 U503 and DDR500 设

备的 P/G 端口。

如图 5.2.3 所示, 在弹出的 Circuit Elements Generation Dialog 对话框中进行设置, 首先在 Positive Terminal Component 中选择 “0258544500”, 相同地, 在 Reference Terminal Component 中也选择 “0258544500”; 在 Circuit Elements Positive Terminal 中选择 “U503_P1.5V_Group”, 在 Circuit Elements Reference Terminal 中也选择 “U503_P1.5V_Group”; Circuit Elements Type 选择 “Port”, 单击 “Create” 按钮。

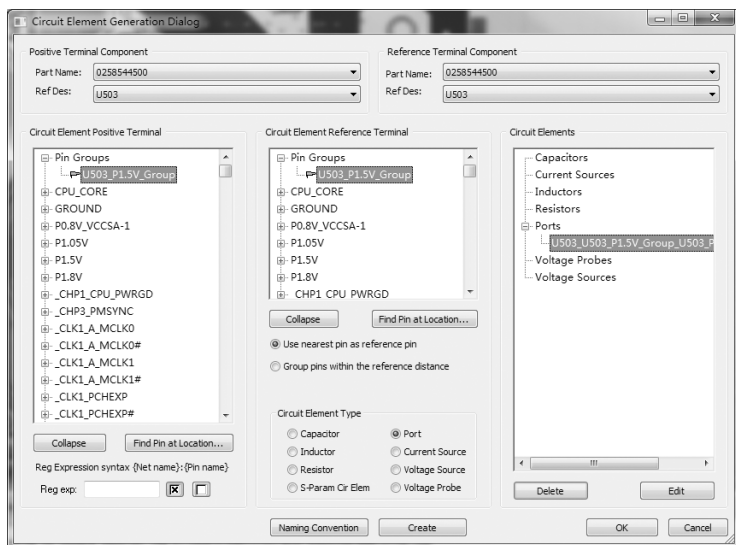


图 5.2.3 产生电路器件对话框

(2) 为 DDR500 添加 DDR500_P1.5V_AUX 端口。

选择 “Tools” → “Pin Group Manager”, 以产生 DDR500 设备的 P/G 的 pin-group。

如图 5.2.4 所示, 在 Part Name 中选择 “3709 - 001609”, 在左侧 Nets 栏中选择 “P1.5V_AUX”, 随后单击 “Create Pin Group...” 按钮, 再单击 “OK” 按钮。

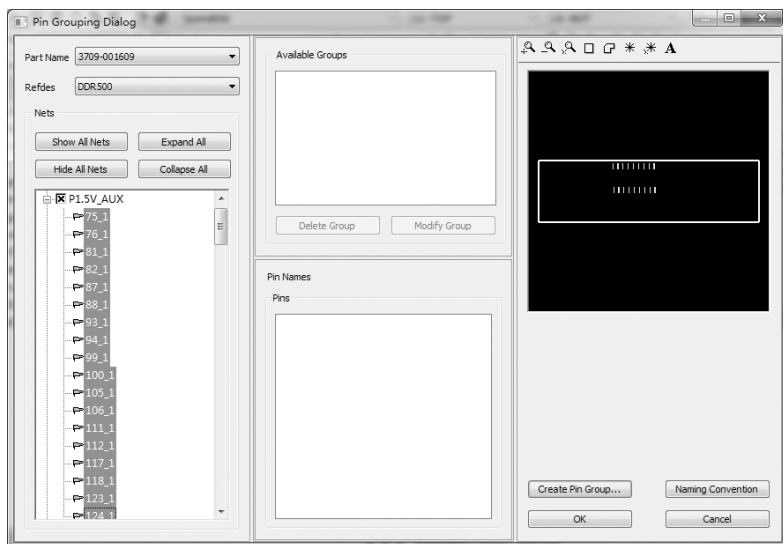


图 5.2.4 创建 “DDR500_P1.5V_AUX_Group pin group” 对话框

接下来的生成端口步骤参考上面部分即可，如图 5.2.5 所示。

【注意】 VRM 的参考阻抗选择 0.1Ω ，而不是 50Ω 。

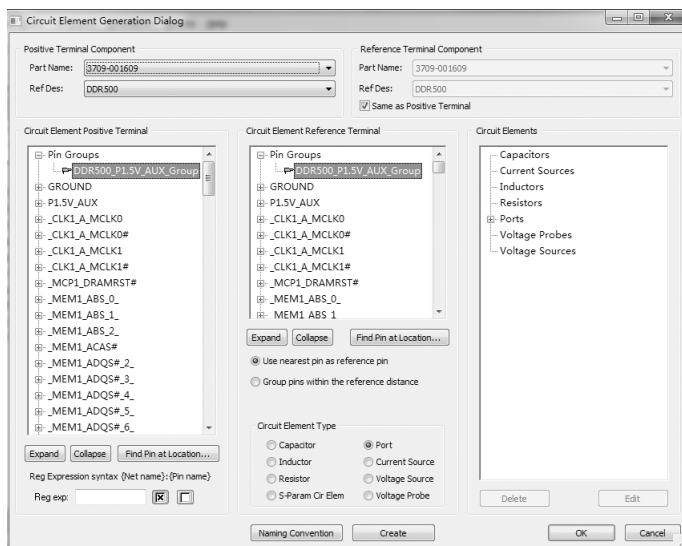


图 5.2.5 创建端口对话框

3. 运行仿真

选择“Simulation”→“SIwave”→“Compute S - , Y - , Z -”来提取 S 参数，其参数设置如图 5.2.6 所示。

4. 导出 TouchstoneR File

选择“Results”→“SYZ Sweep1”，右击“SYZ Sweep1”，选择“Export to TouchstoneR File”，设置好输出文件保存路径之后，设置输出选项，如图 5.2.7 所示。

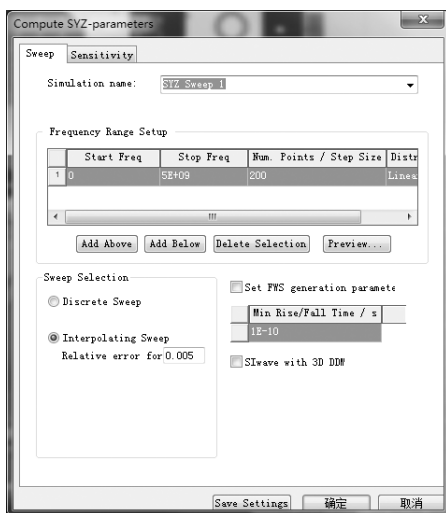


图 5.2.6 设置 SYZ 参数

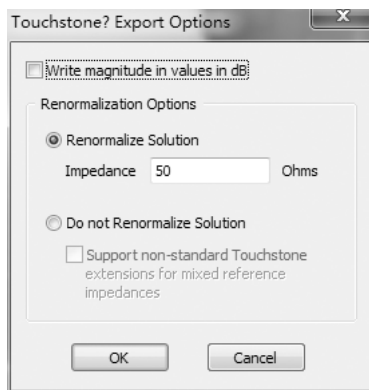


图 5.2.7 设置输出选项

5.3 基于 Designer 的 SI 仿真

本节使用的 Micron DDR3 IBIS (v69a. ibs) 模型、IBIS (Input/Output Buffer Informational Specification) 模型是用来描述 IC 元器件输入、输出和 I/O Buffer 行为特性的文件，并且能够用来模拟 I/O 缓冲器和板上电路系统的相互作用。具体而言，IBIS 模型通过 I/V 曲线的形式描述了元器件 I/O 缓冲器的输入/输出阻抗、上升/下降时间及上拉/下拉等情况，高速电路仿真软件通过将这些信息与传输线电气特性相结合，分析其相互影响和作用后，就可以借助这些信息完成高速电路的相关仿真，包括反射、串扰和时序等。

5.3.1 新建工程

- (1) 打开 Designer 2014，选择“Project”→“Insert Circuit Designer”，如图 5.3.1 所示。
- (2) Choose Technology 窗口出现后单击“None”按钮，如图 5.3.2 所示。

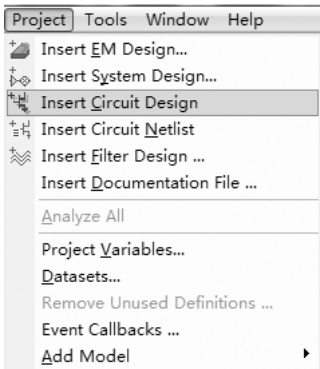


图 5.3.1 Project 菜单

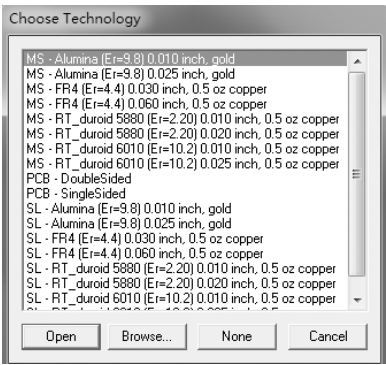


图 5.3.2 Choose Technology 窗口

5.3.2 选择元器件

- (1) 设置参数。选择“Components Manager”→“Nexxim Circuit Elements”→“Independent Source”→“V_PRBS”，如图 5.3.3 所示设置 V_PRBS 的参数。

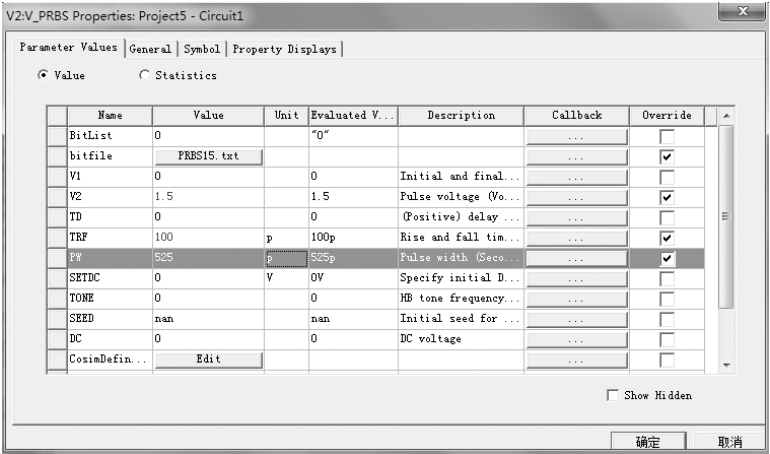


图 5.3.3 V_PRBS 参数设置

【注意】 bitfile 可以从 Designer 的安装目录下选择 “Examples” → “Nexxim Circuit” → “PRBS15. txt”。

(2) 选择 “Tools” → “Import IBIS Components” → “v69a. ibs (Micron DDRIII – 1600 IBIS)”, 如图 5.3.4 和图 5.3.5 所示。

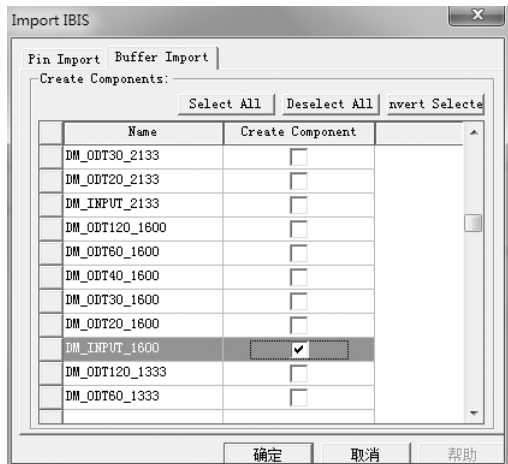


图 5.3.4 Import IBIS 窗口中的 Buffer Import

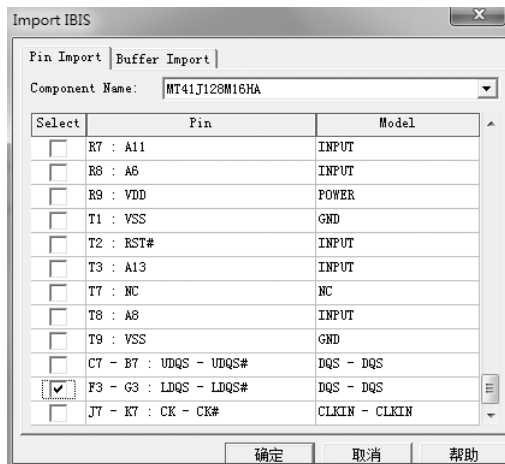


图 5.3.5 Import IBIS 窗口中的 Pin Import

可以根据需要修改官方提供的的 ibs 模型的寄生参数值来改变 IBIS 模型的端口数。

(3) 导入所生成的 S 参数模型。选择 “Project” → “Add Model” → “Add Nport Model”, 指定该模型的动态链接模型路径和文件名, 单击 “确定” 按钮, 如图 5.3.6 所示。

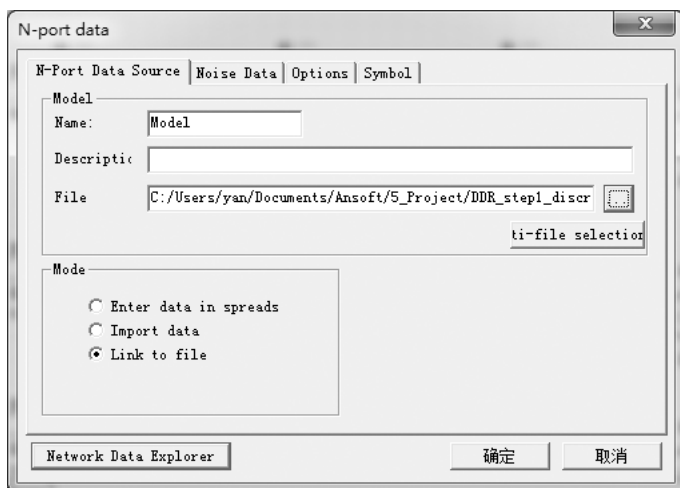


图 5.3.6 导入 DDR3 S 参数模型

(4) 选择相应的元器件。选择 “Components tab” → “Nexxim Circuit Elements” → “Distributed”, 然后选择相应的元器件, 其电路图如图 5.3.7 所示。

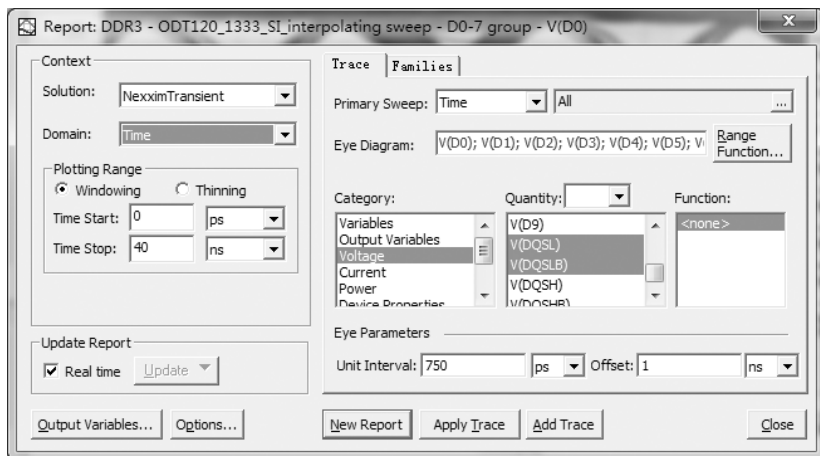


图 5.3.9 眼图报告设置

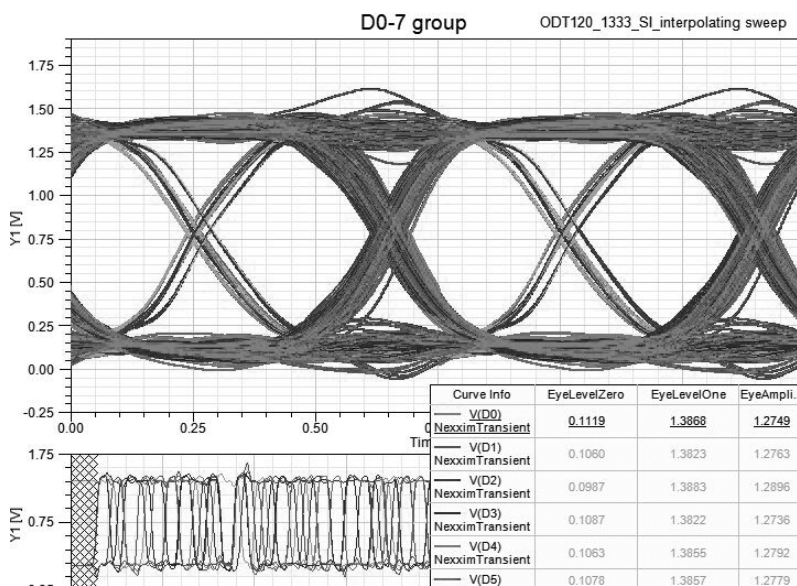


图 5.3.10 SI 仿真眼图

5.4 DDR3 的 SI + PI 仿真

5.4.1 眼图分析

利用 Designer 2014 进行 SI + PI 仿真，也就是 IO 模型使用非理想电源，给提取出的 S 参数模型加两个 1.5V 的电源端，选择“Componet Manager”→“Nexxim Circuit Elements”→“Independent Sources/V_DC”，其电路图如图 5.4.1 所示。

SI + PI 仿真电路中使用非理想电源，设置如前面所述，其眼图如图 5.4.2 所示。

从仿真图 5.4.2 可以看出，SI + PI 仿真眼图波形更为糟糕，眼睛轮廓不清晰。

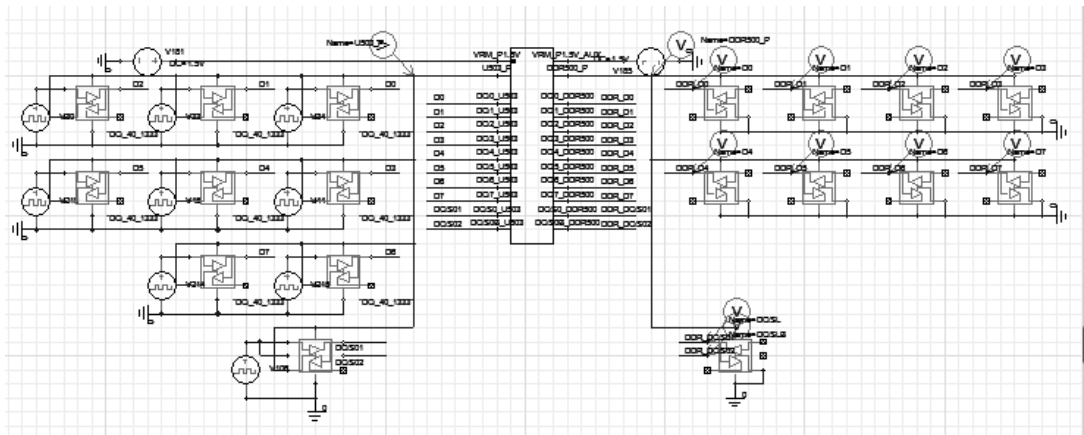


图 5.4.1 SI + PI 仿真电路图

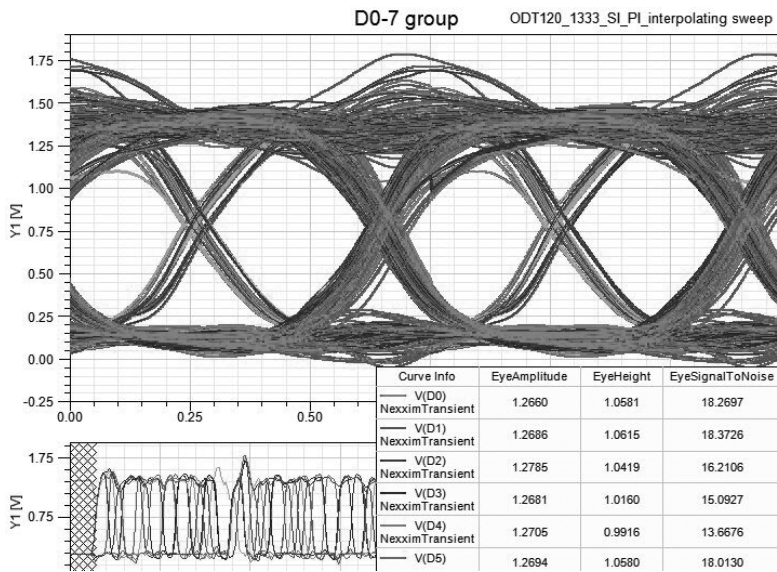


图 5.4.2 SI + PI 仿真眼图

5.4.2 SSN 分析

SSN (Simultaneous Switching Noise) 同步开关噪声仿真可以提供信号和电源。以 DDR3 为例，目前速率最高可达到 1800Mb/s，并行的 DQ 信号为 64 根，而电源 Vdd 的供电只有 1.5V，其结果必然是：一方面 SSN 很容易使电源超出 5% 的设计指标；另一方面电源噪声也会降低 DQ 信号的电压和时序容限。

右击 “Analysis”，选择 “Add Nexxim Solution Setup” → “Transient Analysis”，瞬态仿真设置如图 5.4.3 所示。

右击 “Analysis” 选择 “NexximTransient” → “Analyze”，进行瞬态仿真。仿真完成后，在 Project Manager 中，右击 “Results”，选择 “Create Standard Report” → “Rectangular Plot”，在弹出的对话框中选择 Category: Voltage, Quantity: V (D0), V (D1), V (U503_P), V (DDR500_P)，单击 “New Report” 创建 SSN 报告。

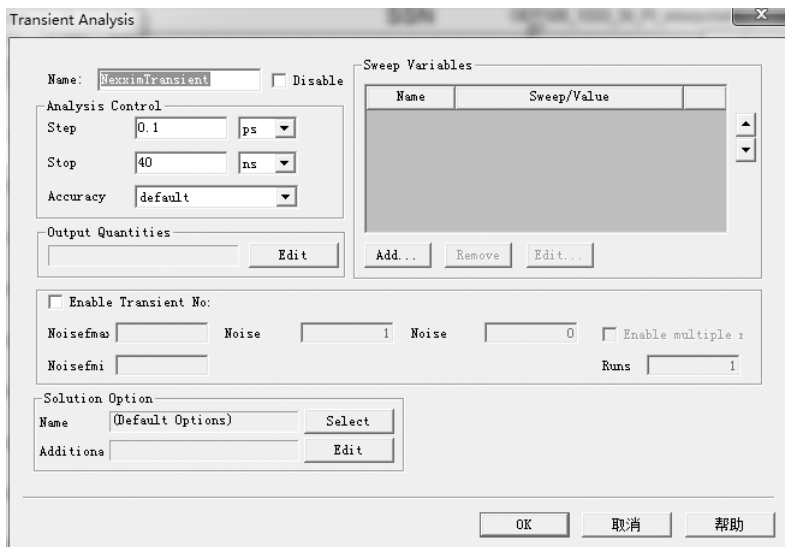


图 5.4.3 瞬态仿真设置

如图 5.4.4 所示, U503 的电源完整性比 DDR3 设备更糟糕, U503 的 SSN 的 $V_{PP} = 0.7V$ 。

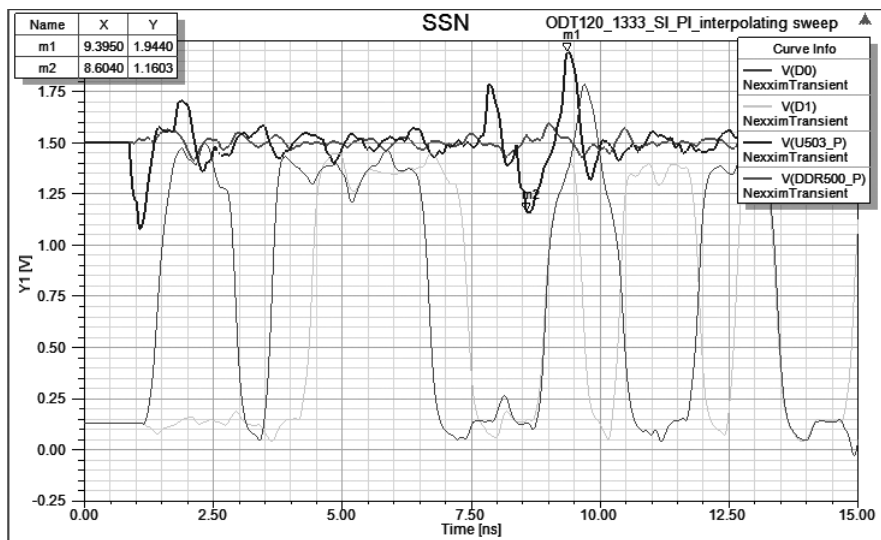


图 5.4.4 SSN 仿真图

因此, 高速设计中必须重视 SSN 同步开关噪声的影响。同步开关噪声是指大量芯片同步切换时产生的瞬态电流在电源平面或地平面上产生大量噪声的现象。同步开关噪声可以表现为地弹和电源反弹。典型的解决与优化方案: 一是直接降低信号的运行速率, 特别是降低上升/下降边沿; 二是尽量在并行信号附近安排地过孔以减小总的环路电感; 三是尽量在电源过孔附近也安排相应的地过孔, 以快速地将电源噪声导引到地网络中; 四是选取更多的频率点进行仿真, 可以有效地改善仿真结果。

5.4.3 选取更多频率点的分析

选取更多频率点进行 SI + PI 仿真，具体实现方式：在 SIwave 仿真参数中，扫描方式设置为“Discrete Sweep”，并提取出 S 参数模型，导入 Designer 中，其眼图如图 5.4.5 所示。

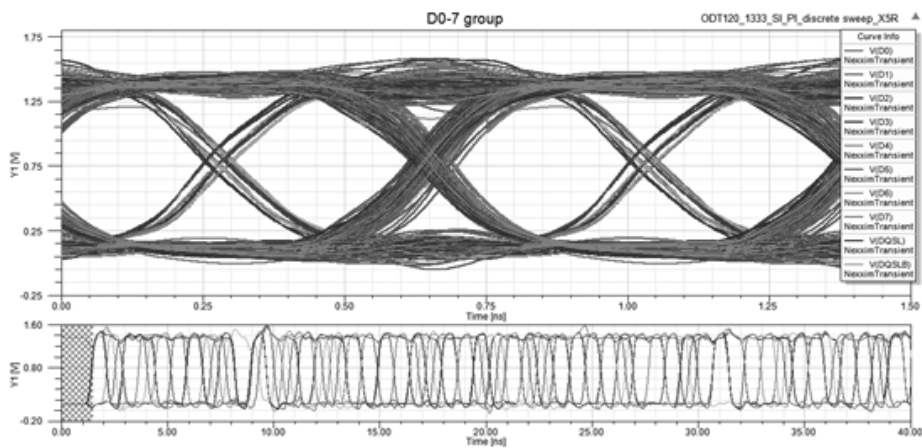


图 5.4.5 SI + PI 仿真眼图

由图 5.4.5 看出，眼图比 5.4.2 节所述 SI + PI 的仿真结果变好了，其 SSN 同步开关噪声仿真图如图 5.4.6 所示。

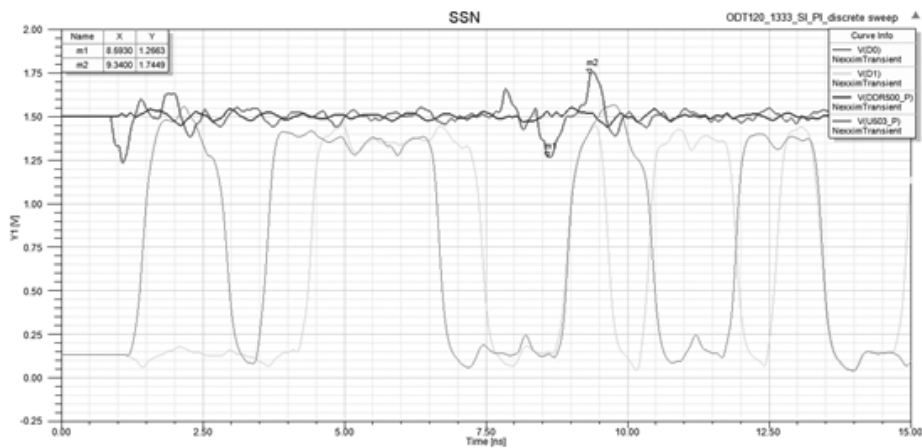


图 5.4.6 SSN 同步开关噪声仿真图

如图 5.4.6 所示，SSN 仿真结果也比 5.4.2 节所述 SI + PI 的仿真结果变好了，此时 SSN 的 VPP = 0.5 V，所以做 SI + PI 仿真时，加强低频段取样对于提高仿真精度是绝对必要的，对于 SI + PI 仿真案例，建议将起始频率从 0 或 1 Hz 开始，此时仿真精度较好。

5.5 IR drop 仿真

当前的系统设计中核心供电电压越来越小，总的工作电流和布线密度则越来越大，导致的直流问题日益突出。如果不考虑直流问题，那么一旦直流压降（IR Drop）超标，板上元器件将由于电源的过电压或欠电压而不能正常工作。首先，如果不考虑直流问题，那么一旦

I/O 网络上的电阻过大, 将导致有用信号的衰减非常严重。其次, 如果不考虑直流问题, 那么一旦板上的某些区域电流密度太大, 将会引起局部的温度持续升高甚至烧毁。下面对此板利用 SIwave 对 DDR3 和 U503 分别添加电流源, 并对 VRM_P1.5V、VRM_P1.5V_AUX 添加电压源, 然后进行 IR drop 仿真。

5.5.1 SIwave IR 压降检查

(1) 选择 “Circuit Elements” → “Generate on Components”, 再为 U503 设置参数, 如图 5.5.1 和图 5.5.2 所示。

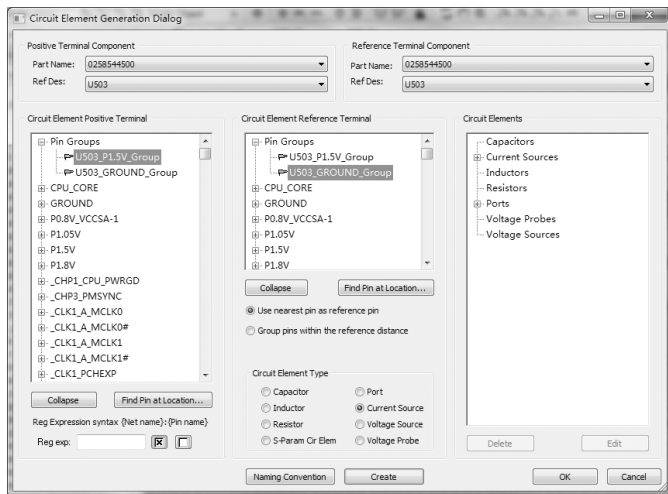


图 5.5.1 Circuit Element Generation Dialog 对话框

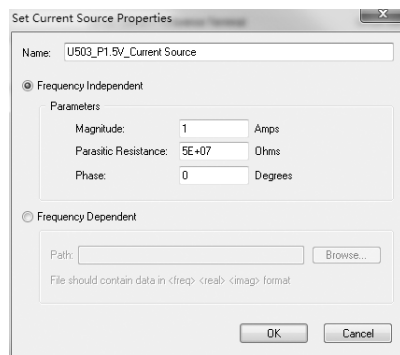


图 5.5.2 电流源参数设置

(2) 选择 “Circuit Elements” → “Voltage Source” 来添加 P1.5V、P1.5V_AUX, 如图 5.5.3 所示。

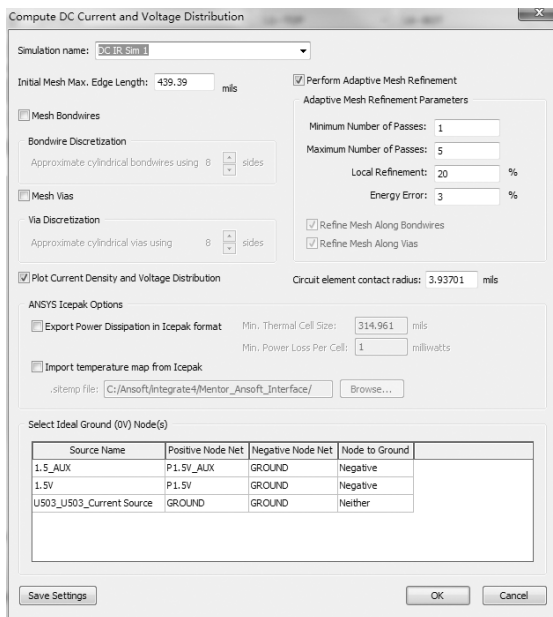


图 5.5.3 电流源设置对话框

(3) 选择“Simulation”→“Compute DC Current/Voltage”运行仿真。

5.5.2 IR 压降仿真

选择“Results”→“DC IR Drop”→“DC IR Sim1”→“Currents/Voltages”，出现如图 5.5.4 所示的电源直流压降仿真结果设置对话框，“ I_v ”代表电流分布，“ J ”代表电流密度分布，“ V ”代表电压分布，“ P ”代表功率密度分布，要绘制某层的某种分布图时，勾选相应层对应选项的复选框，其他不勾选。同时选中两项则不会显示刻度。

(1) 电源层的电流分布如图 5.5.5 所示。

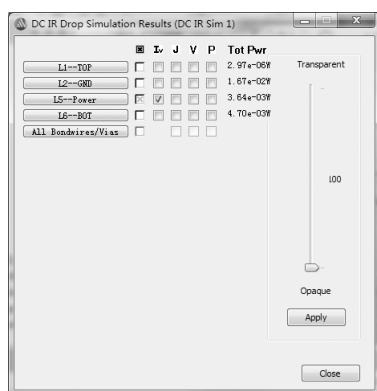


图 5.5.4 仿真结果设置

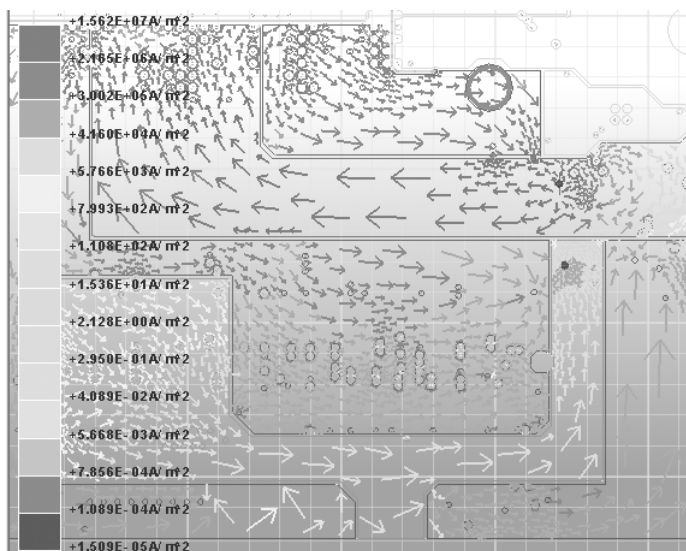


图 5.5.5 电源层的电流分布

(2) 接地平面电流分布如图 5.5.6 所示。

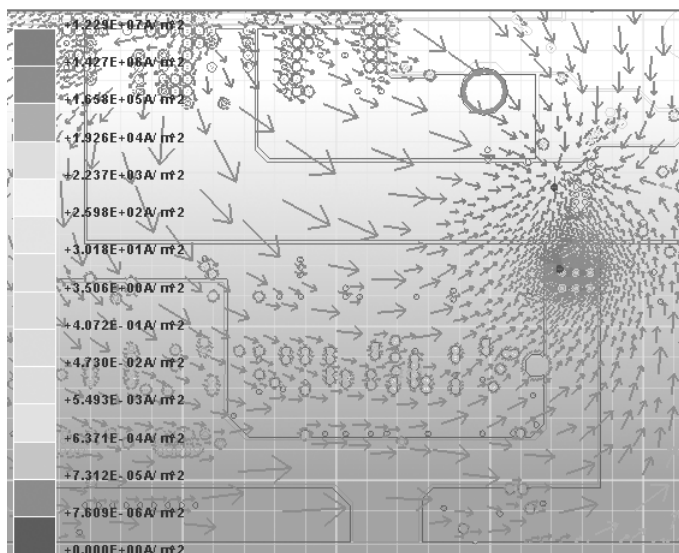


图 5.5.6 接地平面电流分布

(3) 电源层的电压分布如图 5.5.7 所示。



图 5.5.7 电源层的电压分布

从图 5.5.7 中可以看出：为 P1.5V 和 P1.5V_AUX 设置的电压都为 1.5V，但是仿真结果显示的直流电压 P1.5V 和 P1.5V_AUX 都大于 1.5V。当关闭端口 VRM_P1.5V 和 VRM_P1.5_AUX 后，此情况得到改善。关闭端口后电源层的电压分布如图 5.5.8 所示。

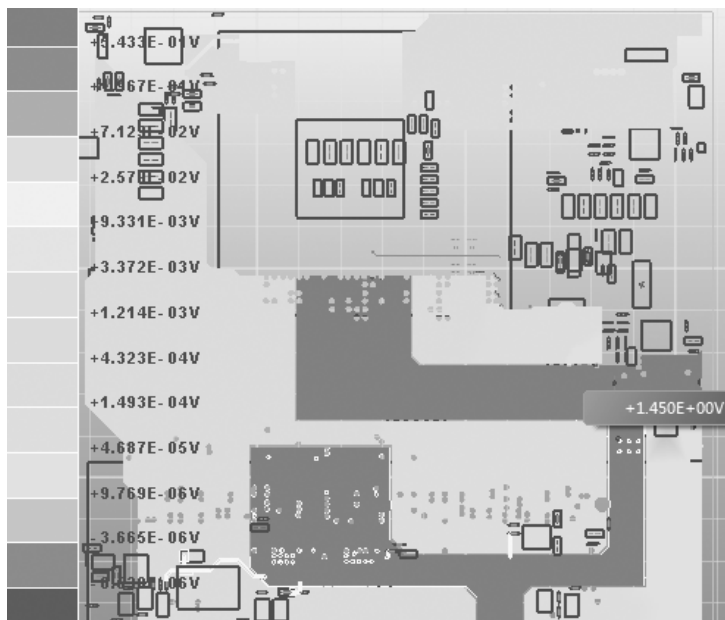


图 5.5.8 关闭端口后电源层的电压分布

端口理论上不应该影响到我们做 IR 压降的模拟，但实验结果显示，还是关闭端口后的效果好。参考 Ansoft 官方做 IR drop 的模拟，也是只放 voltage 与 current sink，没有涉及 Port，得到了端口开关对电压源高低的影响。

5.6 2.5 维、3 维模型在信号完整性中的对比分析

1. 提取 S 参数

(1) 打开 SIwave, 导入 Stratix IV GX FPGA 的 s4_pcie_devkit_revb_v. anf 文件。选择“File”→“Import”→“ANF”, 如图 5.6.1 所示。

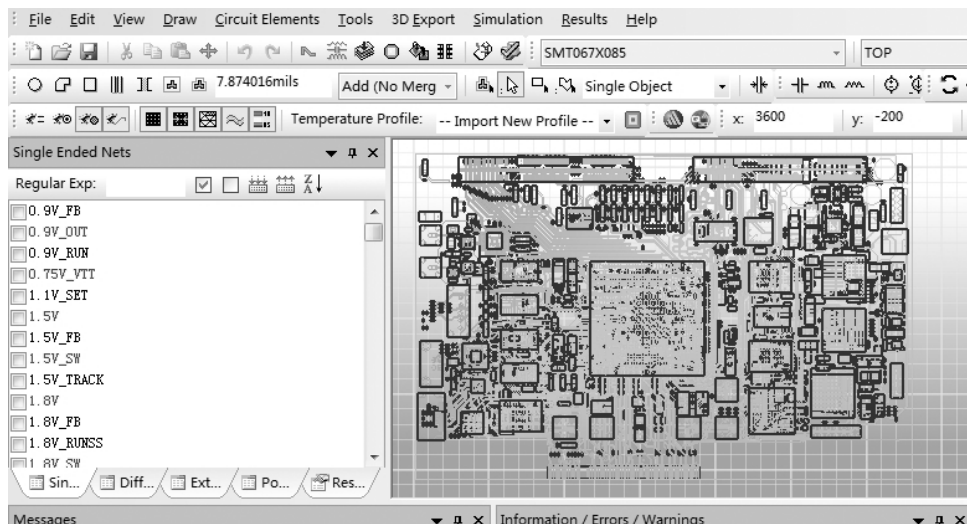


图 5.6.1 打开 s4_pcie_devkit_revb_v. anf 文件

(2) 由于板子比较大, 仿真需要的时间较长, 先把板子进行截取。选择“Tool”→“Clip Design...”, 如图 5.6.2 所示。

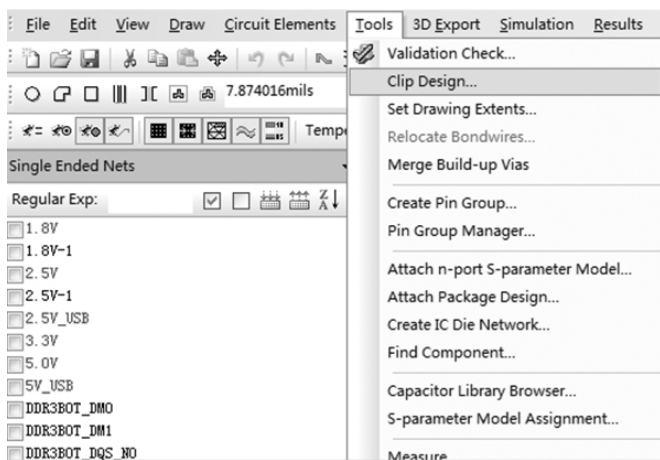


图 5.6.2 把板子进行截取

(3) 图 5.6.3 中所示的黄色线为所要分析的 DDR3BOT_DQS 走线差分对。

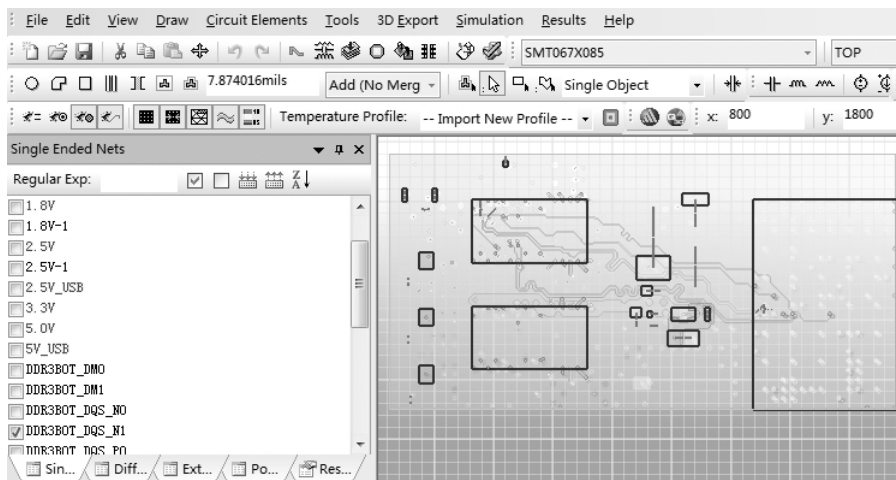


图 5.6.3 DDR3BOT_DQS 走线差分对

(4) 添加端口。选择“Circuit Elements”→“Generate on Selected Nets...”，如图 5.6.4 所示。

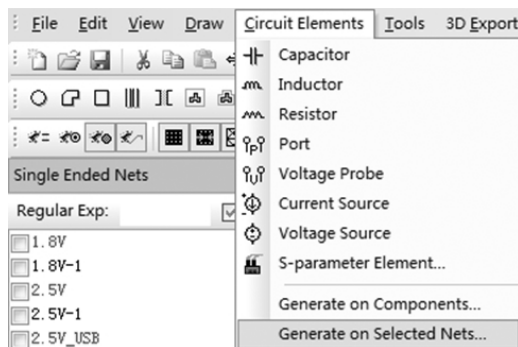


图 5.6.4 添加端口

选择端口如图 5.6.5 所示。

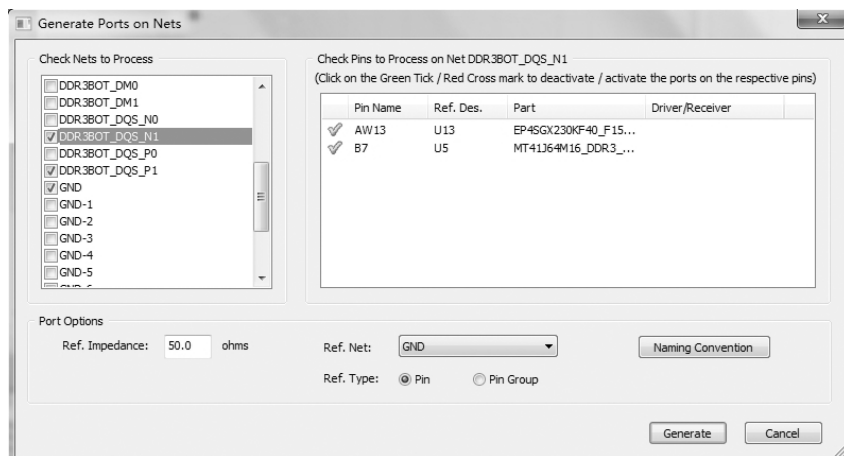


图 5.6.5 选择端口

(5) 提取 S 参数。选择 “Simulation” → “SIwave” → “Compute S -, Y -, Z - parameters...”, 如图 5.6.6 所示。

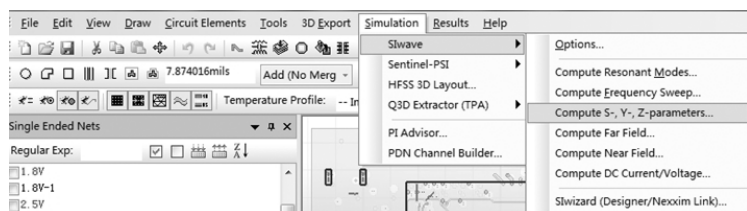


图 5.6.6 仿真选项

仿真设置如图 5.6.7 所示。

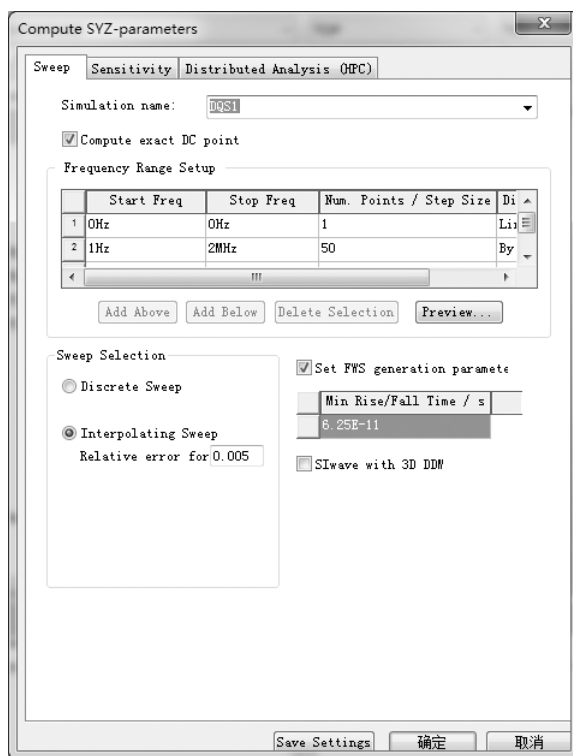


图 5.6.7 提取 S 参数仿真设置

双击 “SYZ_22.5Ghz”, 出现 S - parameter Plot 界面, 其 S 参数仿真结果如图 5.6.8 所示。

2. 导出 TouchstoneR 文件

选择 “Results” → “SYZ” → “SYZ Sweep1” → “Export to TouchstoneR File(.snp)”, 即把 SIwave 中的文件保存, 然后导入 Designer 中, 进行后续的仿真。

3. 在 Desiner 中创建工程

(1) 打开 Designer 2014, 选择 “Project” → “Insert Circuit Design”, 如图 5.6.9 所示。

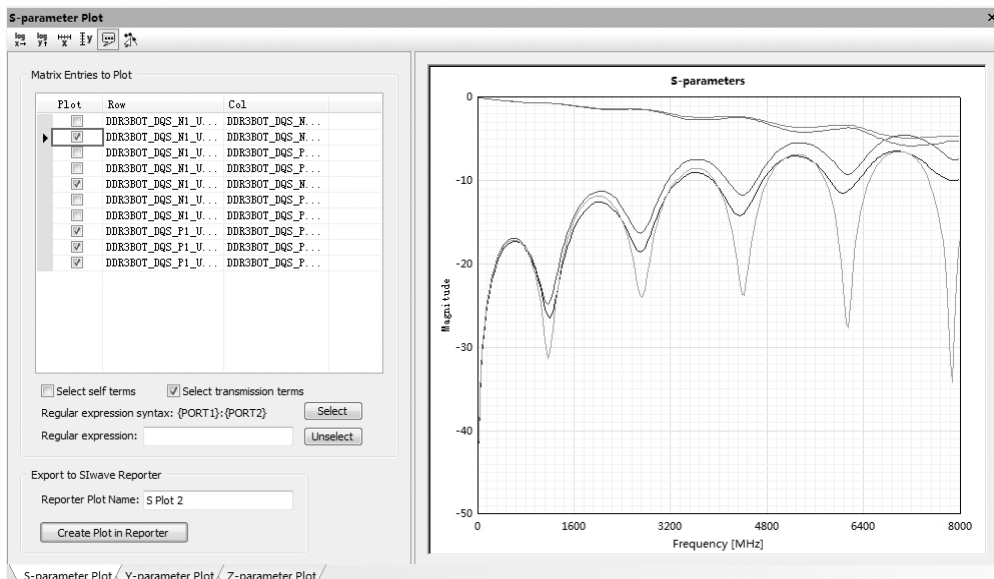


图 5.6.8 S 参数仿真结果

(2) Choose Technology 窗口出现后单击“None”按钮，如图 5.6.10 所示。

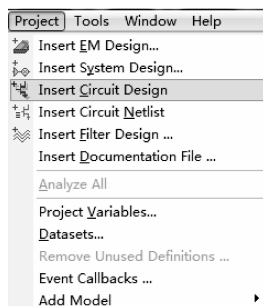


图 5.6.9 Project 菜单

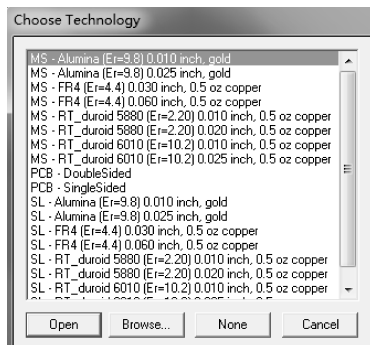


图 5.6.10 Choose Technology 窗口

4. 添加 SIwave 模型

(1) 选择“Project”→“Add Model”→“Add SIwave Model...”，如图 5.6.11 所示。

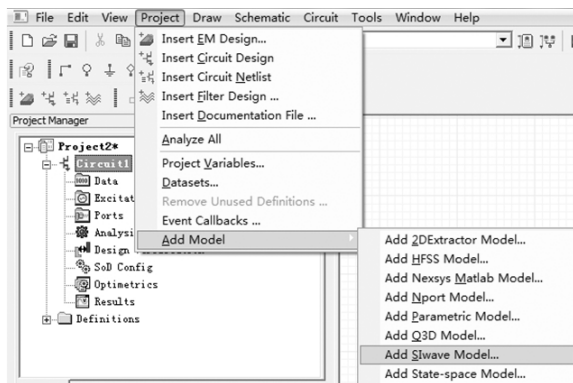


图 5.6.11 添加 SIwave 模型

(2) 在弹出的 Reference Port Option 对话框中，选择第一项 “Implied reference to ground”，如图 5. 6. 12 所示。



图 5. 6. 12 Reference Port Option 对话框

(3) 导入 designer 中，添加 SIwave 模型后的电路图如图 5. 6. 13 所示。

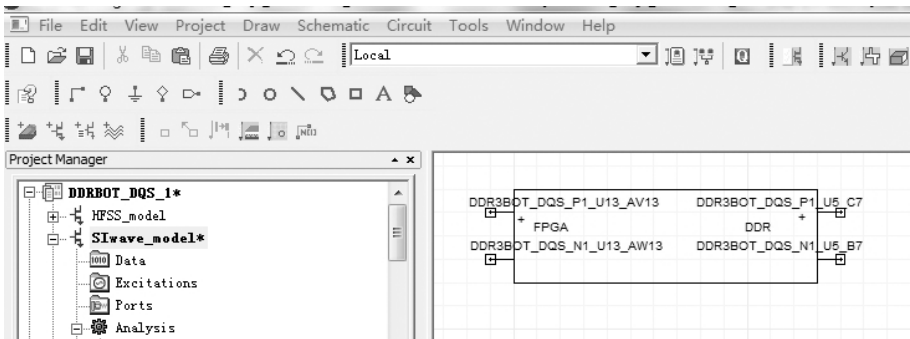


图 5. 6. 13 添加 SIwave 模型后的电路图

5. 添加 IBIS 模型

- (1) 导入 IBIS 模型。选择 “Tools” → “Import IBIS Components...”，如图 5. 6. 14 所示。
- (2) 选择对应的 IBIS 模型，如图 5. 6. 15 所示。

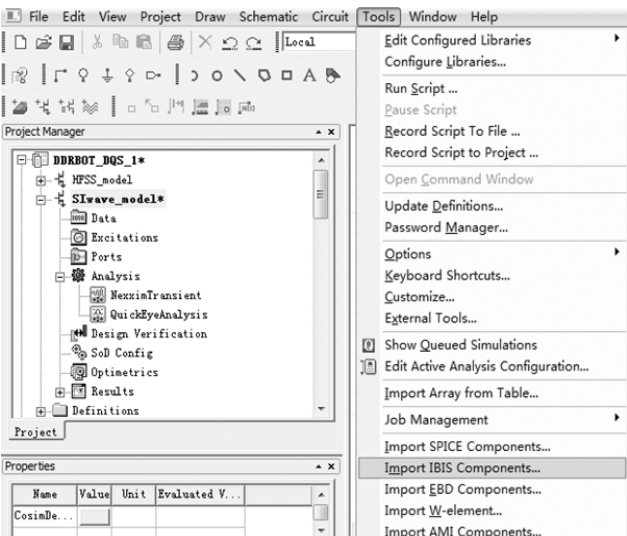


图 5. 6. 14 导入 IBIS 模型

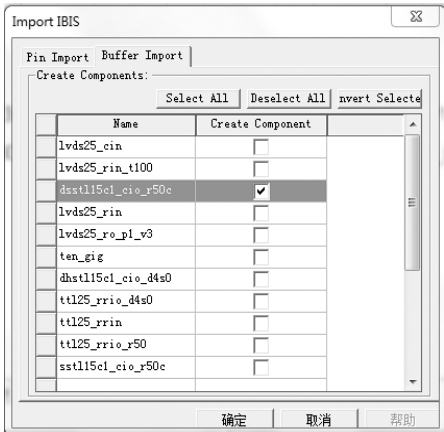


图 5. 6. 15 选择对应的 IBIS 模型

添加 IBIS 模型后的电路图如图 5. 6. 16 所示。

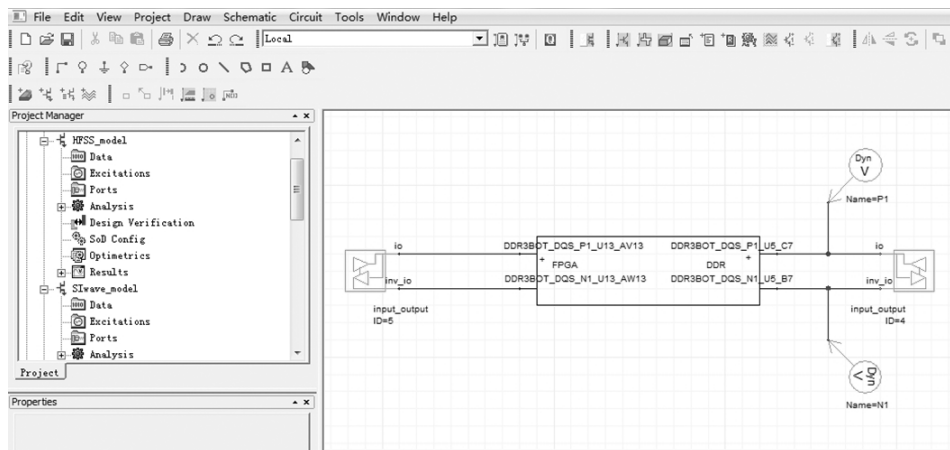


图 5.6.16 添加 IBIS 模型后的电路图

6. 进行时域仿真

右击 Analysis，选择“Add Nexxim Solution Setup...” → “Transient Analysis”，设置仿真结束时间为 20ns，如图 5.6.17 所示，其仿真结果如图 5.6.18 所示。

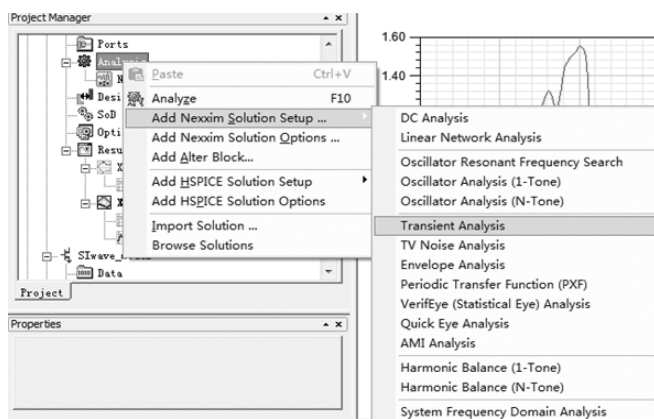


图 5.6.17 瞬态分析

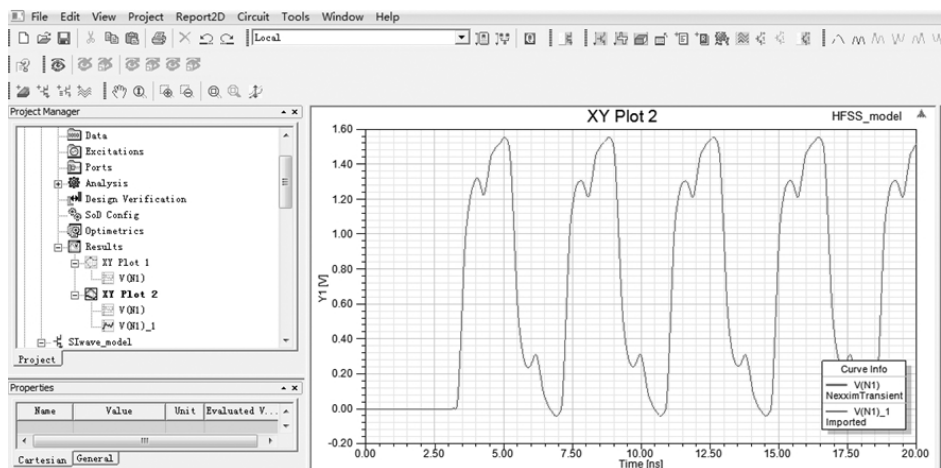


图 5.6.18 时域仿真结果

7. 差分对导入 HFSS 中

(1) 把 Stratix IV GX FPGA 的 ANF 文件导入 Ansoft Links，如图 5.6.19 所示。

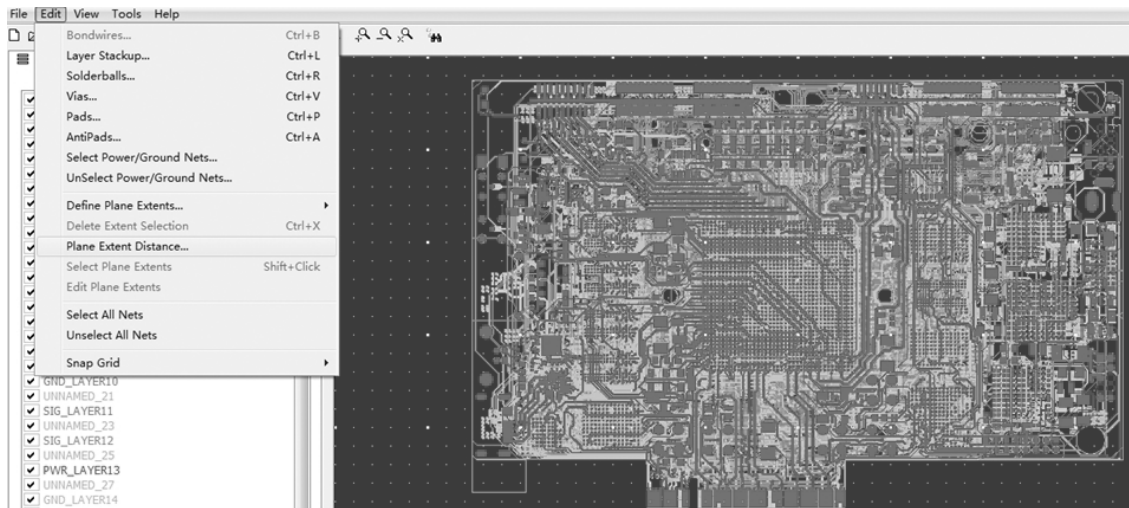


图 5.6.19 导入 Ansoft Links 的 ANF 文件

由于板子比较大，仿真需要的时间较长，先把板上所要分析的 DDR3BOT_DQS 走线差分对进行截取。选择“Edit”→“Plane Extent Distance...”，如图 5.6.19 所示，出现如图 5.6.20 所示对话框，进行参数设置。

(2) 截取后，把 DDR3BOT_DQS 走线差分对导入 HFSS 中。选择“File”→“Export”→“HFSS Project...”，如图 5.6.21 所示。

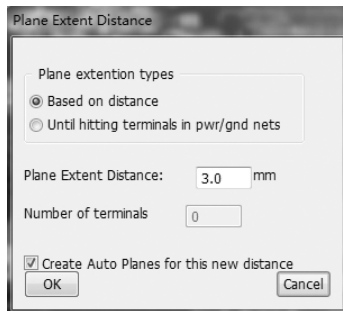


图 5.6.20 Plane Extent Distance 对话框

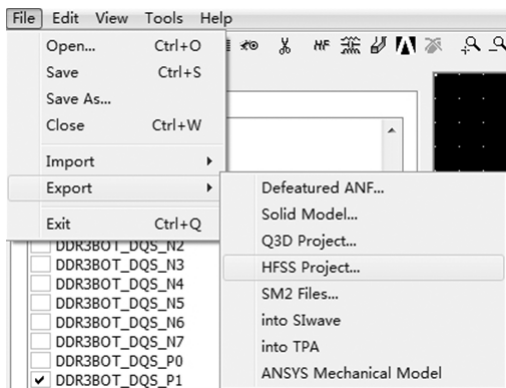


图 5.6.21 差分对导入 HFSS

导入 HFSS 后，如图 5.6.22 所示。

接下来设置端口为集中端口，如图 5.6.23 所示。

(3) 提取 S 参数，如图 5.6.24 所示。选择“Create Terminal Solution Data Report”→“Rectangular Polt”，如图 5.6.25 所示。进行仿真，如图 5.6.26 所示。S 参数仿真图如图 5.6.27 所示。

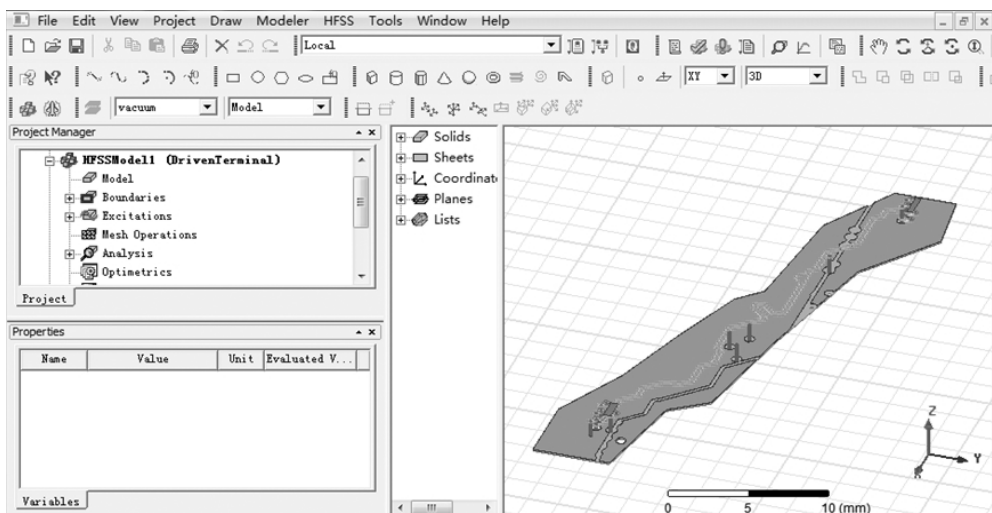


图 5.6.22 差分对导入 HFSS

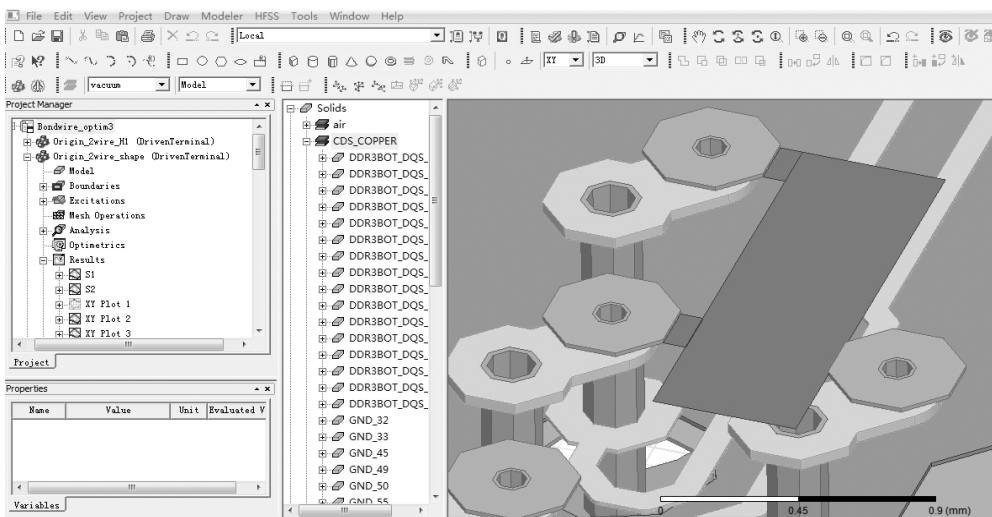


图 5.6.23 设置集中端口

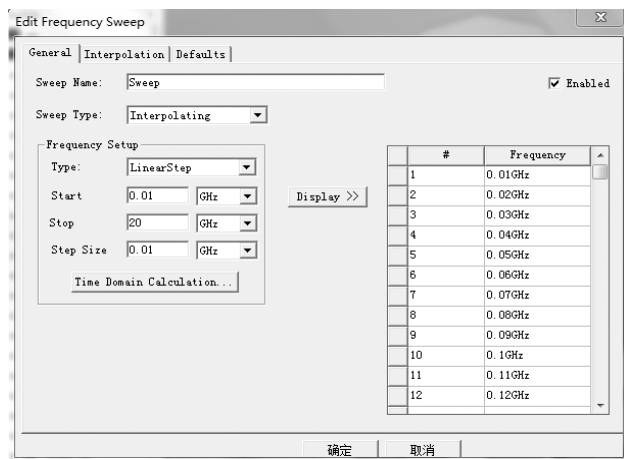


图 5.6.24 提取 S 参数

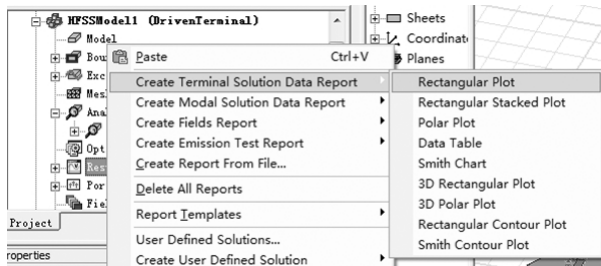


图 5.6.25 选择“Rectangular Polt”选项

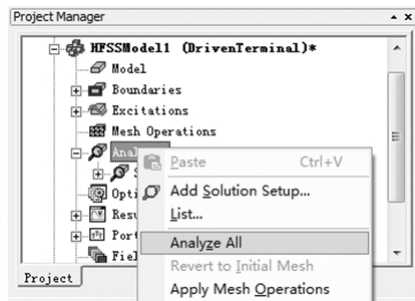


图 5.6.26 进行仿真

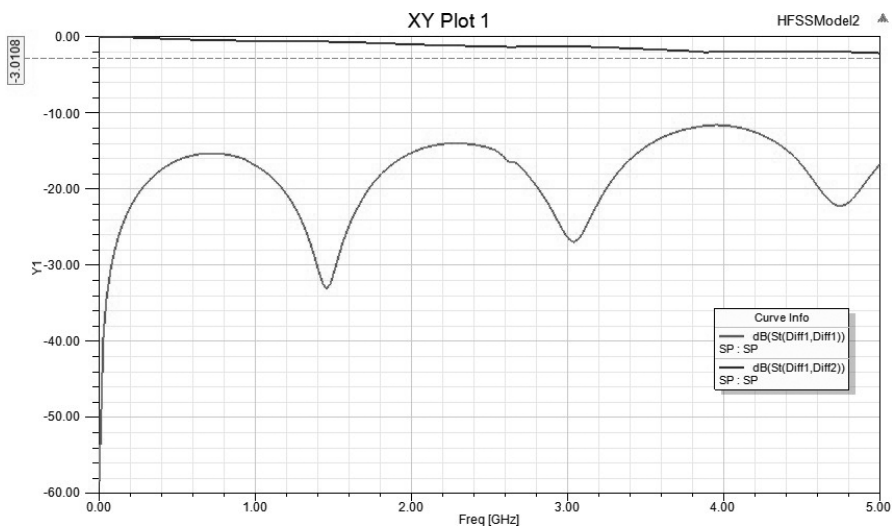


图 5.6.27 S 参数仿真图

把 S 参数保存为 SNP 文件（如上述），导入 Designer 中，进行时域仿真，如图 5.6.28 所示。

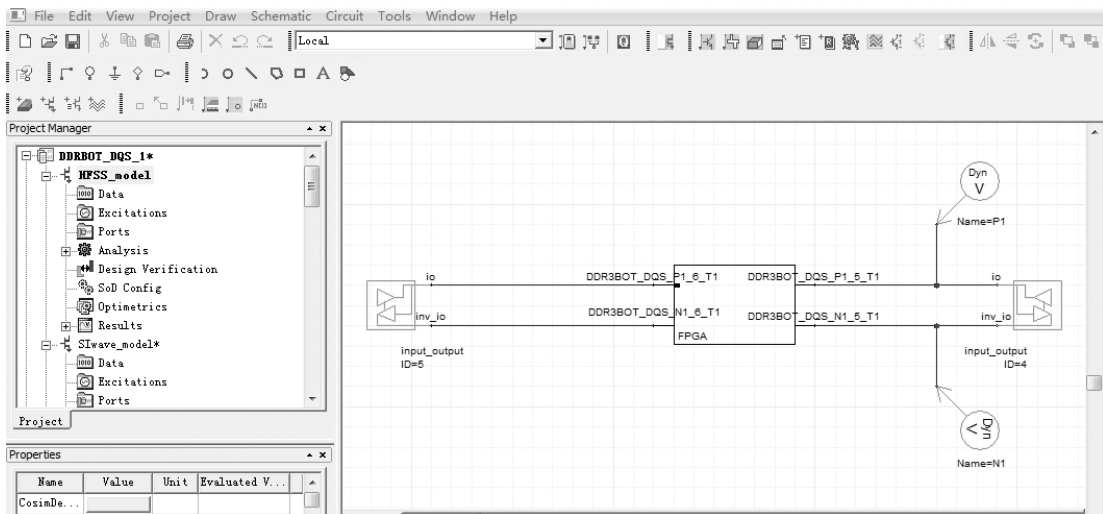


图 5.6.28 将 SNP 文件导入 Designer 中

进行时域分析，其仿真结果如图 5.6.29 所示。

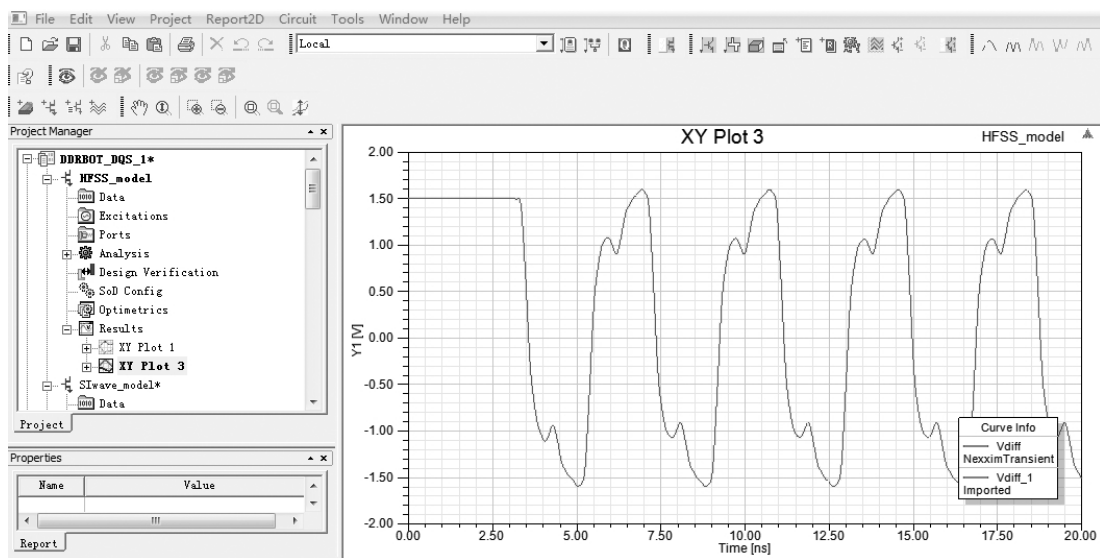


图 5.6.29 时域仿真结果

8. 2.5D 及 3D 仿真结果与实测对比

(1) 2.5D 时域仿真结果与实测对比如图 5.6.30 所示。

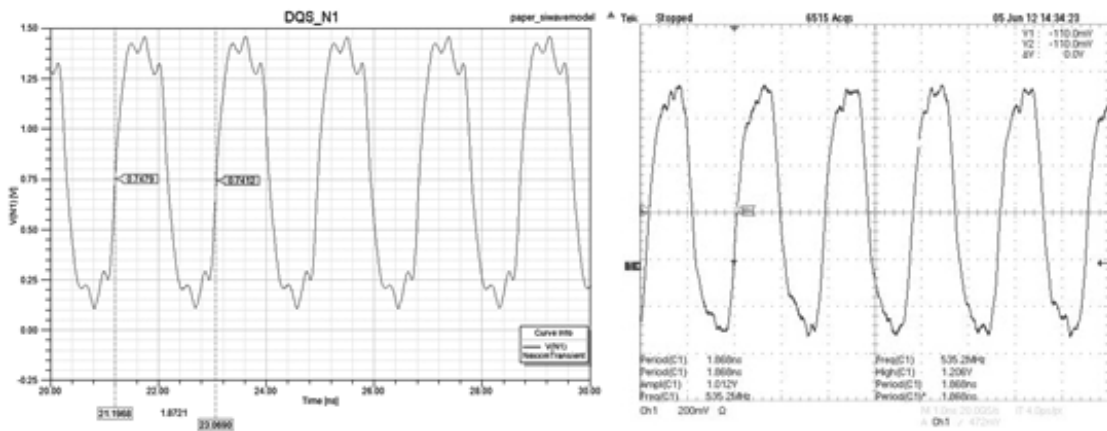


图 5.6.30 2.5D 时域仿真结果与实测对比

两者周期较为一致，过冲问题也得到了部分体现，但是过冲的幅值体现不够，尤其是下降沿没有到达零点位置，仿真体现出来的反射沟道形状与实测具有相同的趋势。

(2) 3D 时域仿真结果与实测对比如图 5.6.31 所示。

仿真与实测周期一致，过冲问题也得到了体现，对于上升/下降沿反射趋势与实测相同，但是一样存在过冲幅值不相同的情况。

我们在 ANSYS Designer 对于时域波形的仿真多是基于 Touchstone 格式文档的模型进行的。链路仿真电路元素一致，只是汇入的 S 参数是由不同的仿真软件所获取的。基于上述与

实测对比的结果，我们再比较下 SIwave 和 HFSS 软件对同一结构所获得的 S 参数的差异，差异结果如图 5.6.32 所示。

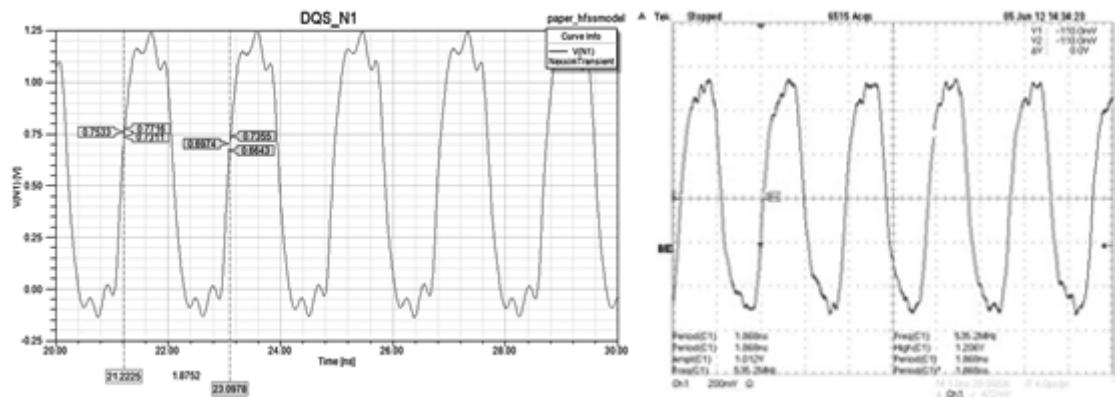


图 5.6.31 3D 时域仿真结果与实测对比

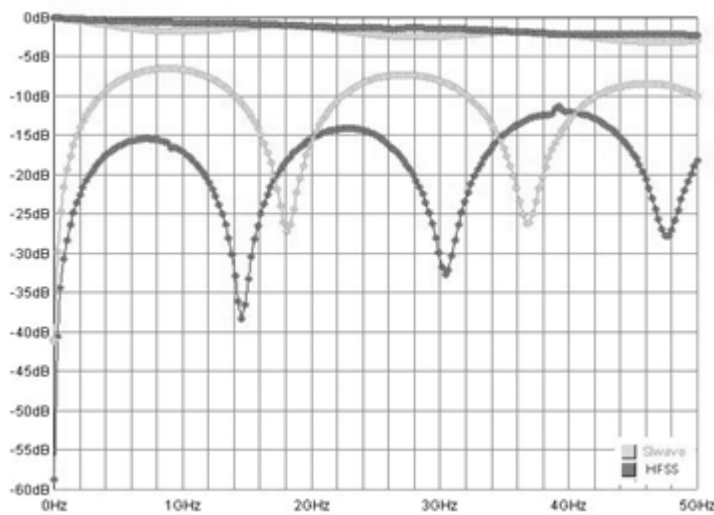


图 5.6.32 2D 和 3D 提取 S 参数对比图

基于上述的几种不同维度的仿真软件对于 DDR3BOT_DQS 中的 UDQS 仿真，我们可以发现 3 维模型在精准度方面具有绝对的优势，2.5 维模型的仿真分析有一定的参考价值。通过对 DDR3 DQS 信号线不同维度的仿真分析，我们可以将上述两种不同维度的算法分析在求解精度和系统资源时间方面并进行比较，它们的特性如表 5.6.1 所示。

表 5.6.1 不同维度在实际应用中的对比

维 度	最佳适用场合	实 例 应 用	挑 战
2.5D	多个平面结构	电源 - 地平面结构低频建模	高频
2.5D	分层结构	芯片上的无源器件	精确性、成本
3D	任意结构	封装、芯片、PCB	成本

5.7 本章总结

本章首先对并行通道 DDR3 的相关特点进行了介绍，然后对 Altera 公司的四层板进行分析。使用 SIwave 提取 DDR3 的 PDN 网络的 S 参数，最终导出 SNP 文件，以便后期在 Designer 中进行系统级仿真。在基于 Designer 的 SI 仿真中通过眼图的仿真分析信号在通道传输过程中的损耗、抖动、串扰等问题。SI + PI 仿真通过眼图、同步切换噪声来同步分析信号和电源质量在传输过程的正确性问题。随后，对此板利用 SIwave 对 DDR 和 U503 分别添加电流源进行 IR drop 仿真。最后，通过由 SIwave 提取的 S 参数模型和由 HFSS 提取的 S 参数模型分别在 Designer 中建立的系统级仿真结果做出对比，从而得出 3 维模型在精准度方面是具有绝对优势的。

第 6 章 电源完整性问题

6.1 电源完整性概述

随着超大规模集成电路技术的发展，芯片沟道尺寸不可避免地进一步按比例缩小，集成电路的供电电压将会持续降低。而且随着越来越多的芯片生产工艺从 65nm 技术转向 45/28nm 技术，在可以预见的将来，芯片核心供电电压将会降到 1.0V 左右甚至更低，而与此同时，芯片的功耗和时钟频率也在不断提升。目前，业界高端芯片的信号速率超过 5GHz，功耗突破 100W，电压低于 0.9V，电流超过 150A。供电电压的下降导致芯片纹波噪声门限和设计裕量降低，更高的信号速率使得电源噪声对封装、PCB 走线、过孔等寄生参数更加敏感。如何确保芯片在不同工艺（process）、电压（voltage）和温度（temperature）条件下，以及在各种业务码型下正常工作，对于 PDN 设计都是巨大的挑战。

电源分配网络（Power Distribution Network, PDN）是系统中最复杂的互联系统结构，系统中所有的元器件都直接或者间接地连接在电源网络上。这使得电源设计不再是一个单纯的芯片供电问题，而是成为影响系统性能的重要因素。按照芯片（chip）、单板（board）、系统（system）不同的维度，电源完整性（Power Integrity, PI）设计需要满足以下三大目标。

- ☺ 芯片层面：为芯片提供干净、稳定的电源。
- ☺ 单板层面：为信号提供低阻抗、低噪声的参考回路，确保阻抗连续性并降低串扰。在这个层面，需要 SI 和 PI 的协同设计，如对同步开关噪声（Simultaneous Switching Noise, SSN）问题的分析。
- ☺ 系统层面：避免 EMI，电源噪声是 EMI 的重要组成部分，对其进行的分析和抑制涉及 PI/SI/EMI 协同分析的方法。

6.2 电源噪声形成机理及危害

芯片正常工作的基本条件是具有稳定的供电电压。在数字系统中理想的电源是电平恒定的直流电压源，但如果观察器件的电源引脚与参考地之间的电压，可发现其在观测时间范围内围绕恒定的参考电压呈现明显的波动特征，即在某些时刻测得的电压比参考电压高，在另一些时刻却比较低。通常衡量电压波动特征的指标为峰 - 峰值，即在观测时间范围内电压最高值与最低值之间的电压差。

实际上，对于由电源地走线、平面及去耦电容等构成的电源分配系统（Power Distribution System, PDS），由于存在寄生电阻、寄生电感、寄生电容等寄生参数，其阻抗并不为零。当电源输出芯片的工作电流经由 PDS 到达芯片端时，会在芯片端产生直流压降（IR - Drop）和瞬态噪声（AC Noise）。通常芯片要求的电压波动范围是理想电平的 $\pm(5\% \sim 10\%)$ ，如果 PDN 设计不合理，就很容易使供电电压超过上述电压的波动范围。造成元器件

电压波动的原因主要有两个：其一是当元器件在高速开关状态下，会存在过大的瞬态交变电流；其二是电流回路上存在的阻抗和谐振。其中，瞬态交变电流又可能表现为电源低频开关噪声、SSN 噪声等，后者有时也称为 Δi 噪声或地弹噪声；阻抗和谐振又可能表现为电源网络自身的阻抗、不同网络间的转移阻抗和平面谐振等。

6.3 VRM 模块

伴随着 PCB 设计的高密度化，板上元器件同时存在多种电压的 I/O 与核心网络，一些数字大功率芯片，如 CPU、DSP 的核心供电电压可能低至 $0.8 \sim 1.1\text{V}$ ，而 I/O 电压则随着接口规范的不同，有 $3.3\text{V}/2.5\text{V}/1.8\text{V}/1.5\text{V}/1.2\text{V}$ 等多种电平。同时，不同电压对电流的需求也不尽相同。例如，核心电压的最大瞬态电流需求可能达到数十安培，而多数 I/O 电压的电流变化则往往不超过 1A 。为了提供芯片工作所需的多种电压，必须借助于电压转换模块，将系统电源输入的 5V 或 12V 直流转化为 $3.3 \sim 0.8\text{V}$ 甚至更小的电压。这种为系统芯片提供直流电压输出的芯片称为电源电压调制模块，简称 VRM，它是整个电源分配系统的能量供给处，为 PCB 上的芯片和元器件提供稳定的、干净的直流电压作为电源，并及时响应芯片电流需求的变化。

多数的 VRM 是直流 - 直流 (DC - DC) 转换电路，即将一种电平的直流转化为另一种电平的直流输出。这种电源芯片本身的电压输出并不是恒定不变的，而是存在一定的纹波，纹波的大小可以通过测试获取，由电源输出芯片本身的好坏决定，使用者无法控制其大小。多数 VRM 芯片都设计了输出电压或负载电压检测反馈电路，通过比较输出电压与参考电压的误差来调整电流输出，确保输出电压稳定。然而，VRM 模块对负载电压的检测及调整输出都需要时间，通常为毫秒级。当稳压电源无法及时响应负载对电流需求的快速变化时，稳压电源的输出就会下降，从而产生电源纹波。通常 VRM 不能对变化时间低于 100ms 的瞬态涌流变化做出响应，即 VRM 纹波噪声是 kHz 级别的。对于低于 100ms 的瞬态噪声，须借助电源分配系统其他模块加去耦电容、电源地平面、片上去耦加以滤波。

评价 VRM 性能的一个重要指标就是小信号输出阻抗，好的 VRM 设计可以在负载电流允许的整个范围内得到电压纹波很小的输出电压，即随着负载电流的变化，小信号输出阻抗的变化也不大。然而，在直流和低频下，VRM 提供的输出阻抗比较容易，随着频率的升高，回路增益下降，VRM 的输出阻抗增加。因此，在实际使用中常在 VRM 附件并联几个大容值电容来降低 VRM 的输出阻抗，抑制 VRM 的低频输出纹波。

如图 6.3.1 所示为典型的开关电源 VRM 模块工作等效电路。其中， R_0 为 VRM 的输出电阻， L_{out} 为 VRM 的输出电感。 S_1 和 S_2 是开关电路，A 是频率补偿的放大器。该 VRM 模块将输入直流电压 V_{in} （假设恒定不变）变换为其他直流电压并向负载输出电流。如果流过电感 L_1 的电流超过负载要求，则开关 S_1 打开、 S_2 闭合，输出给负载的电流持续减小，直至 S_1 重新闭合。为了响应负载电流的变化，VRM 专门设计了负载电压检测反馈电路，并通过检测电压与参考电压的比较来控制 and 调整输出电压。图 6.3.1 中的开关型 VRM 是非线性的电压调节模块，其打开和闭合都与时间相关。

由于 VRM 主要在千赫兹频段范围内影响 PDN 的阻抗特性，因此有必要利用 SPICE 电路语言构成 VRM 的线性等效电路模型，从而获得 PDN 从直流开始的全频段准确阻抗曲线。如图 6.3.2 所示是最典型的四元器件线性 VRM 电路模型。其中， R_{out} 是与 VRM 相连的电容的

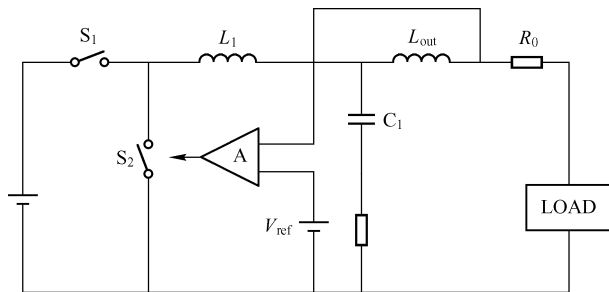


图 6.3.1 开关电源 VRM 工作等效电路

寄生串联电阻，当频率超过 VRM 的响应频率时，它可提供高频回路。 L_{slew} 的大小来源于开关电源的响应时间，可以通过式 (6.3.1) 计算：

$$L_{\text{slew}} = V \left/ \frac{di}{dt} \right. \quad (6.3.1)$$

式中， V 表示纹波电压裕量的大小； $\frac{di}{dt}$ 表示瞬态电流变化率， dt 表示电流增大或减少的时间， di 表示电流变化的幅度。例如，如果该 1.8V VRM 允许噪声裕量为 5%，则其在 $15\mu\text{s}$ 内电流输出变化了 20A，所以有

$$L_{\text{slew}} = (1.8\text{V} \times 5\%) \left/ \frac{20\text{A}}{15\mu\text{s}} \right. = 67.5\text{nH} \quad (6.3.2)$$

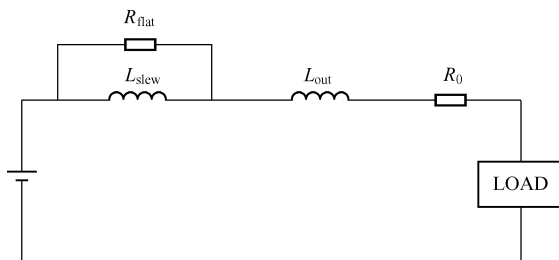


图 6.3.2 典型的四元件线性 VRM 电路模型

通过对四元件线性 VRM 模型进行电路分析，其输入阻抗可以通过下式计算：

$$Z(f) = (R_{\text{flat}} \parallel sL_{\text{slew}}) + R_0 + sL_{\text{out}} \quad (6.3.3)$$

并得到

$$Z(f) = \frac{s^2 L_{\text{slew}} L_{\text{out}} + s(R_0 L_{\text{slew}} + R_{\text{flat}} L_{\text{out}}) + R_0 R_{\text{flat}}}{sL_{\text{slew}} + R_{\text{flat}}} \quad (6.3.4)$$

这样，我们可以得到其两个零点和一个极点，零点和极点的频率计算如下：

$$f_{z1} = \frac{R_0}{2\pi(L_{\text{slew}} + L_{\text{out}})} \quad (6.3.5)$$

$$f_p = \frac{R_{\text{flat}}}{2\pi L_{\text{slew}}} \quad (6.3.6)$$

$$f_{z2} \approx \frac{R_0 + R_{\text{flat}}}{2\pi L_{\text{out}}} \quad (6.3.7)$$

通过对确定的 VRM 元器件在频域进行交流扫频，并获得零点和极点的频率，将其带入

上述公式，可以确定四元器件线性 VRM 简化模型的各个参数。 R_0 的值可以通过 VRM 阻抗曲线外推到 DC 获得，即

$$R_0 = Z(f_{DC}) \quad (6.3.8)$$

$$R_{flat} = \frac{f_p}{f_p + f_{z2}} \left\{ \frac{f_{z2}}{f_{z1}} - 1 \right\} R_0 \quad (6.3.9)$$

$$L_{out} = \frac{R_0}{2\pi(f_p + f_{z2})} \left\{ \frac{f_{z2}}{f_{z1}} + 1 \right\} \quad (6.3.10)$$

$$L_{slew} = \frac{R_0}{2\pi(f_p + f_{z2})} \left\{ \frac{f_{z2}}{f_{z1}} - 1 \right\} \quad (6.3.11)$$

6.4 电容去耦原理

为了满足负载芯片的供电需求，通常在芯片的周围用许多电容连接到电压平面上，这些电容就是去耦电容。去耦电容之所以可以减少电源噪声，我们将从储能和阻抗两个角度来进行说明。

6.4.1 从储能角度来理解

带有去耦电容的供电系统的等效电路如图 6.4.1 所示。整个电源系统主要分为电源模块和去耦模块两部分，其中的电容代表所有外加去耦电容组合，电源模块和去耦电容联合起来为负载芯片供电。

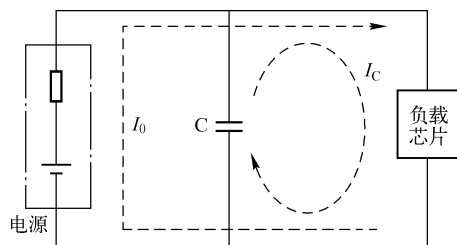


图 6.4.1 等效电路

在负载电流不变并未稳态时，负载处的电压是恒定的，因此电容两端电压恒定，此时电容没有电流通过，电容处于充电状态，负载的电压完全由电源模块提供。由于负载电流的变化及芯片内部晶体管电平的极速转换，这都要求必须能在极短的时间内为负载提供足够的电流。稳压电源一般是不能响应负载这种极快的变化，在电容的

两极产生电压差，电容开始放电产生电流，为负载提供补偿，产生的电流为

$$I = C \frac{dV}{dt} \quad (6.4.1)$$

由式 (6.4.1) 可知，只要容值足够大，在放电过程中负载的电压变化就会在允许的范围内。电容相当于储能元件，在负载电压波动时，迅速放电来补偿这种变化，使得负载的电压波动不会太大。

6.4.2 从阻抗角度来理解

从阻抗角度来理解去耦电容的作用，可以帮助我们得到实用的去耦网络优化方法。这里使用电源分配系统的阻抗来量化去耦效果，其实就是从这个角度出发的。

我们去掉负载，从 A、B 两点向左看去，此时的电源和电容组合在一起，相当于一个复合的电源系统，如图 6.4.2 所示。我们希望该电源系统能够始终保持 A、B 两点间电压的稳定，而不受 A、B 两点间瞬时电流变化的影响。我们使用一个等效模型来表示上面的复合电

源系统，如图 6.4.3 所示。对于这个电路表示为

$$\Delta V = Z \cdot \Delta I \quad (6.4.2)$$

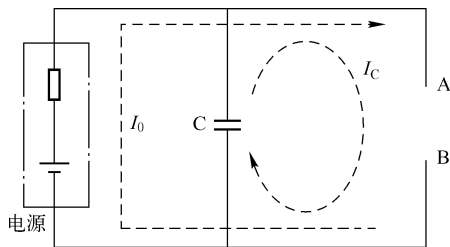


图 6.4.2 复合电源系统

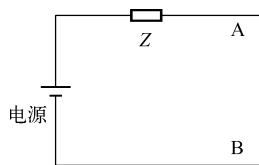


图 6.4.3 等效电源模型

所以，若要无论 ΔI 如何变化都使 ΔV 变化不大，就必须保证 Z 尽可能小。在未等效前，去耦电容和电源模块是并联关系，对于变化的瞬态电流具有交流特性，去耦电容表现出低阻抗的特性，从 A、B 两点看进去，对于交流成分表现出阻抗很低，去耦电容的存在降低了复合电源系统的阻抗。

从阻抗角度理解电容是比较常见的理解方式，所以在电源系统设计中，要求设计的电源阻抗不能超过某个要求的值（目标阻抗）。目标阻抗法就是在这种原则指导下产生的。

6.5 PDS 阻抗分析

6.5.1 PDS 简介

电源噪声本质上是个时域事件，只能在时域中观察。如图 6.5.1 所示，负载端能观察到的最大噪声幅度包括直流部分的 IR - Drop 噪声和交流部分的 Delta - I 噪声。由于交流噪声是电流变化率 $\left(\frac{di}{dt}\right)$ 的函数，后者与负载工作时的电流激励特征密切相关，所以负载电流特征会激起不同程度的电源噪声。由于在时域中产生所有频率的电源特征是非常困难的，因此对 PDN 的分析和设计通常更多的采用频域方法。本质上频域响应和时域响应是可以互相转化的，因此可以通过在频域中控制 PDN 的阻抗来抑制时域电压噪声的幅度。

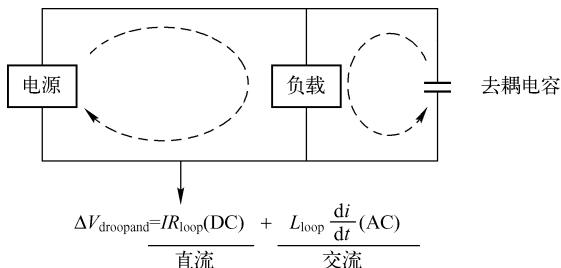


图 6.5.1 电源噪声的直流和交流组成

通常我们会在频域中探究物理结构本身随频率变化的特征，频域分析与激励信号无关，常用来分析线性、无源、时不变的系统。相对于时域分析，频域分析更容易定位和解决问题，基于频域仿真，能更清楚的分析芯片、封装和 PCB 等各子系统对 PDN 性能的贡献而不

受外部噪声的影响。

PDN 频域分析通常采用网络参数法,即针对如图 6.5.2,所示的电源分配系统,分别定义电压输出 (VRM) 和功耗芯片 (SINK) 阻抗观测端口,在各个端口分别定义激励信号 I_1 、 I_2 ,并测量端口电压 V_1 、 V_2 。端口 2 网络的电压、电流满足式 (6.5.1) 和式 (6.5.2)。

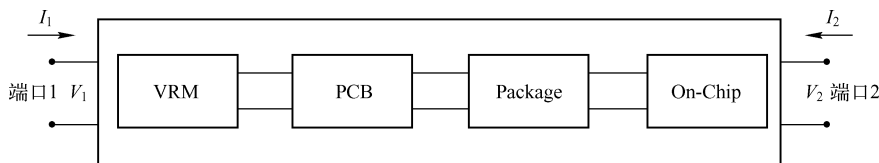


图 6.5.2 电源分配系统的频域分析端口定义

$$V_1 = Z_{11}I_1 + Z_{12}I_2 \quad (6.5.1)$$

$$V_2 = Z_{12}I_1 + Z_{22}I_2 \quad (6.5.2)$$

$$Z_{11} = \frac{V_1}{I_1} \Big|_{I_2=0(\text{output open circuit})} \quad (6.5.3)$$

$$Z_{12} = \frac{V_1}{I_2} \Big|_{I_1=0(\text{output open circuit})} \quad (6.5.4)$$

$$Z_{21} = \frac{V_2}{I_1} \Big|_{I_2=0(\text{output open circuit})} \quad (6.5.5)$$

$$Z_{22} = \frac{V_2}{I_2} \Big|_{I_1=0(\text{output open circuit})} \quad (6.5.6)$$

式中, Z_{11} 、 Z_{22} 被称为自阻抗。如果端口 2 被定义为 VRM 输出引脚,端口 1 为器件的电源引脚,则 Z_{11} 表征了该器件工作时的输入阻抗 (Z_{in}) 特性,即从器件向 PDN 系统内部看进去的阻抗,一般分析 PDN 阻抗是否小于目标阻抗,波形中若存在谐振,则必须得到有效的抑制。

Z_{12} 和 Z_{21} 通常称为转移阻抗或传输阻抗, Z_{ij} 表征的是当 j 端口以 I_j 的电流引脚或芯片之间的特征切换时,在 i 端口上观测到的电压噪声。转移阻抗反映了不同电源引脚或芯片之间的噪声干扰,常用于研究电源网络之间的干扰及去耦电容的放置。

无论是自阻抗还是转移阻抗,其分析都不受端口阻抗匹配状况的影响,典型的 PDN 阻抗是频率的函数,频率越高,一般其阻抗也就越大。阻抗分析是评估 PDN 性能好坏的重要手段,已被广泛用于高速 PCB 系统设计。PDN 阻抗分析没有明确的指标可以参考,工程师较常用的方法是目标阻抗法。

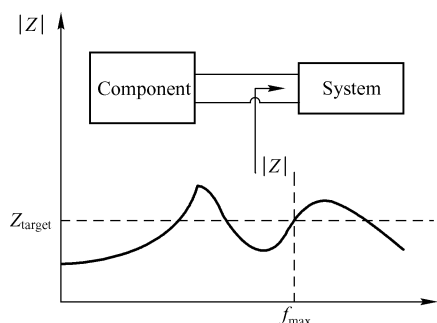


图 6.5.3 元器件自阻抗目标范围

目标阻抗法是 L. Smith 在 1990 年提出的 PDN 设计的经典方法。该方法将 PDN 网络划分为元器件 (Component) 和系统 (System) 两部分,从元器件看向系统的目标阻抗被定义为式 (6.5.7),如图 6.5.3 所示。

$$Z_{\text{target}} = \frac{\Delta V_{\text{voltage tolerance}}}{I} \quad (6.5.7)$$

式中, $\Delta V_{\text{voltage tolerance}}$ 为电源噪声容限; I 为元器件工作电流。通常元器件电流取值有两种方式

$$I = I_{\max} \times 50\% \quad (6.5.8)$$

$$I = I_{\max} \times 30\% \quad (6.5.9)$$

此处的 I_{\max} 为芯片的最大工作电流，一般查阅器件的工作手册就可以得到。

6.5.2 PCB PDS 仿真

对于本次研究所用到的 PCB 电源层比较多，本次选取第 18 层的电源层来说明优化 PDS 网络的重要性，该层如图 6.5.4 所示，其上有 S5GX_VCC 和 3P3V 两个供电网络。电源网络 S5GX_VCC 给 FPGA 核供电，其大小为 0.85V，最大允许的电流为 10A；3P3V 电源网络的大小为 3.3V，最大允许的电流为 0.9A，允许的纹波为 5%。该平面的目标阻抗可以用式 (6.5.10) 计算。

$$Z_{\text{target}} = \frac{(\text{Power_Supply_Voltage}) \times (\text{Allowed_Ripple})}{\text{MaximumCurrent} \times 50\%} \quad (6.5.10)$$

由式 (6.5.10) 可得 0.85V 和 3.3V 供电网络的目标阻抗分别为 0.0085Ω、0.35Ω。

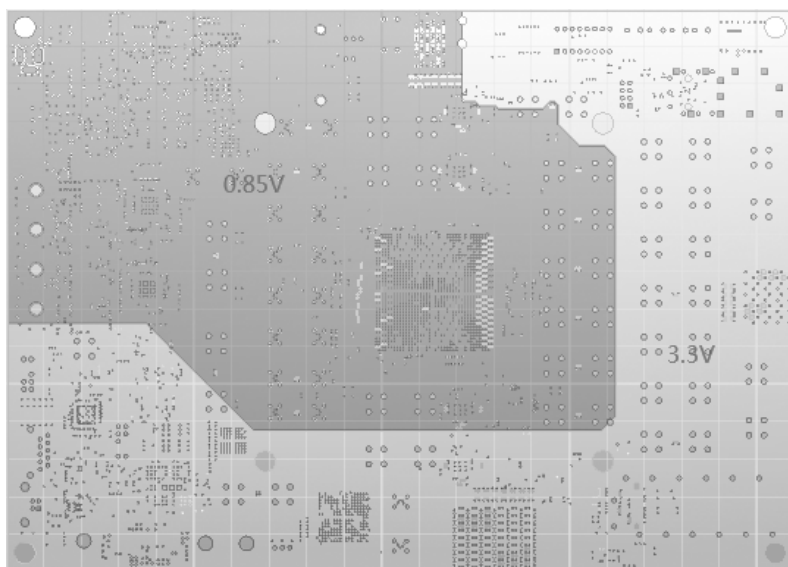


图 6.5.4 实际 PCB 的电源层

(1) 导入 PCB 的 ANF 文件，保存为 SIW 文件，如图 6.5.5 所示。

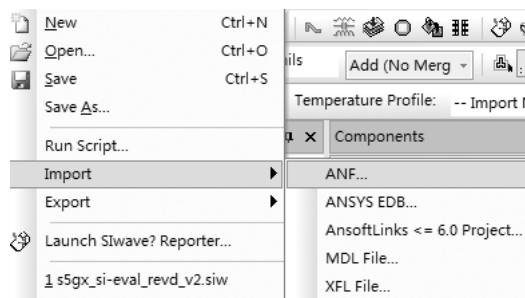


图 6.5.5 PCB 的导入图

(2) 定义引脚组。

① 从菜单栏选择“Tools”→“Pin Group Manager”，选择好 Part name（部件名）和 Refdes（电路符号），在 Nets 中选择“S5GX_VCC”，选中其下的所有引脚后，单击“Creat Pin Group...”按钮，SIwave 会将其自动命名为 U29_S5GX_VCC_Group，单击“OK”按钮，如图 6.5.6、图 6.5.7 所示。

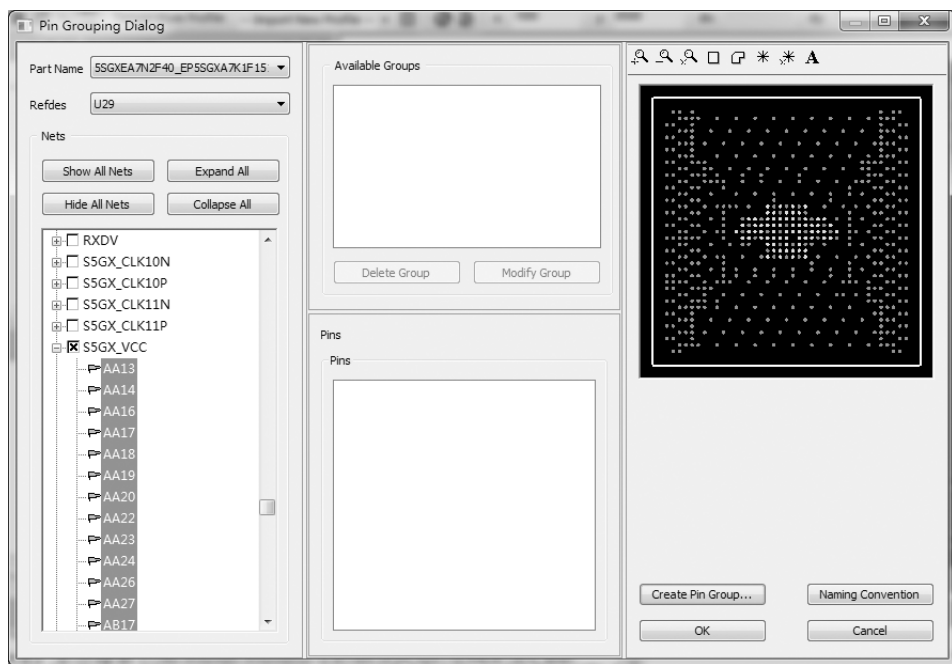


图 6.5.6 创建引脚组

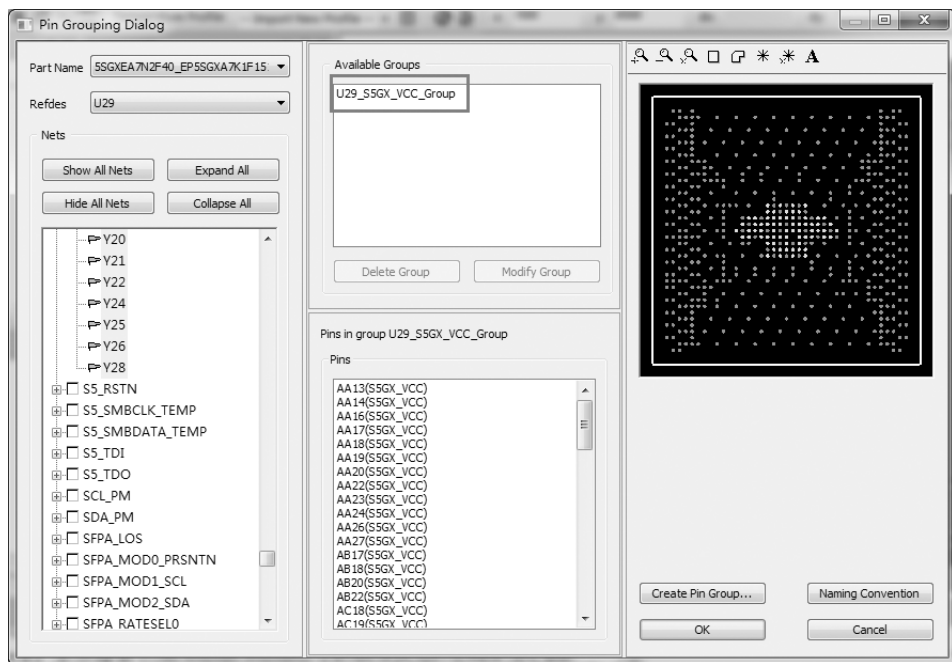


图 6.5.7 创建好的 S5GX_VCC 引脚组

② 将创建引脚组的窗口关闭后,回到主界面,在 Components 一栏中的 PinGroups 可以看见创建的新引脚组,如图 6.5.8 所示。

③ 以同样的方式,添加 GND 引脚组,如图 6.5.9 所示。

④ 在主界面中查看新添加的引脚组,如图 6.5.10 所示。

(3) 添加 U29_S5GX_VCC_Group 组与地之间的 Port,选择“Circuit Elements”→“Generate on Components”,如图 6.5.11 所示。

① 选择好 FPGA 芯片的 Part name 和 RefDes。

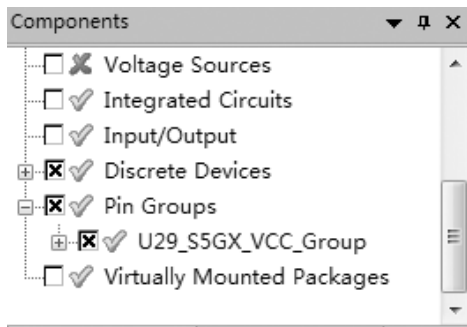


图 6.5.8 Component 中查看引脚组

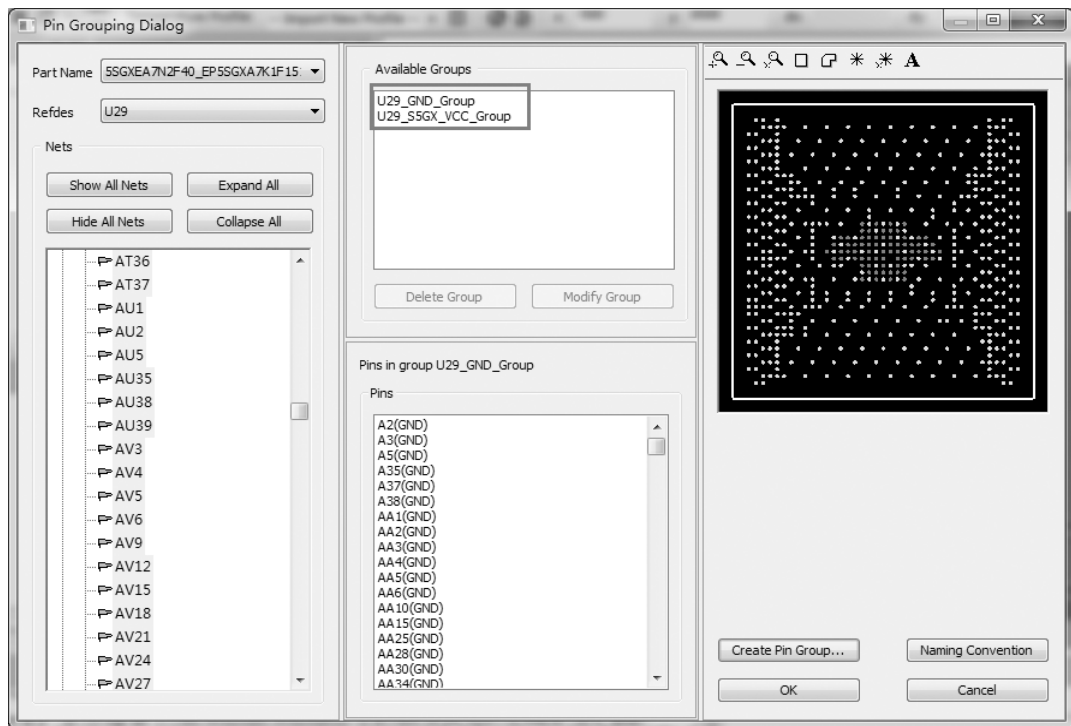


图 6.5.9 创建好 GND 引脚组

② 选择 Port 放置的正端为 U29_S5GX_VCC_Group。

③ 选择 Port 放置的负端为 U29_GND_Group。

④ 选择使用最近的引脚作为参考引脚。

⑤ 选择所要创建的类型为 Port。

⑥ 单击“Create”按钮,就可以自动在 0.85V 电源引脚和地之间添加 Port。

单击“Creat”按钮后会出现“Port Property”对话框,在此对话框内可修改放置 Port 的一些属性,这里选择默认属性,如图 6.5.12 所示。

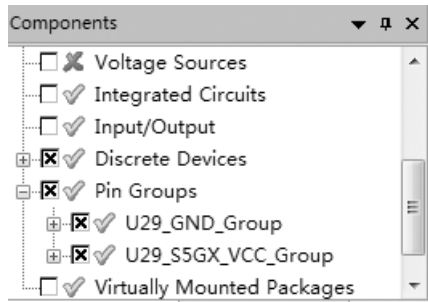


图 6.5.10 Component 中查看引脚组

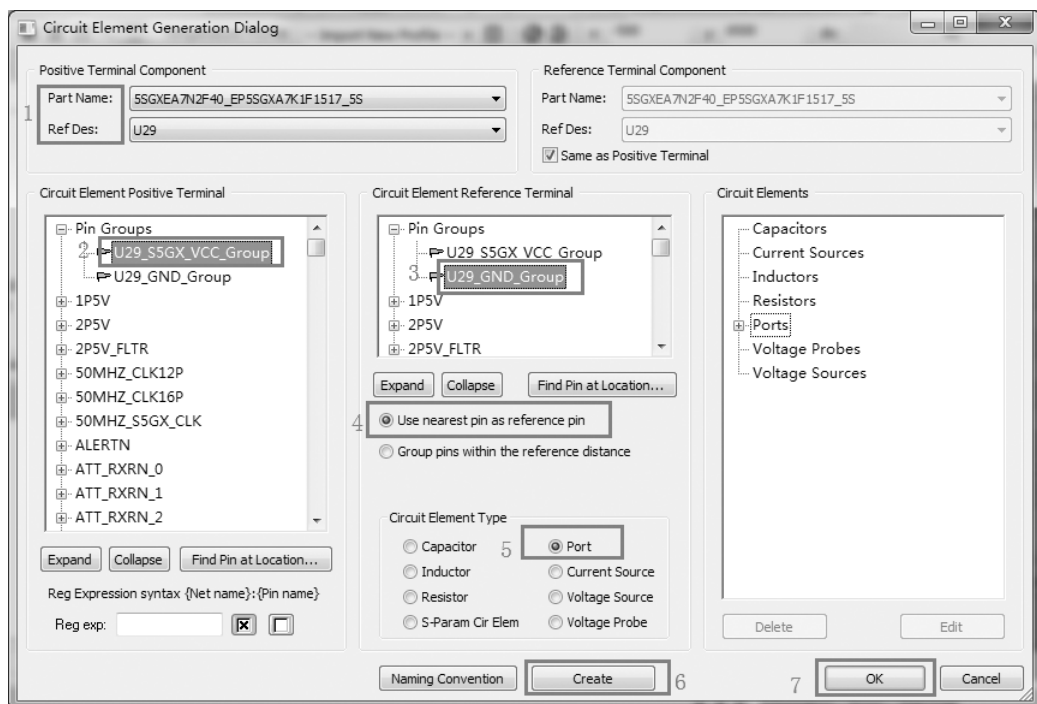


图 6.5.11 创建 Port

在“Circuit Element Generation”对话框右侧 Circuit Elements 中可以看到新添加的 Port。在此选中 Port 可以对其进行编辑和修改，如图 6.5.13 所示。

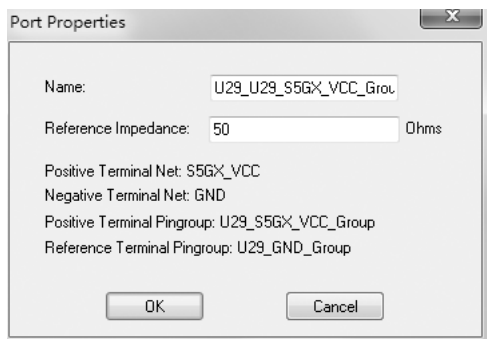


图 6.5.12 创建 Port

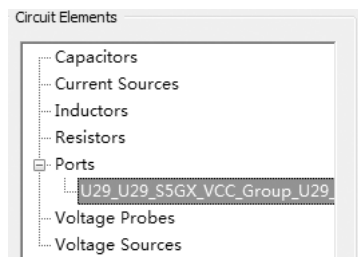


图 6.5.13 Circuit Elements 中查看 Port

单击“OK”按钮完成 Port 的添加后，回到主界面中的 Components 可看到新添加的 Port，如图 6.5.14 所示。

(4) 添加 3.3V 电源层与地之间的 Port。单击“Circuit Elements”→“Port”，在 (9000mil, 7000mil) 处放置 Port，选择好正端和负端放置的层，单击“OK”按钮完成放置，如图 6.5.15 所示。

单击“OK”按钮后弹出 Port Properties 对话框，其中可以设置 Port 属性，如图 6.5.16 所示。

单击“OK”按钮后，在主界面的 Components 中可以看到添加的 Port，如图 6.5.17 所示。

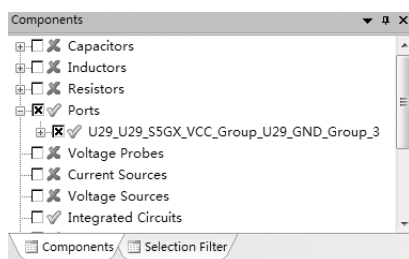


图 6.5.14 Component 中查看 Port

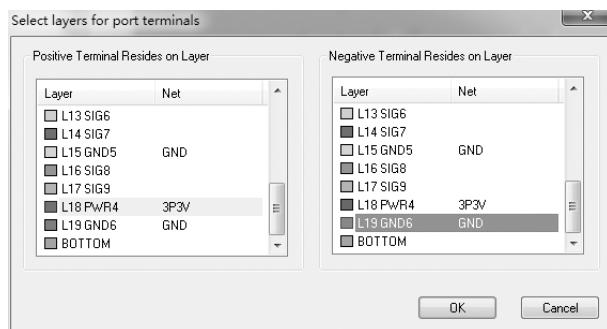


图 6.5.15 设置 Port 放置的层

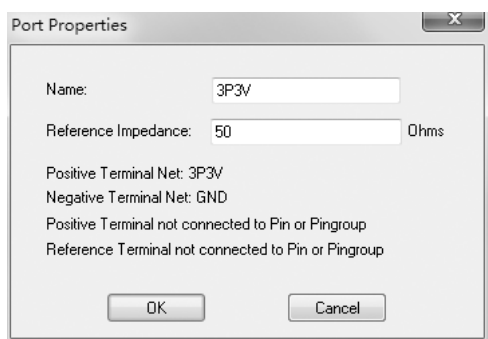


图 6.5.16 设置 Port 属性

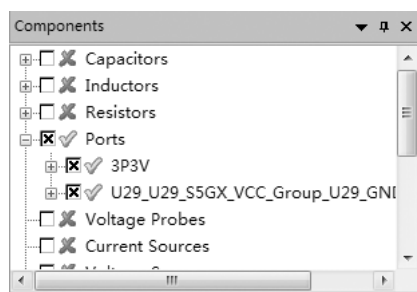


图 6.5.17 Component 中查看 Port

(5) 仿真 Z 参数。选择“Simulation”→“SIwave”→“Compute S - , Y - , Z - parameters”。设置好仿真起止频率和采样点数后，单击“确定”按钮开始仿真，如图 6.5.18 所示。

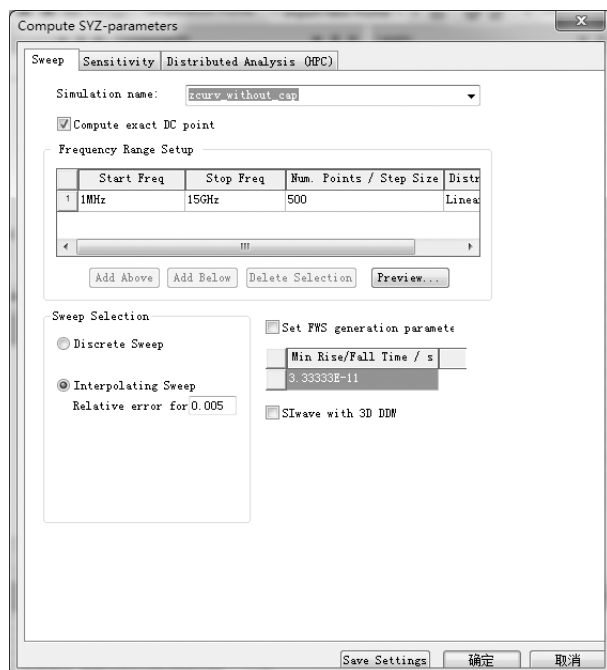


图 6.5.18 仿真参数设置

(6) 仿真结果查看。在 Result 中选择刚才的仿真结果，如图 6.5.19 所示。

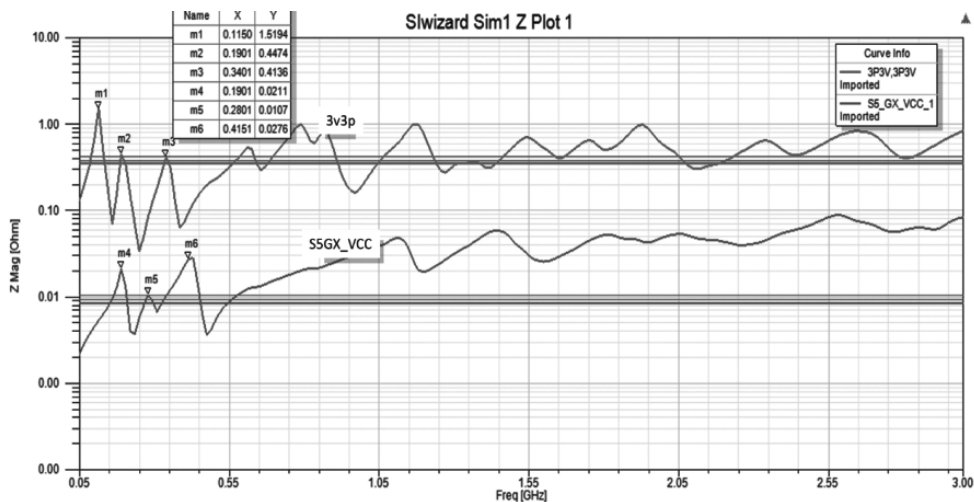


图 6.5.19 3.3V、0.85V 电源层阻抗曲线

由图 6.5.19 可知，在 500MHz 以下，3.3V 网络出现阻抗峰值的频点为 115MHz、190MHz、340MHz、0.85V 网络的阻抗峰值出现的频点为 190MHz、280MHz、415MHz。

6.6 PCB 谐振仿真

6.6.1 谐振简介

在电源分配系统中面积最大的部分就是电源/地平面，它起着高频去耦、为信号线提供回路路径及电磁屏蔽的作用。电源/地平面虽然可以看成一个电容器，但是由于设计的需要，电源/地平面通常会被分割，平面的电容特性会变得非常复杂，而且高频时，受分布寄生电感的影响，电源/地平面相当于一个谐振腔，具有谐振特性，而且谐振频率是物理结构和位置的函数。电源/平面的谐振特性会劣化掉系统性能。在谐振频率附近，能量会被介质存储或消耗掉，而且只要该电源平面/地平面的谐振位置有激励源，就很容易起振。如果信号的参考回路刚好经过平面谐振点，则谐振噪声很容易耦合到信号中，使得信号变差。

在频率较低时，信号波长远远大于平板尺寸，电源板层和地层构成一个电容，其电容可以根据下面的平板电容公式计算：

$$C = \varepsilon_0 \times \varepsilon_r \times \frac{A}{h} \quad (6.6.1)$$

式中， C 表示电容量，单位为 pF； ε_0 表示自由空间的介电常数，为 0.0895pF/cm 或 0.22pF/in； ε_r 表示介质相对介电常数； A 表示平面的面积； h 表示平面间的距离。

对于常见的 FR4 板材的介电常数典型值是 4，常见的层叠平面高度为 0.1mm，则 1cm² 的电容量为 $C = 35.6$ pF，可见单位面积平面电容很小。一般来说，虽然在多层电路板中存在平面电容，但它太小了，对电源的滤波起不到明显的作用。电源/地平面的实际作用不是去耦电容，而是为芯片和去耦电容间提供低电感的回路路径。要大幅度提高电源/地平面的电容，以达到电容滤波的作用，就要增加电源/地平面之间的电容。根据平行板近似，我们可以发

现两个因素影响电容量：介质厚度和介电常数。从式 (6.6.1) 可以看出，平面介质厚度越小，介电常数越大，平面电容就会越大。例如，3M 公司开发的埋容材料 C-Ply 具有高介电常数且超薄特性，这种材料的相对介电常数为 20，厚度为 $8\mu\text{m}$ ，单位面积电容为 $222.5\text{pF}/\text{mm}^2$ ，是普通 FR4 板材所形成的平面电容容量的 62 倍。

在频率较高时，电源板层特性会变得相当复杂。电源/地间的噪声会遵循传输线原理，在该平板传输系统中传播。电源/地其实可以看成是一个腔体结构，噪声传播至边缘时，一部分反射回来，一部分辐射出去，这种多重反射构成了 PCB 的谐振现象。

为了分析电源/地平面的谐振特性，我们来构建一对平面：长为 l ，宽为 w ，厚度为 d ($d \ll \lambda$, λ 为波长)，如图 6.6.1 所示。上下两平面作为理想电壁 (PEC)，四周为理想磁壁 (PMC)，板间介质介电常数为 ε ，磁导率为 μ 。我们假设所建的为波导模型，波导一般为高通系统并可以传播很多模式，每个模型对应于一个截止频率，若比该截止频率高，此时的模式就只能在波导内传播。高次模的截止频率都会很高，当遇到不连续的点就会被激发。当然，我们一般建立的模型都是有限的，若电磁波传递到边界 (PMC) 时，必然会有存在不连续的点，就会产生反射，最终导致谐振。该谐振若用阻抗来表示，则可表示为

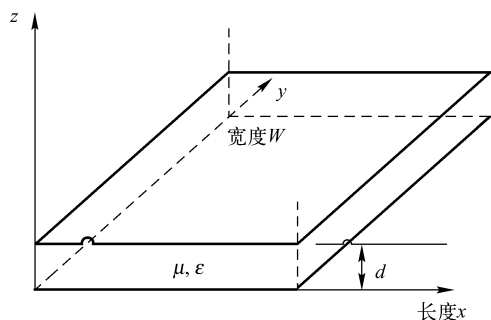


图 6.6.1 平行板平面对

$$Z_{ij}(w) = j\omega\mu d \sum_{n=0}^{\infty} \sum_{m=0}^{\infty} \frac{\varepsilon_n^2 \varepsilon_m^2}{(k_{mn}^2 - k^2)ab} f(x_i, y_i, x_j, y_j) \quad (6.6.2)$$

这里 (x_i, y_i) 和 (x_j, y_j) 分别代表两个端口的坐标。很显然 n 和 m 并不是无限的，其一是因为要计算合理，其二是因为高次模都有截止频率的限制。 $z_{ij}(w)$ 是综合的阻抗，在每一个谐振模式下，都可以激发出一个或几个脉冲，这些极点都会在阻抗上产生。

电源/地平面的谐振频率主要由电源/地平面结构和介质材料决定，若要独立分析电源/地平面各谐振频点的频率特性，则可根据下式来分析：

$$f_{mn} = \frac{1}{2\pi \sqrt{\mu \varepsilon_0 \varepsilon_r}} \sqrt{\left(\frac{m\pi}{l}\right)^2 + \left(\frac{n\pi}{w}\right)^2} \quad (6.6.3)$$

式中， f_{mn} 是平面的谐振频率； μ 为自由空间导磁率； ε_0 为自由空间介电常数； ε_r 为介质相对介电常数； l 和 w 是金属平面的长和宽；长度和宽度方向上的谐振模式分别为 m 、 n 。谐振模式是腔体的固有属性，但能否被激励要和噪声源的位置和频率相关，腔体一旦产生谐振，电源地平面也会产生波动。根据矢量拟合原理，等效的 SPICE 模型可以通过频域阻抗来得到，但平面对的特征阻抗依然很难知道。即使知道了平面对的特征阻抗，维数也会从以前的一维变为二维，计算量成倍增加，模型也会变得相当复杂。

6.6.2 PCB 谐振仿真

下面将实际的 PCB 导入 SIwave 中进行谐振分析。导入后要对 PCB 做一些预处理，主要包括以下几个部分。

首先，根据实际的数据手册，给电容赋予 ESL、ESR 参数，以此来描述其寄生效应。当然电容的参数可以参考 SIwave 自带库中的非理想电容模型。

再则,一般来说,Cadence 等 PCB 软件在导入 SIwave 中时,会丢失掉一些层叠信息,所以,在仿真前必须进行层叠检查,主要包括 PCB 各层的厚度及电介质的介电常数等参数。

最后,在 SIwave 中执行 Validate Check (有效性检查),SIwave 会自动检测在转换过程中出现的一些错误,如 Self-intersecting Polygons、Disjoint Net、Overlapping Nets 等,有的 SIwave 可以自动修复,但有的需要我们自己手动的修改,甚至要按照 SIwave 的报错信息中的坐标返回画板软件中去操作。

本次所用的评估板 PCB 使用的是 FR4 材料,尺寸大小为 267mm × 191mm,厚度为 2.4mm,使用的是 20 层的板层设计。其中,主要的高速串行接口的速率高达 10Gb/s 以上,上升沿时间为 35ps。该板比较大,所以其出现谐振点的频点一般都会比较低,该板的复杂性,使得其具有丰富的谐振频点,而 SIwave 一次只能解算 30 个谐振模式,所以这里主要以 L18 PWR4 和 L19 GND 为例,以上节计算出的 6 个频点为主要研究对象。

(1) 导入 PCB 的 ANF 文件和 CMP 文件,保存为 SIW 文件,如图 6.6.2、图 6.6.3 所示。

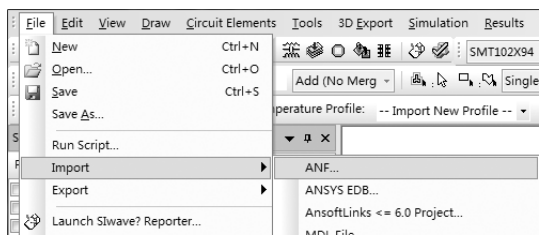


图 6.6.2 导入 ANF 文件

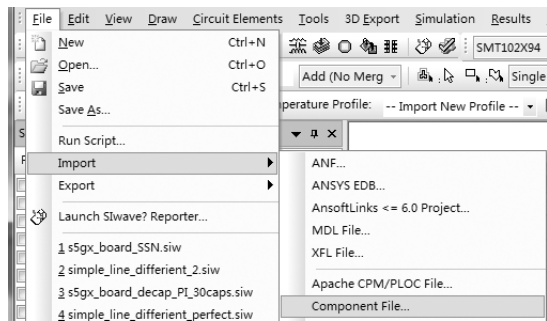


图 6.6.3 导入 CMP 文件

(2) 层叠检查,修改层叠厚度等信息。选择“Edit”→“Layer stack”,和画板软件如 Cadence 中的层叠信息对比,修改不一致的数据,如图 6.6.4 所示。

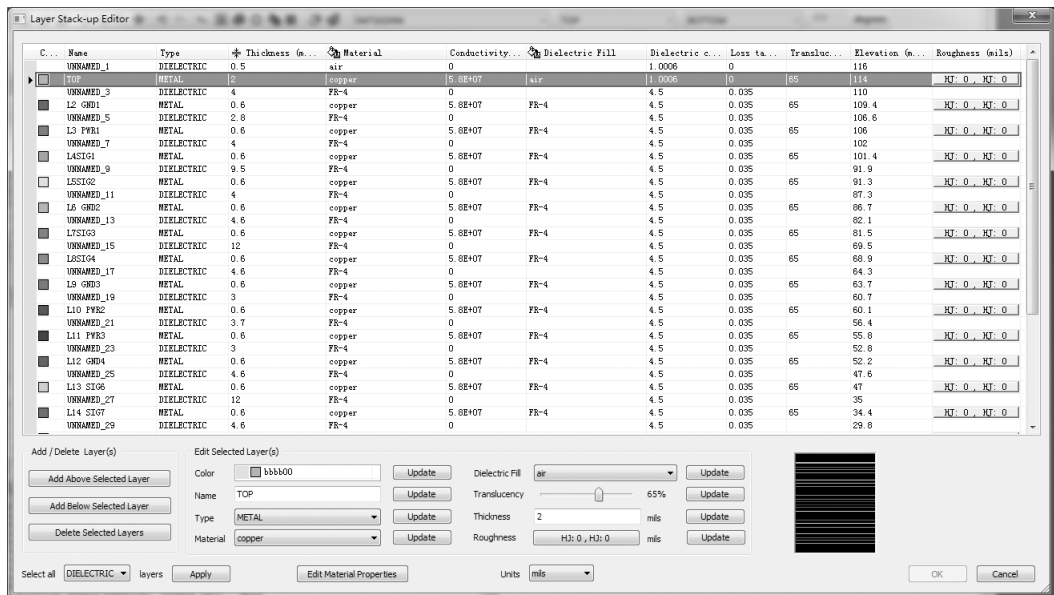


图 6.6.4 层叠检查

(3) 选择“Tools”→“Validate Check”，运行有效性检查，如图 6.6.5 所示。

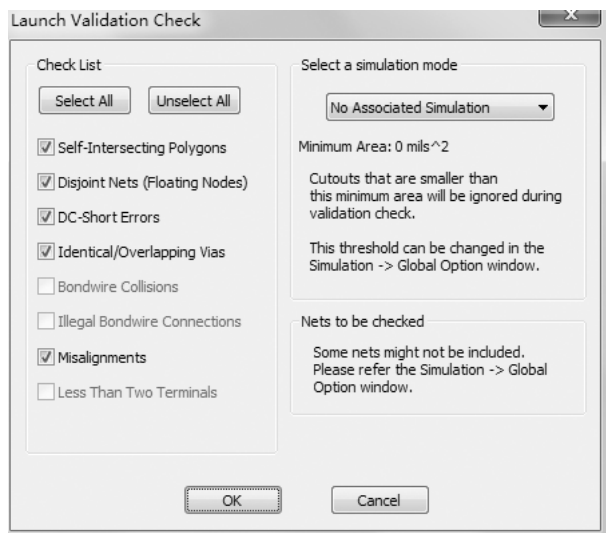


图 6.6.5 有效性检查

(4) 在主界面的 Layers 中选择可视图层，如图 6.6.6 所示。

(5) 设置谐振仿真参数，开始仿真。SIwave 会根据 PCB 的大小等信息，计算出可能出现谐振的最小频率，一般 PCB 越大，计算出的起始频率就越低。SIwave 一次最多解算 30 个谐振模式，本次设置为计算了 6 个谐振模式后就停止仿真，如图 6.6.7 所示。

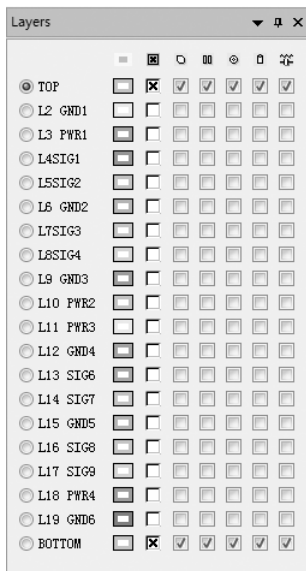


图 6.6.6 可视图层选择

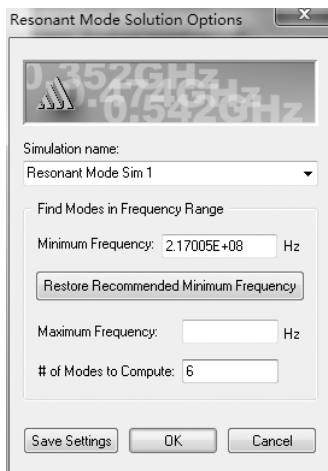


图 6.6.7 谐振仿真设置

(6) 选择“Results”→“Resonant Mode”，查看谐振仿真结果。

其中，颜色越深表示谐振越强烈，红色表示谐振峰值最高点，深蓝色表示谐振峰值最低点，绿色表示那些振荡最不明显的地方，上面 6 个谐振频点附近出现的谐振情况如图 6.6.8 所示。

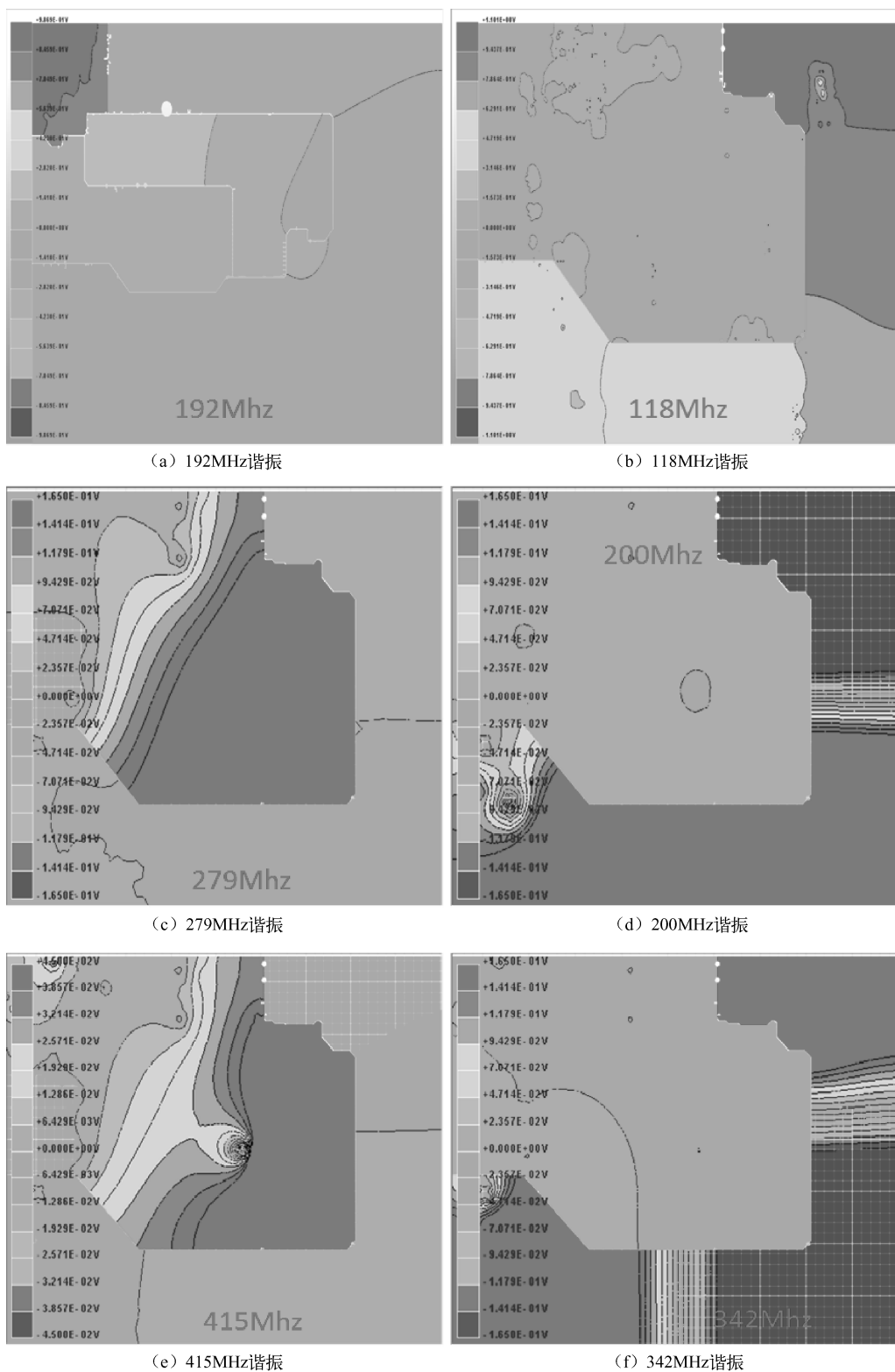


图 6.6.8 谐振点的谐振情况

6.6.3 去耦电容容值估算

根据波动理论，PCB 的谐振特性由多方面因素决定，如电源/地层、去耦电容等。针对这种情况，一般有两种解决方法：其一是去耦电容；其二是调整 PCB 的层叠结构。调整 PCB 的层叠结构，难度一般都比较，不亚于对 PCB 进行重新设计。因此，优化 PCB 的谐振特性，由添加去耦电容的方法来实现是科学可行的。对于优化目标阻抗的方法，人们的习惯经验如图 6.6.9 所示。

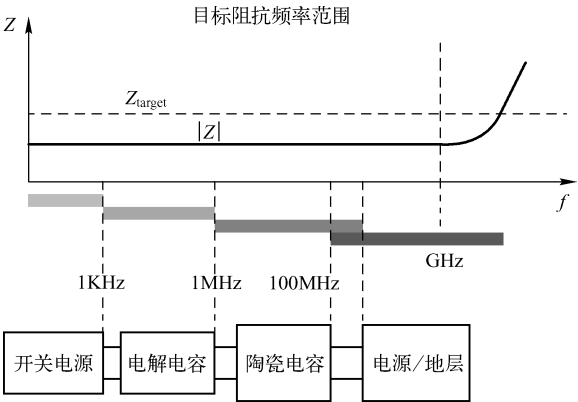


图 6.6.9 常用的优化目标阻抗的方法

由于去耦电容在自谐振频率处的阻抗最低，所以选择具有和板上谐振频率相近自谐振频率的去耦电容来完成去耦，去耦效果会比较好。SIwave 带有很丰富的电容软件库，如 AVX、三星等。在查询结果时，我们可以读出发生谐振的频率值，我们以 192MHz 的谐振为例，阐述整个优化过程。

通过仿真，我们可以看见在 192MHz 左右产生了明显的谐振效应，为了消除该谐振频点，我们要并联上多个去耦电容，电容除了本身的电容值 C 外，还有等效电阻 R (ESR)、固有电感 (ESL)，此时的阻抗如式 (6.6.4) 所示。所以，为了得到最小的平面阻抗，就要保证平面间容抗相等，即 $\frac{1}{wC} = wL$ ，从而 $C = \frac{1}{w^2 L}$ ，想要计算实际去耦电容值，不仅要考虑 ESL，也要考虑寄生参数的影响，即 $C = \frac{1}{w^2 (ESL + L_{pcb})}$ ，为了方便计算，表 6.6.1 列出了常用封装电容的 ESL 的估算值。

$$|Z| = \sqrt{r^2 + \left(\frac{1}{wc} - wL\right)^2} \tag{6.6.4}$$

表 6.6.1 常用封装的 ESL

封 装	ESL/nH
0402	0.4
0603	0.5
0805	0.6
1206	1

续表

封 装	ESL/nH
1210	0.9
1812	3.4
2220	1.6

精确值可通过厂家获取，寄生参数可以通过下式计算：

$$L = 5.08 \times h \times \left[\ln \left(\frac{4h}{d} \right) + 1 \right] \times 10^{-9} \quad (6.6.5)$$

式中， L 单位为 H ； h 为过孔长度； d 为过孔直径；单位均为 in 。

综合以上公式，计算整个电容值为

$$C = \frac{1}{(2\pi f)^2 \times \left\{ \text{ESL} + 5.08 \times h \times \left[\ln \left(\frac{4h}{d} \right) + 1 \right] \times 10^{-9} \right\}} \quad (6.6.6)$$

所以，如果我们选取 0402 封装，引入的过孔直径为 0.3mm (0.012in)，长度为板厚 0.44mm (0.0173in)，带入计算消除该处的谐振，就可计算出需要的电容值约为 0.33nF 。我们使用的电容库为 SIwave 中集成的 AVX 0402 封装的电容，自带库中的电容都非理想电容（有寄生电感和寄生电阻），这样可以使仿真比较接近真实情况。我们可以通过 SIwave 自带库中选取 0.33nF 的电容来完成。

6.6.4 两种去耦电容配置方法

在放置去耦电容方面，主要有 BIG - V 方法和 Multi - Pole (MP) 方法。在以前低速设计的时候，我们一般会在每个供电引脚上添加几个 $0.1\mu\text{F}$ 的电容，另外再加几个几百 μF 级的板级滤波电容，这就是典型的 BIG - V 法，由于去耦网络中的小电容都是同一种电容，这些小电容并联后自谐振频率处的阻抗极低，整个阻抗曲线形状依然为陡峭的“V”形，故称“BIG - V”。这种方法中的电容种类比较单一，小电容和 VRM 或者大电容之间很容易形成高的并联谐振峰，其很难控制这种并联谐振峰，一般的大电容 ESR 都在欧姆级，少量几个大电容对并联谐振峰的抑制作用是非常有限的，若想将其降低到阻抗曲线以下，可能需要很多的大电容，或者使用特殊的低 ESR 的大电容，这不仅增加了成本，而且在现实中 PCB 上也不可能允许放下如此多的大电容。因此，在高速设计中，这种方法不能很好地控制阻抗。

Multi - Pole (MP) 方法在高速设计中比较常见，使用多种电容值组合起来，共同构建去耦网络。常用的有两种方式：One per decade 和 Three per decade，这两种方法类似，区别就在于容值间距的大小，前者是在每十个倍程容值范围内选取一种电容值，而后者是在十倍程容值范围内选择三种不同的容值，这两种方法一般都能优化 PDS 和谐振，后者的阻抗曲线一般会更为平坦，但是 One per decade 的方法选取电容种类比较少，易于加工，比较容易操作。

6.6.5 PCB 谐振优化

(1) 计算出这 6 个频点处大概需要的去耦电容的容值分别为 $0.3\mu\text{F}$ 、 $0.9\mu\text{F}$ 、 $0.15\mu\text{F}$ 、 $0.3\mu\text{F}$ 、 70pF 、 $0.1\mu\text{F}$ 。因为 One per decade 和 Three per decade 都有很好的去耦效果，并且放置简单，所以本节主要选用 One per decade，封装类型为 0402，所使用的库为 SIwave 中自

带的 AVX 电容库，各个频点处的去耦方案如表 6.6.2 所示。

表 6.6.2 使用 One per decade 的电容选择

	谐振频点	去耦电容选择
3.3V 网络	118MHz	0.82 μ F, 8.2 μ F, 82 μ F
	200MHz	0.33 μ F, 3.3 μ F, 33 μ F
	342MHz	0.15 μ F, 1.5 μ F, 15 μ F
0.85V 网络	192MHz	0.33 μ F, 3.3 μ F
	279MHz	0.15 μ F, 1.5 μ F, 15 μ F
	415MHz	68pF, 0.68 μ F, 6.8 μ F

(2) 添加去耦电容。在 Component 窗口中右键单击选中的电容，并选择“Place Component”，如图 6.6.10 所示，可以放置去耦电容。

当放置完电容后，将会出现一个新的对话框，如图 6.6.11 所示。这个对话框能为电容选择终端连接层。

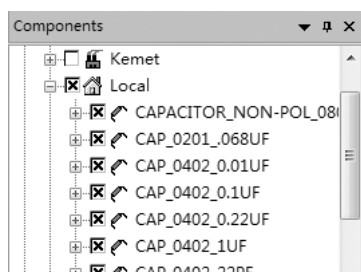


图 6.6.10 去耦电容的放置

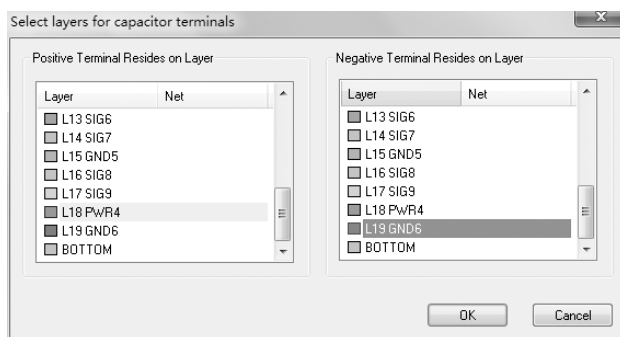


图 6.6.11 选择电容终端连接层

单击“OK”按钮后，在图 6.6.12 所示对话框中设置所放置的电容属性。

(3) 重新运行谐振模式仿真，选择“Simulation”→“Compute Resonant Modes”，设置仿真参数如图 6.6.13 所示。

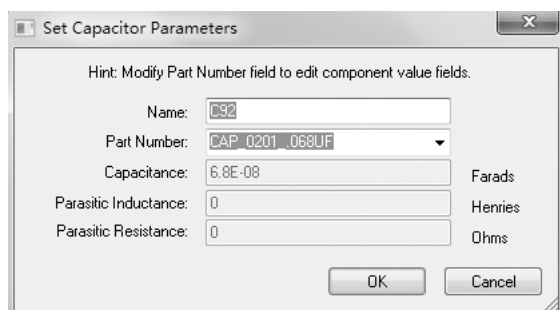


图 6.6.12 设置电容参数

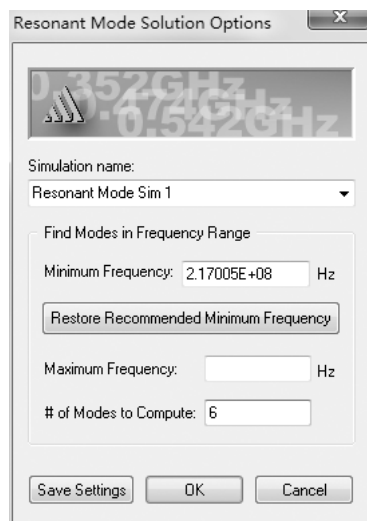
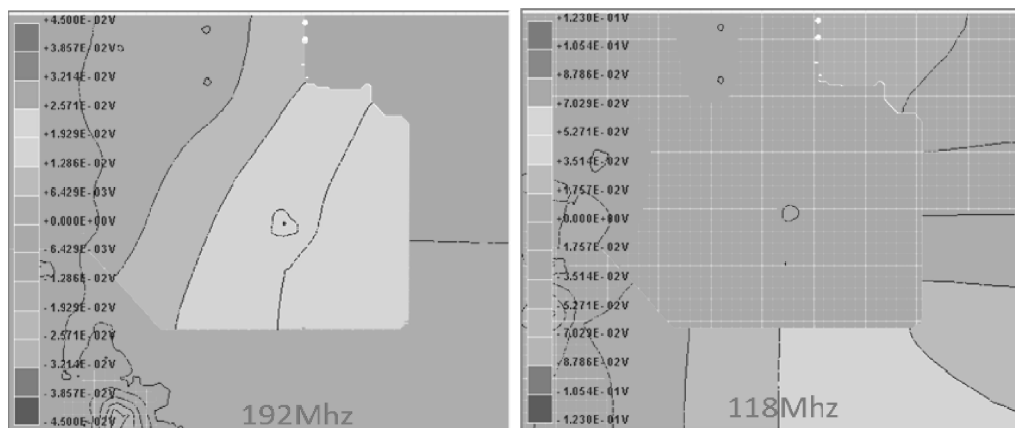


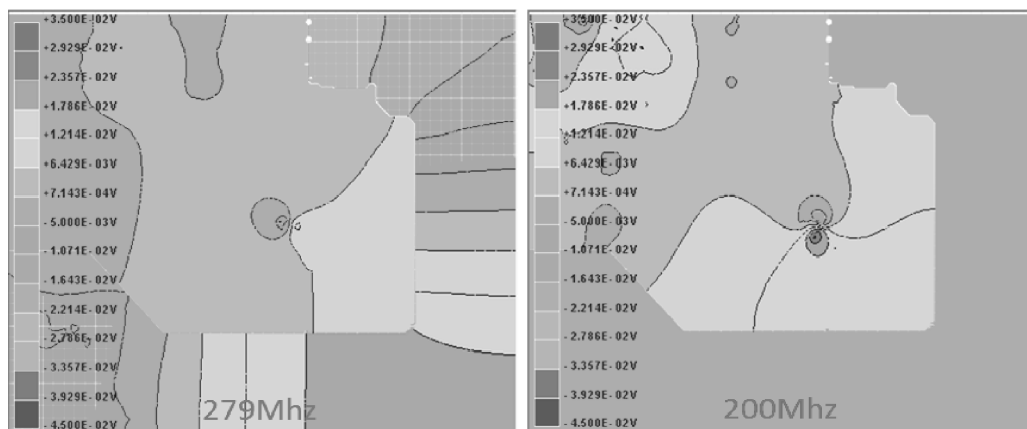
图 6.6.13 仿真参数设置

(4) 选择“Results”→“Results Resonant Modes”→“Resonant Modes Sim1”，放置结果如图 6.6.14 所示，阻抗明显减小。



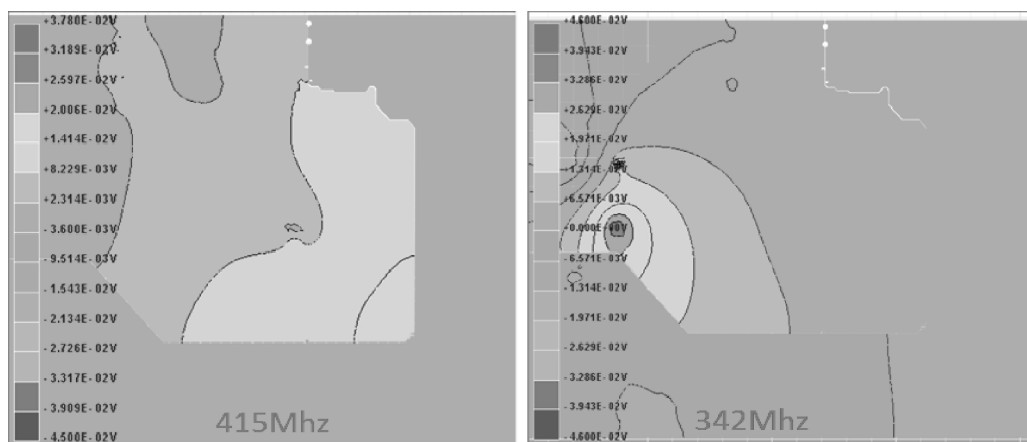
(a) 192MHz谐振

(b) 118MHz谐振



(c) 279MHz谐振

(d) 200MHz谐振



(e) 415MHz谐振

(f) 342MHz谐振

图 6.6.14 放置电容后的谐振情况

(5) 重新仿真其电源网络的 Z 参数，得到的曲线如图 6.6.15 所示。

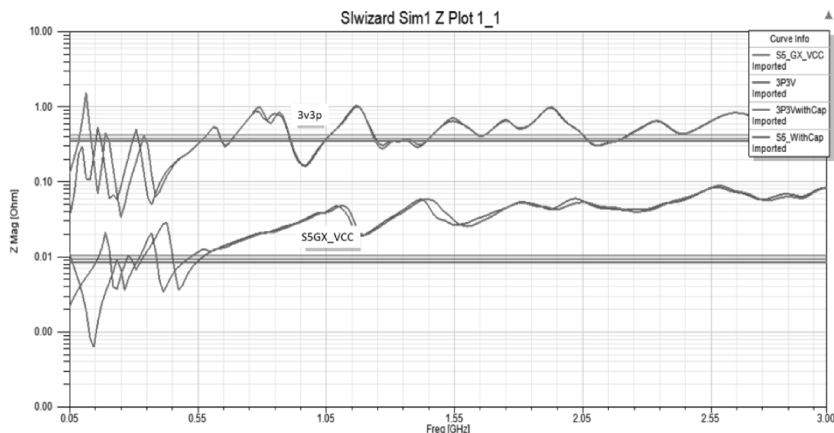


图 6.6.15 优化前后的阻抗曲线对比

由图 6.6.15 可知,放置的去耦电容可以减少特定频点处的阻抗,因为本次去耦所关注的频点最高为 415MHz,所以 500MHz 以后的阻抗曲线基本都和未优化前的阻抗曲线重合在一起。

6.7 传导干扰和电压噪声测量

PCB 上的有源器件通过 V_{CC} 或其他电源节点吸取电流。如果 V_{CC} 节点的阻抗太大,器件在开关时就会引起电压波动。该电压波动可能会干扰其他设备。例如,图 6.7.1 展示了 0-1 电平转换引发的源和地平面间的纹波电压。在这种情况下,电源节点的电感导致了电压波动的产生。

对芯片供电网络而言,由于 PCB 走线和平面非常不规则,其最大的风险在于供电和滤波网络自身的反谐振点和噪声源频率产生的谐振。频域分析结果只能反映 PDN 网络的谐振特性,缺乏噪声源的特性,所以如果要定量得到纹波电压,则需要时域分析,为了保证仿真的准确性,我们采用了基于芯片/封装/PCB (CPB) 协同的仿真手段。

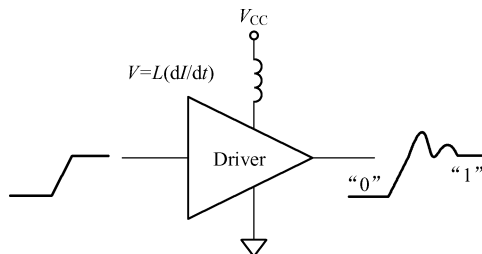


图 6.7.1 电压波动的产生

芯片的电流源噪声模型通常可以直接向 IC 厂商获取,其格式通常是一系列时变的电流波形曲线。IC 厂商通常通过测试或仿真获得芯片工作时电源引脚上的电流波形,在通常的情况下测量芯片工作时的电源地引脚电流并不容易,在某些情况下需要特殊设备,如通过芯片插座将电流转换为其他信号输出。基于芯片级的电源完整性仿真获得芯片噪声电流模型是一种行之有效的方法,该方法将芯片内部标准逻辑单元的翻转模式、相量及逻辑单元自身翻转的电流特性作为激励输入,仿真一段时间内芯片外部引脚的电流特征,并作为系统级 PI 时域仿真的激励使用。谐振模式给出的是 PCB 上特征模的频率和电压分布,本节主要说明在电源分配系统 (PDS) 中,器件中电流的涌动如何造成电压的波动。

(1) 创建新的项目。打开前面用到的 PCB 的 SIW 文件,在 SIwave 中保存。

(2) 创建电流源。

① 选择 “ircuit Elements” → “Generate on components”，如图 6.7.2 所示。

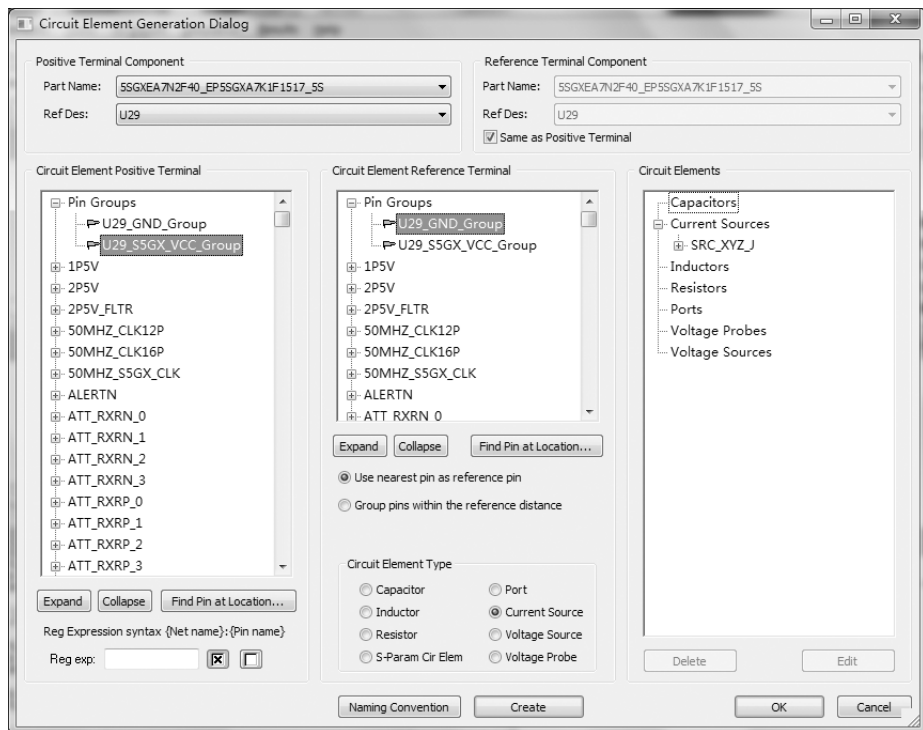


图 6.7.2 创建电流源

- 选择好所研究 FPGA 芯片的 Part Name 及 Ref Des。
- 选择电流源放置的正端为 U29_S5GX_VCC_Group，负端为 U29_GND_Group。
- 选择创建的类型为 Current Source。
- 单击“Create”按钮，会弹出电流源属性窗口，使用默认值即可，如图 6.7.3 所示。
也可以在 Circuit Elements 中的 Current Sources 中查看所创建的电流源。
- 单击“OK”按钮完成电流源的放置。
- 回到主界面，在 Components 窗口中可以看到新创建的电流源，如图 6.7.4 所示。



图 6.7.3 设置电流源属性

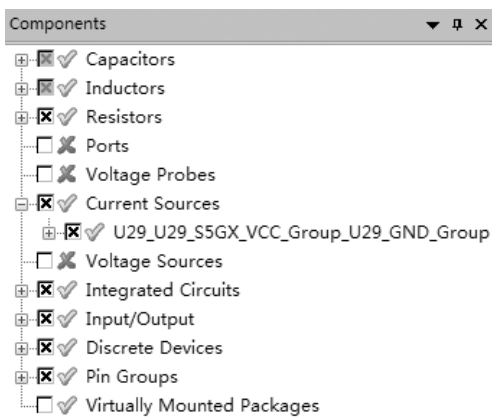


图 6.7.4 Components 中查看电流源

(3) 创建电压探针。

电源分配时所引发的纹波问题将可通过放置在 PCB 上的 VCC 与 GND 之间的电压探针来研究。我们在板的 L18 电源层和相邻的地层之间放置电压探针。

① 选择 “Circuit Element” → “Voltage Probe”，拖动鼠标在（550mil，220mil）处放置双击，第一次单击代表放置 Positive Terminal（正极终端），第二次单击时代表放置 Reference Terminal（负极终端），我们将正、负终端放在同一位置，如图 6. 7. 5 所示。

② 选择电压探针终端所在的层。正端放在 L18 层，负端放置在 L19 层。单击 “OK” 按钮完成电压探针的放置，如图 6. 7. 6 所示。

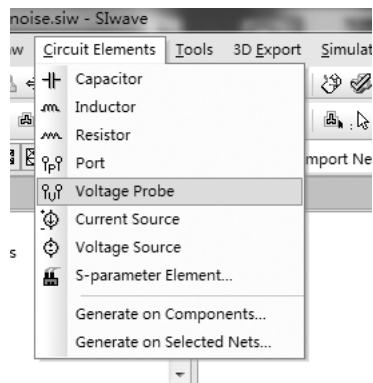


图 6. 7. 5 选择电压探针

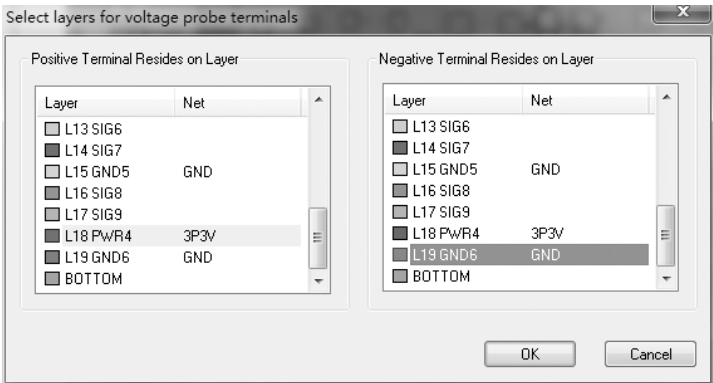


图 6. 7. 6 电压探针的层的选择

③ 单击 “OK” 按钮在弹出的对话框中可以设置所放置的探针参数，如图 6. 7. 7 所示。

④ 以同样的方法在 PCB 的 4 个顶角处放置电压探针，如图 6. 7. 8 所示。

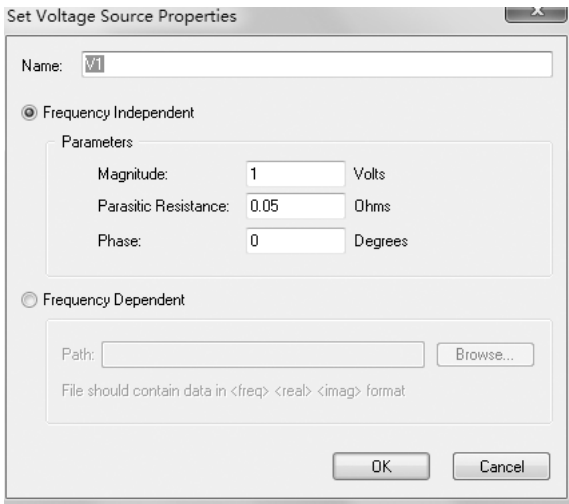


图 6. 7. 7 设置探针参数

V1	550mil	220mil
V2	9500	220
V3	9500	7250
V4	550	7250

图 6. 7. 8 放置电压探针的位置坐标

(4) 运行电压扫频分析

① 选择 “Simulation” → “Compute Frequency Sweep”，设置仿真的起始频率、终止频率及采样点数，主要仿真的是 L18 电源层与 L19 地层之间的电压波动，如下图 6. 7. 9 所示。

② 单击 “OK” 按钮开始运行仿真。

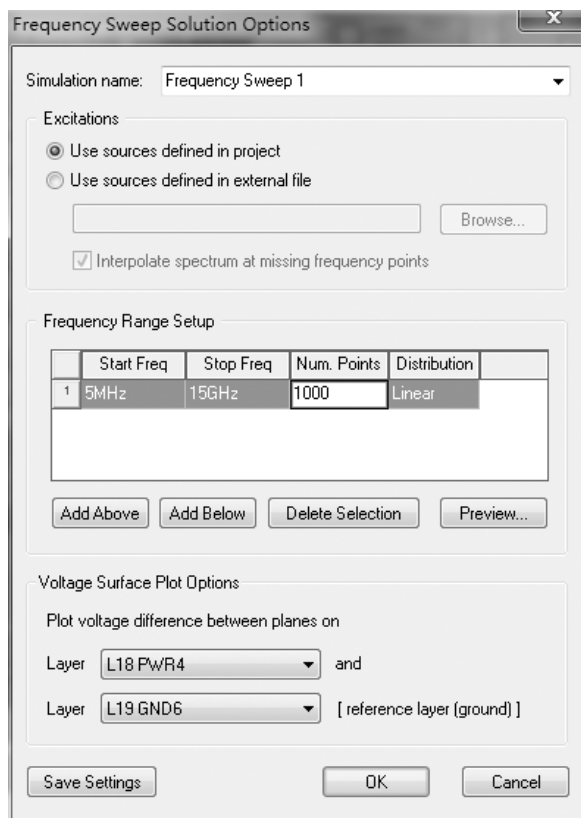


图 6.7.9 仿真参数设定

(5) 绘制探针处电压。单击“Results”→“Frequency Sweep”→“Frequency Sweep1”→“Plot Probe Voltages”，选择“Create Plot”，创建仿真报告。

(6) 绘制电压曲线。在 SIwave Report 中查看探针电压和频率的关系曲线，如图 6.7.10 所示。

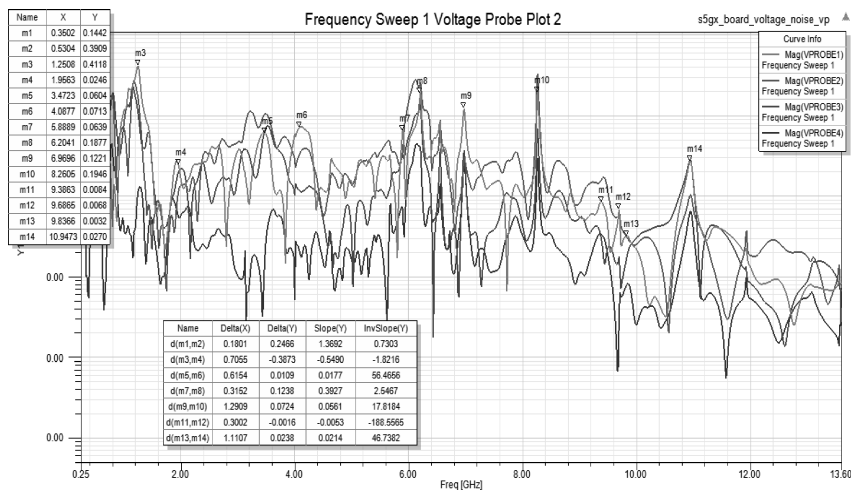


图 6.7.10 仿真结果

【注意】可以通过选择“View”→“Active View Visibility”，或者双击仿真结果来改变X轴、Y轴的显示方式，或者控制图形中的Legend或曲线是否可见。

6.8 直流压降分析

在PCB设计中，由于存在大量的平面层分割、不理想的电流路径、过孔和印制电路板上的信号线分布，电源配送网络（PDN）的直流供电会受到很大的影响。并且在工程实践中，一直存在一个误区，认为直流压降只关注那些电流较大的网络，可以忽略一些电流很小的网络。事实上，那些细长的网络由于具有较高的直流电阻，即使流过的电流很小，但也可能产生直流压降的问题。

于此同时，在网络中串联的无源器件，如电阻、电感及过孔产生的压降，也不可忽视，所以选择直流压降较低的无源器件及对于电流较大的网络，增加过孔数量也是必须要考虑的。由于布线资源的限制，在很多场合下简单地通过增加PCB走线和平面无法满足直流压降要求，这时必须通过对电源实施远端补偿，抬高供电电压来满足芯片的直流压降要求。

为了仿真该PCB的0.85V电源平面上的电压降，我们在该电源平面的VRM模块和FPGA控制器之间分别加入一个电压源和电流沉（current sink）。选择“Simulation”→“Compute DC Current”→“Voltage”，设置软件为自适应网格切分（Perform Adaptive Mesh Refinement），开始进行仿真。

1. 层叠检查

单击Edit下的“LayerStack”，打开层叠窗口进行层叠检查，如图6.8.1所示。

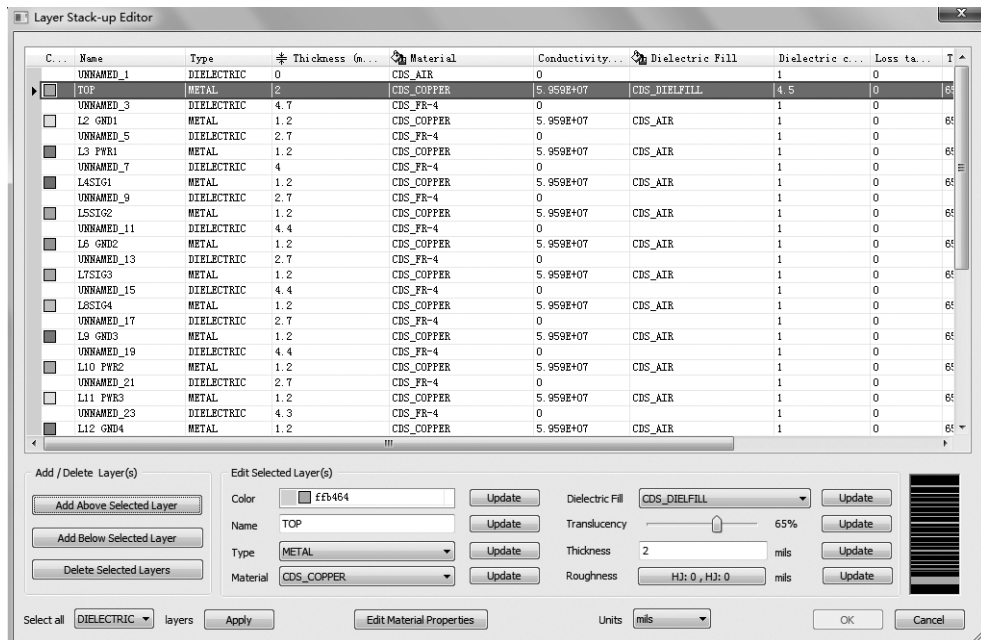


图 6.8.1 层叠检查

2. 检查电路元件

单击 Edit 下的 “CircuitElementParameters”，打开检查电路元器件窗口，如图 6.8.2 所示。

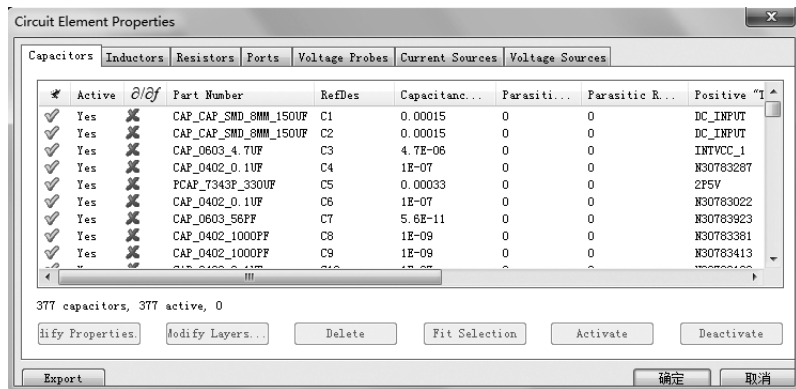


图 6.8.2 电路元器件检查

3. 电压源的产生

为了进行 DCIR drop 仿真，必须定义电压源和电流沉，我们一般把它们放置在 VRM 处和 IC 元器件处。下面主要讲述手动放置电压源和电流沉的过程。

(1) 在 IC 上的 0.85V 电源引脚上放置电流源。选择 “Circuit Elements” → “Generate on Components”，出现电路元素创建对话框，如图 6.8.3 所示。

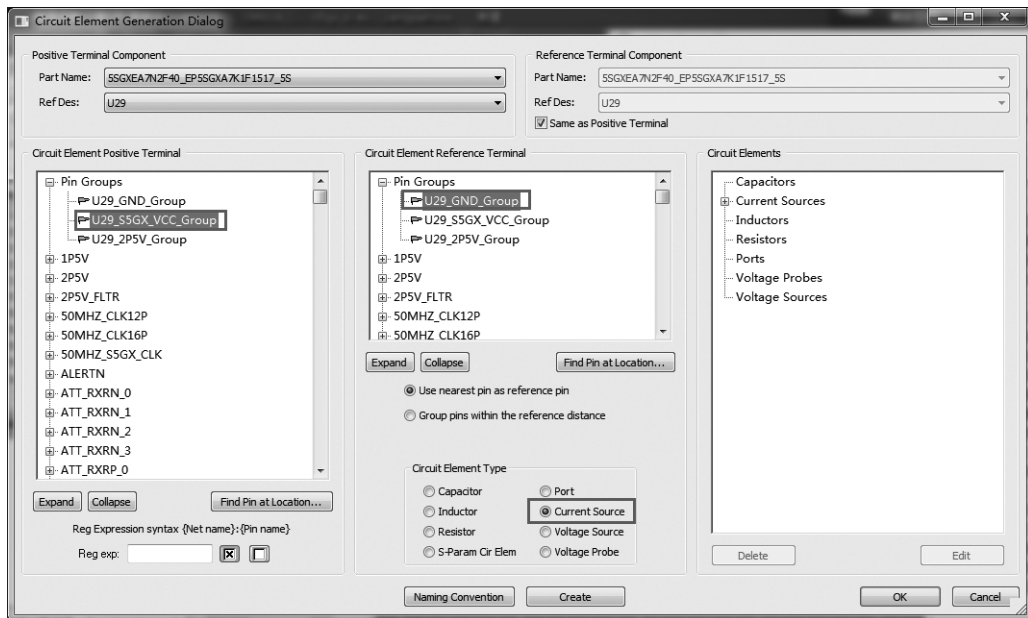


图 6.8.3 创建电流源

(2) 选择电流源芯片的 “Part Name”、“Ref Des”，设置 Circuit Elements Type 为 Current Source。

(3) 单击“Create”按钮创建 Current Source。

(4) 在 Set Current Source Properties (属性设置窗口) 中编辑电流源的属性。

☺ 频率源的选择。SIwave 可以使用外部导入的源,也可以使用期自带的源,本次使用期自带的源。

☺ 设置独立源的幅值、寄生电阻及相位参数。本次使用的均为其软件默认的参数值。

☺ 单击“OK”按钮,完成创建,如图 6.8.4 所示。

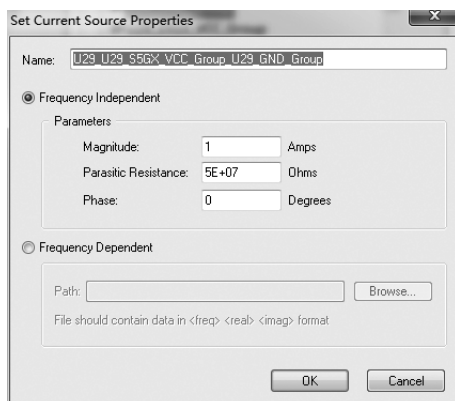


图 6.8.4 设置电流源属性

4. 电压源的产生

(1) 改变 0.85V 电源网络的颜色,为了便于手动放置,我们将其改变为红色。选择“Nets Tab/S5GX_VCC”→“Rt click/Change Net Color/Red”。

(2) 改变 GND 网络的颜色为蓝色。选择“Nets Tab/GND”→“Rt click”→“Change Net Color/Red”。

(3) 选择“Veiw”→“Top - Down View”,返回到顶层视图。

(4) 选择“Circuit Elements”→“Voltage Source”,放置电压源。本次选择放置的位置如图 6.8.5 所示,红色的部分为 0.85V 电源网络,蓝色的为 GND 网络。

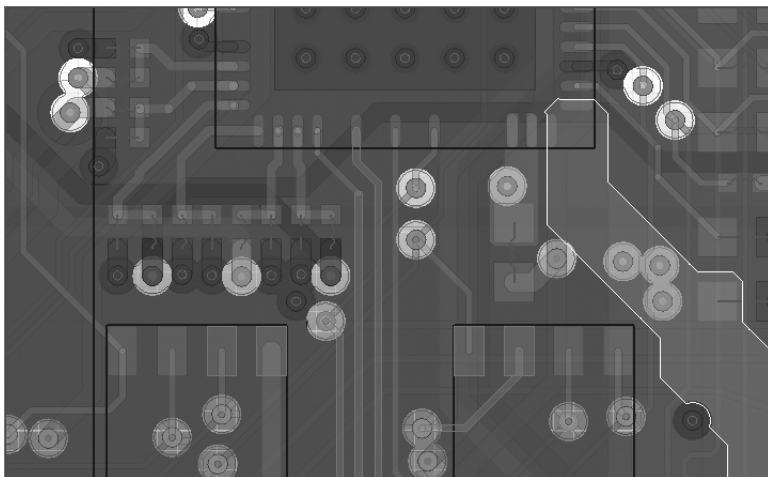


图 6.8.5 高亮显示电源和地

☺ 单击红色焊盘放置电压源的正端,单击蓝色焊盘放置电压源的负端,正端层选择 TOP,负端层放置在第二层的 GND,单击“OK”按钮,如图 6.8.6 所示。

☺ 设置电压源的属性。选择“Frequency Independent”,设置好电压源的幅值、寄生电阻及相位。单击“OK”按钮完成整个电压源的放置,如图 6.8.7 所示。

☺ 单击“Edit”→“Circuit Elements Parameters”,可以查看所添加的电压源,如图 6.8.8 所示。

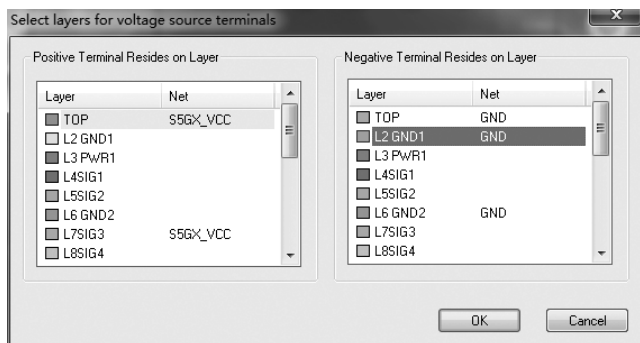


图 6.8.6 放置 Port

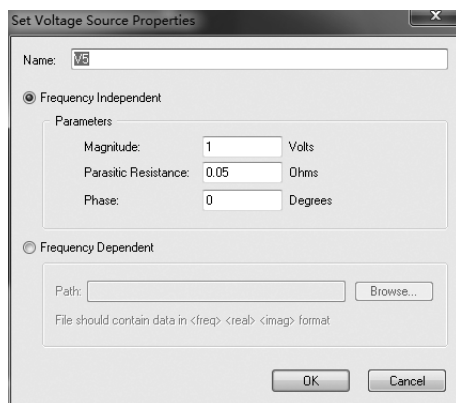


图 6.8.7 设置电压源

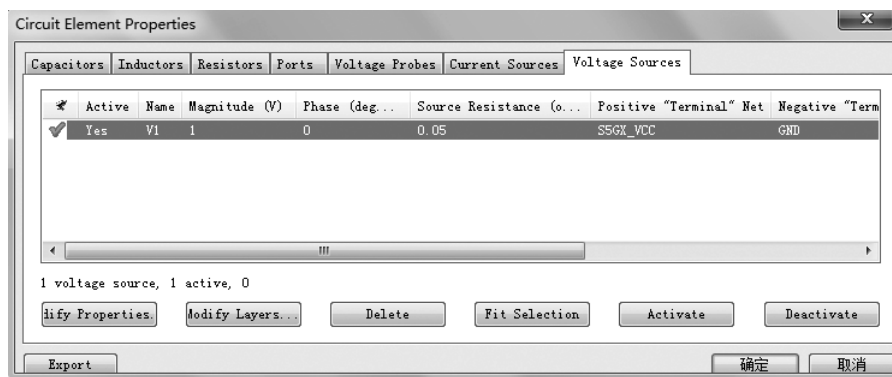


图 6.8.8 查看电压源属性

5. 仿真和网格剖分

选择 “Simulation” → “Compute DC Current” → “Voltage”，设置如图 6.8.9 所示。

☉ Compute DC Current and Voltage 用来定义 mesh。

☉ 选中 “Mesh Vias” 复选框。

☉ 选中 “Perform Adaptive Mesh Refinement”（进行自适应网格划分）。我们一般选取 1~5 次以减少网格剖分时间。通常 3 次，若次数取 8~10，结果虽然会比较准确，但是网格剖分过快会降低其局部的准确度。

☉ 将 VRM 负端定义为地平面，将 V5 的 Node to Ground 项改为 Negative。

☉ 可以选中 “Export Power Dissipation in Icepak format”，这样仿真的输出文件（OUT 文件）可以导入 Icepak 中进行热学分析。

6. 结果与分析

(1) 单击 “Results” → “DC IR DROP” → “DC IR SIM1” → “Currents/Voltages”，直流的 IR Drop 仿真结果如图 6.8.10 所示，当同时选中电压和电流，不会显示刻度，只有分开来看时，刻度范围才会出现。

(2) 只是绘制 0.85V 电源层的电压分布时，其他所有方框内的勾选取消，并勾选 “V”

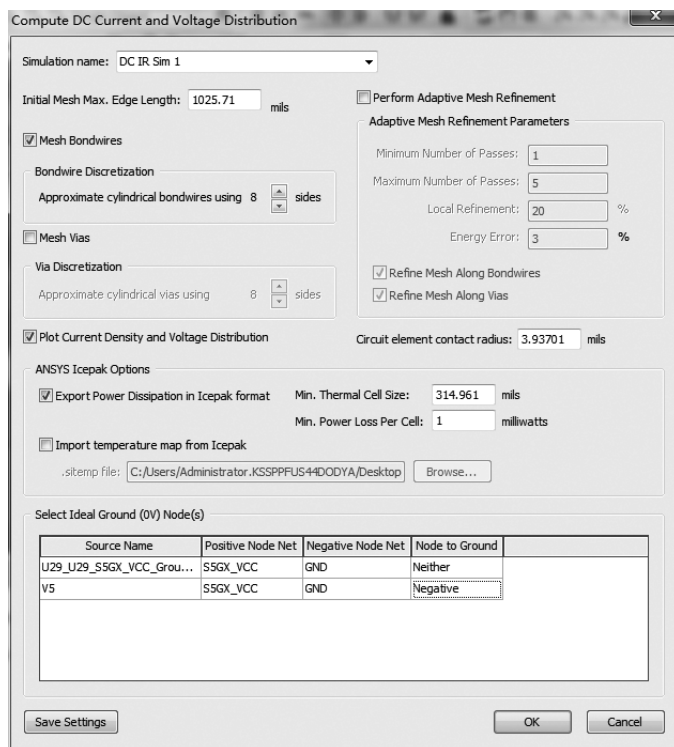


图 6.8.9 仿真设置

下的复选框，电压颜色的范围用户可以自定义。将鼠标悬停在板上的某个位置时，光标会显示该位置处的电压值。

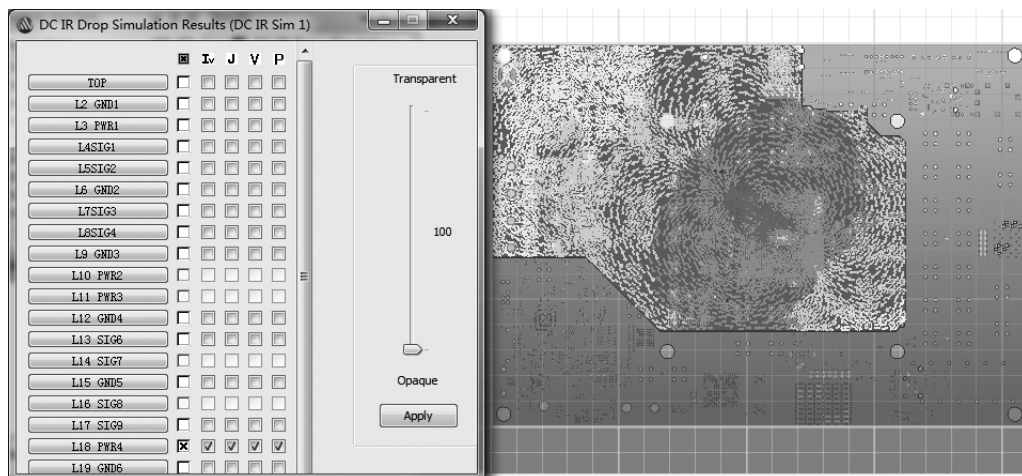


图 6.8.10 显示 L18 层的所有参数

(3) 在 DC IR Drop Simulation Results 框中，选择 VCC 层的“J”栏的复选框，“J”即为电流密度 (Current Density)，仅仅勾选第 18 层“J”下的复选框，双击“Scale”，出现 Scale 颜色编辑窗口，这里可以自定义颜色显示的最大值和最小值，也可以设置数据的呈现方式，本次以 Log 形式显示，如图 6.8.11 所示。鼠标悬停在 PCB 上的某处即可显示该点

处的电流密度 (A/m^2), 如图 6.8.12 所示。

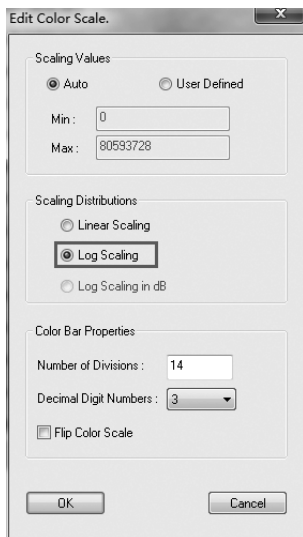


图 6.8.11 调整显示方式为对数显示

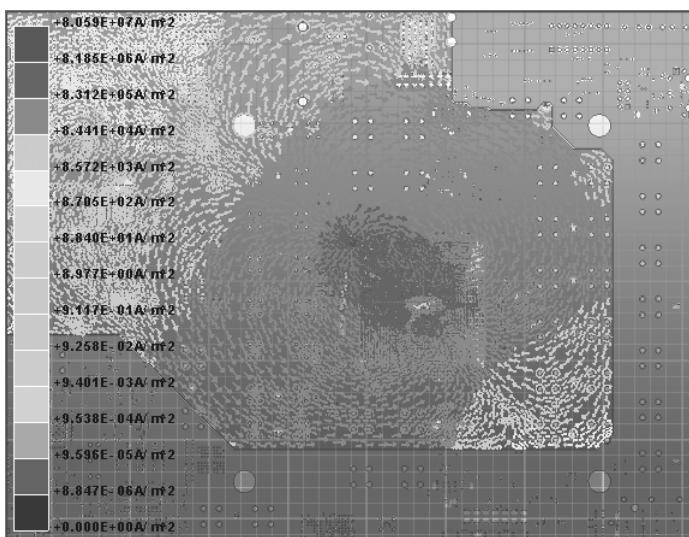


图 6.8.12 对数显示的电流密度仿真结果

(4) 选择 “Results” → “DC IR Drop” → “DC IR SIM1” → “Elements Data”, 可以得到详细的电压电流分布, 如图 6.8.13 所示, 也可以同时给出电流密度、电压分布, 以及每一个过孔处的电流、电阻、电压降, 可以基于默认的电流量限制和用户设置的电流设置给出每一个过孔处的 Pass 或 Fail, 可以用来判定电荷迁移是否会引起可靠性问题。

Via	Net	x (mils)	y (mils)	Current / A	Limit / A	Pass / Fail
Via 0 (TOP-L...	GND	6.1223+03	1.3500+03	-1.496825578455e-04	? 641732232276e+00	Pass
Via 0 (L2 GW...	GND	6.1223+03	1.3500+03	-7.033112905216e-05	? 641732232276e+00	Pass
Via 0 (L6 GW...	GND	6.1223+03	1.3500+03	-2.925825524287e-05	? 641732232276e+00	Pass
Via 0 (L9 GW...	GND	6.1223+03	1.3500+03	-1.466526064512e-05	? 641732232276e+00	Pass
Via 0 (L12 G...	GND	6.1223+03	1.3500+03	-5.331349065897e-06	? 641732232276e+00	Pass
Via 0 (L15 G...	GND	6.1223+03	1.3500+03	-1.507967558767e-06	? 641732232276e+00	Pass
Via 0 (L19 G...	GND	6.1223+03	1.3500+03	0.000000000000e+00	? 641732232276e+00	Pass
Via 1 (TOP-L...	GND	6.0490+03	1.3490+03	3.247635298836e-04	? 641732232276e+00	Pass
Via 1 (L2 GW...	GND	6.0490+03	1.3490+03	1.444874801240e-04	? 641732232276e+00	Pass
Via 1 (L6 GW...	GND	6.0490+03	1.3490+03	6.073501087319e-05	? 641732232276e+00	Pass
Via 1 (L9 GW...	GND	6.0490+03	1.3490+03	3.281965436423e-05	? 641732232276e+00	Pass
Via 1 (L12 G...	GND	6.0490+03	1.3490+03	1.507661996169e-05	? 641732232276e+00	Pass
Via 1 (L15 G...	GND	6.0490+03	1.3490+03	5.985086976984e-06	? 641732232276e+00	Pass
Via 1 (L19 G...	GND	6.0490+03	1.3490+03	0.000000000000e+00	? 641732232276e+00	Pass

图 6.8.13 查看 Element Data

6.9 串行通道的 SSN 分析

同步开关噪声 (Simultaneous Switch Noise, SSN) 是指当器件处于开关状态, 产生瞬间变化的电流 (di/dt), 在经过回流途径上存在的电感时, 形成交流压降, 从而引起噪声, 所以也称为 Δi 噪声。如果是由于封装电感而引起地平面的波动, 造成芯片地和系统地不一致, 这种现象我们称为地弹 (Ground Bounce)。同样, 如果是由于封装电感引起的芯片和系统电

源差异,就称为电源反弹 (Power Bounce)。严格地说,同步开关噪声并不完全是电源的问题,它对电源完整性产生的影响最主要表现为地/电源反弹现象。

同步开关噪声主要是伴随着器件的同步开关输出 (Simultaneous Switch Output, SSO) 而产生,开关速度越快,瞬间电流变化越显著,电流回路上的电感越大,则产生的 SSN 越严重,其基本公式为 $VSSN = N \times L_{loop} \times (dI/dt)$, 其中, I 指单个开关输出的电流, N 是同时开关的驱动端数目, L_{loop} 为整个回流路径上的电感,而 $VSSN$ 就是同步开关噪声的大小。这个基本公式看起来简单,但真正分析起来却不是那么容易,因为不但要对电路进行合理建模,还要判断各种可能的回流路径,以及分析不同的工作状态。总的来说,对于同步开关噪声的研究是一个比较复杂的工程,这里也只是对其基本原理做一个概括性的阐述。此外,如果考虑更广一点,除了信号本身回流路径的电感之外,离得很近的信号互连引线之间的串扰也是加剧同步开关噪声的原因之一。

在 Ansys 中提取 SSN 参数,首先必须提取含有电源波动信息的 S 参数,然后在 Designer 中搭建仿真电路,完成时域中的 SSN 分析。

第一步,仿真前准备工作:在 SIwave 中打开电路板文件,检查叠层等信息。

(1) 打开 SIwave,选择 PCB 文件并打开,如图 6.9.1 所示。

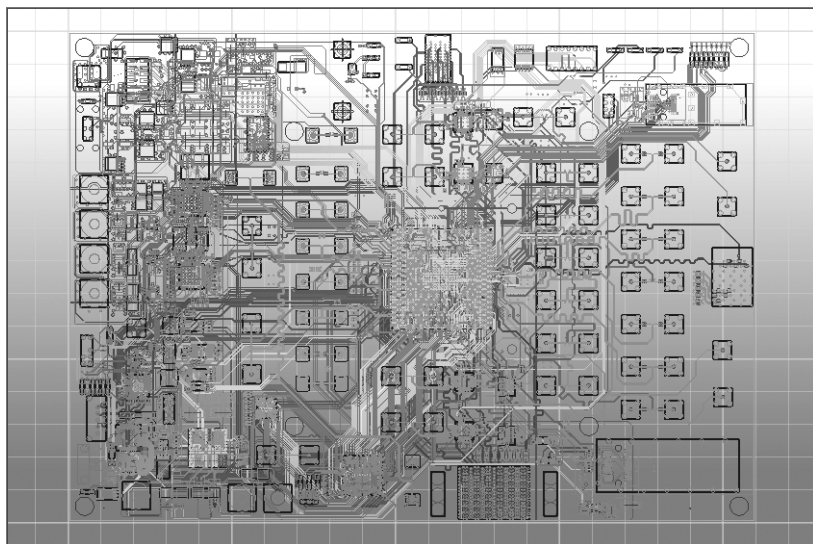


图 6.9.1 打开的 PCB 文件

(2) 设置全局选项:选择“Simulation”→“Options”,并如图 6.9.2 所示进行设置。注意,这些都是默认的仿真设置。

(3) 确认检查。

在用 SIwave 首次打开任何设计文件时,最好先做一次确认检查:主要检查自相交多边形、未连接的节点、重叠节点及带重复过孔的节点。选择“Tools”→“Validation Check”,单击“OK”按钮,开始确认检查。本仿真中没有布局布线和相关问题,单击“OK”按钮。

第二步,选择信号网络和电源网络:因为考虑 SFP + 差分线的 U29 供电引脚可能会受到其周围 7 对同样速率的串行通道的影响,所以选择 7 对差分串行通道,来查看当其同时工作进行时对电源引脚的影响。

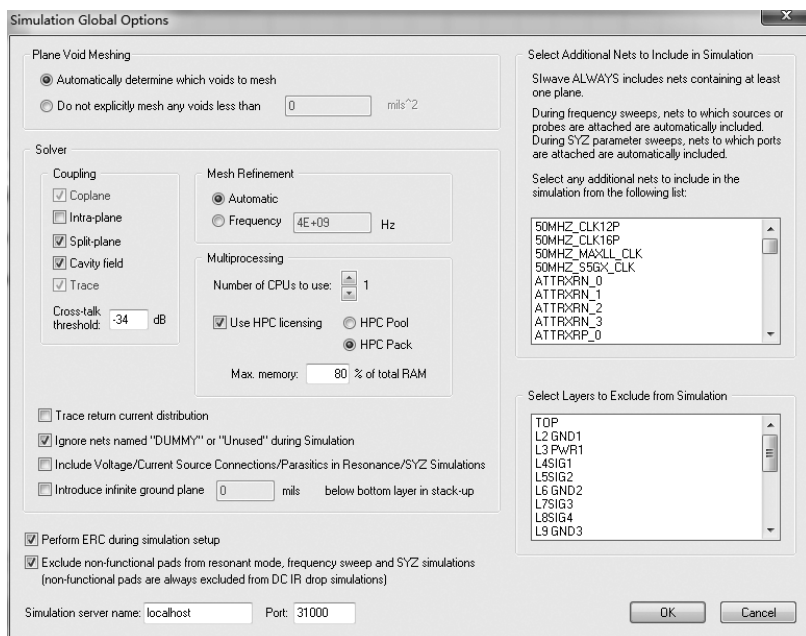


图 6.9.2 仿真全局选项设置

1. 搜索原件和引脚名

此次仿真中需要选择目标对象 SFP + 差分通道和周围 7 对差分通道，找到芯片对应的引脚并为其创建端口。单击“Nets”按钮，选中 SFP + 信号网络 GXB_TXLN_18 和 GXB_TXLP_18，以及其余的 7 对差分通道，如图 6.9.3 所示。

2. 自动端口生成

(1) 单击“Circuit Elements”→“Generate on Selected Nets”，选中刚才选择的网络，单击“Generate”按钮，在选择的线上创建端口，如图 6.9.4 所示

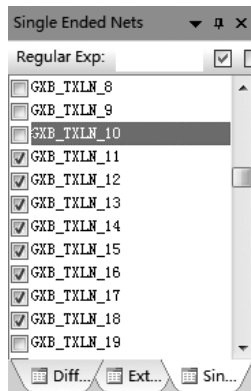


图 6.9.3 选择差分信号网络

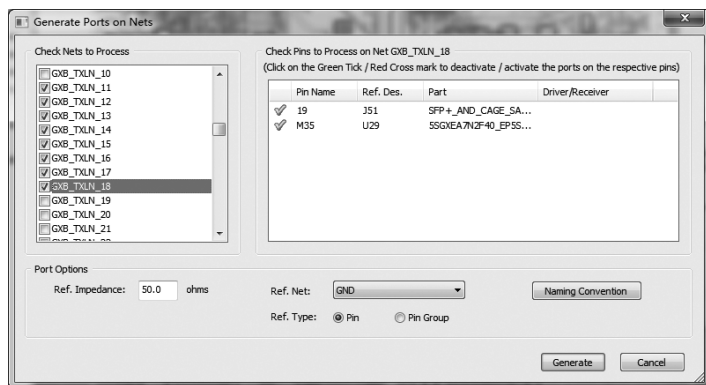


图 6.9.4 自动端口生成

(2) 在主菜单 Component 窗口中查看自动生成的端口，如图 6.9.5 所示。

(3) 选择“Tools”→“Pin Group Manager...”，如图 6.9.6 所示。

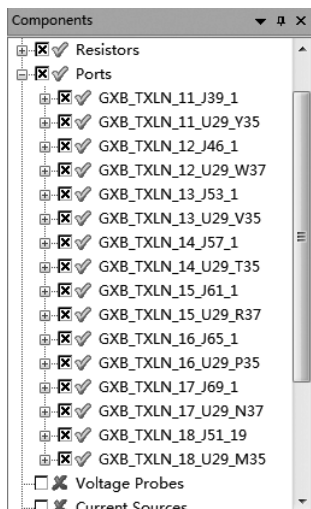


图 6.9.5 Component 中查看 Port

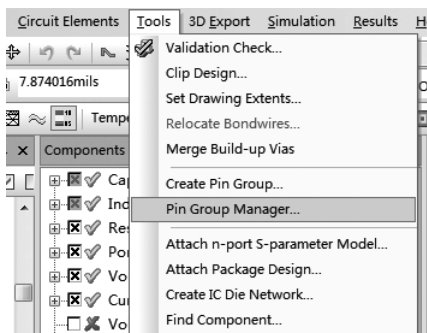


图 6.9.6 选择引脚管理器

(4) 在引脚管理器中选择 U29 芯片，并对 S5GX_VCC 电源的引脚进行分组，选择所有引脚，如图 6.9.7 所示。

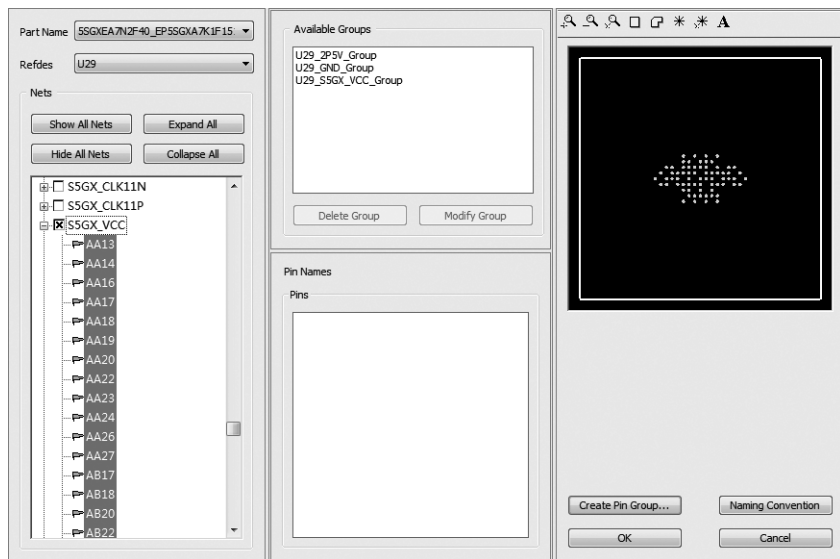


图 6.9.7 选择所有引脚对话框

(5) 然后单击“Gnerate Pin Group”按钮，得到如图 6.9.8 所示对话框，单击“OK”按钮。

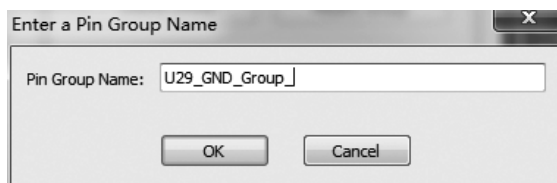


图 6.9.8 端口生成属性对话框

(6) 同理，选择 GND 的所有引脚，如图 6.9.9 所示。

(7) 得到最终创建的引脚组，如图 6.9.10 所示。

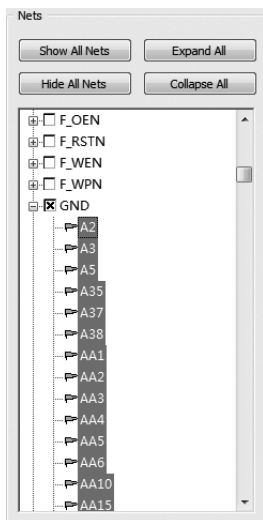


图 6.9.9 选择地引脚

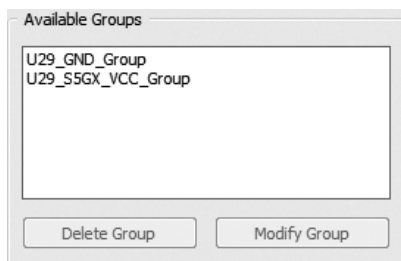


图 6.9.10 创建的端口

(8) 单击“Circuit Elements”，选择“Generate on Components”，选择 U29 芯片，在 Circuit Elements Positive Terminal 选择“U29_S5GX_VCC_Group”，在 Circuit Elements Negative Terminal 选择“U29_GND_Group”，Circuit Elements Type 选择“Port”，如图 6.9.11 所示，为电源引脚创建端口。

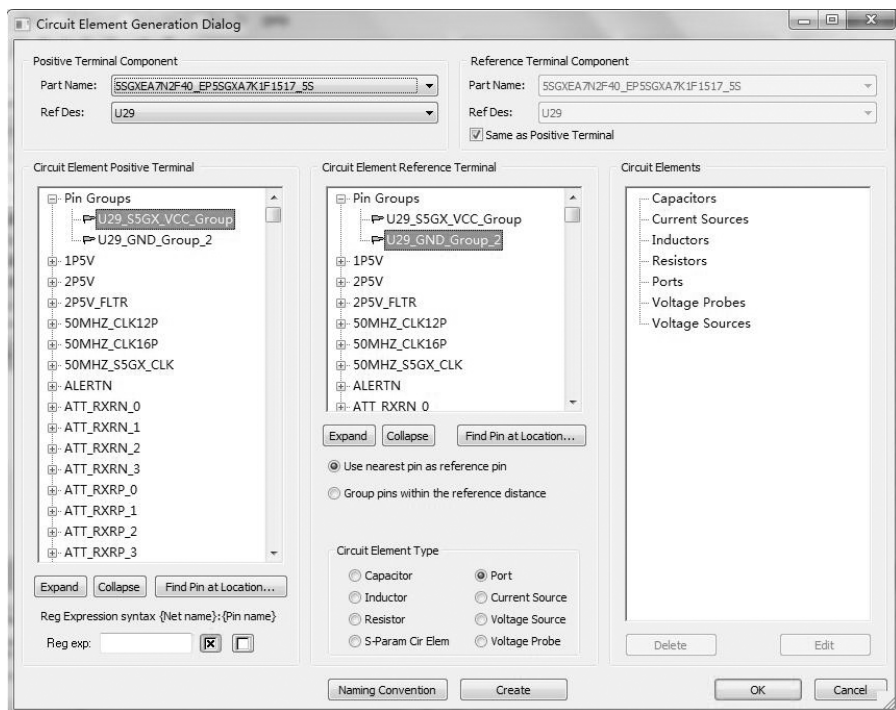


图 6.9.11 创建端口设置

(9) 在主界面窗口 Component 中查看新创建的端口，如图 6.9.12 所示。

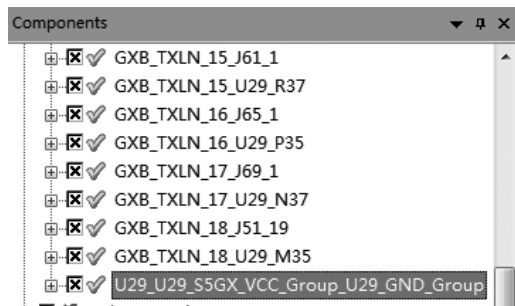


图 6.9.12 Component 中查看 Port

3. 为 VRM 电压调节模块创建端口

在板子边缘处需要创建一个连接外接电源的端口。放大版图的左上角，我们将在 0.85V 电源层与地层中间创建 VRM，单击“Circuit Elements”→“Port”，单击板子左上角的空白处，双击得到如图 6.9.13 所示对话框，选择电源和地。

得到的 VRM 属性对话框如图 6.9.14 所示，单击“OK”按钮。

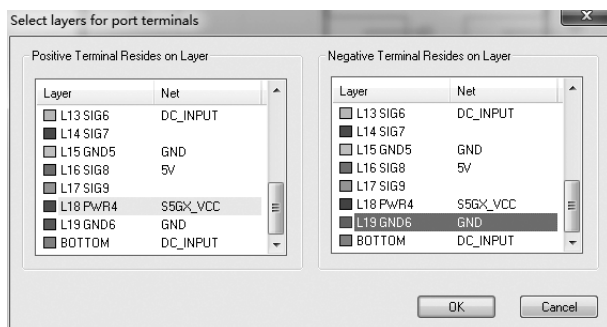


图 6.9.13 选择端口的参考电源和地

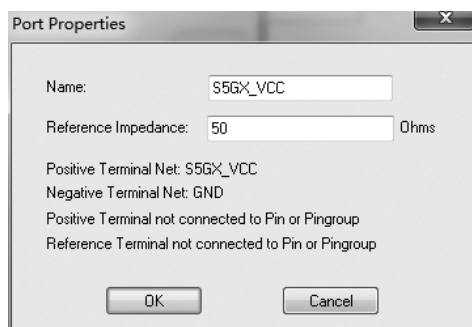


图 6.9.14 生成端口属性设置

4. 端口验证

验证生成的所有端口是否正确，选择“Edit”→“Circuit Element Parameter”，选择 Ports 标签，如图 6.9.15 所示。

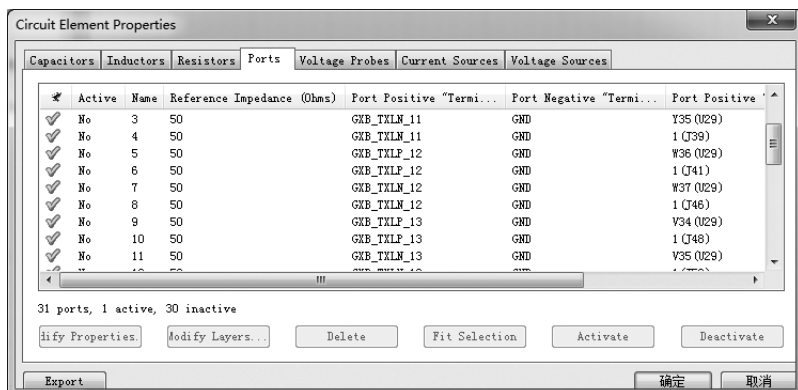


图 6.9.15 端口验证

5. 保存文件

选择“File”→“Save as”，保存 SIwave 项目。

6. 计算 S 参数

为导出全波 SPICE，我们将扫描到 15GHz，选择“Simulation”→“Compute S - , Y - , Z - Parameter”，如图 6.9.16 所示，进行设置。

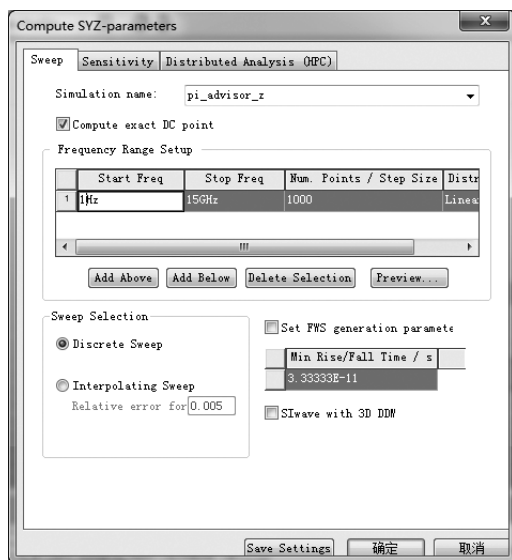


图 6.9.16 仿真设置

7. 查看仿真进度

查看仿真进度情况，在主菜单 Process Monitor 中可以查看仿真进度，如图 6.9.17 所示。

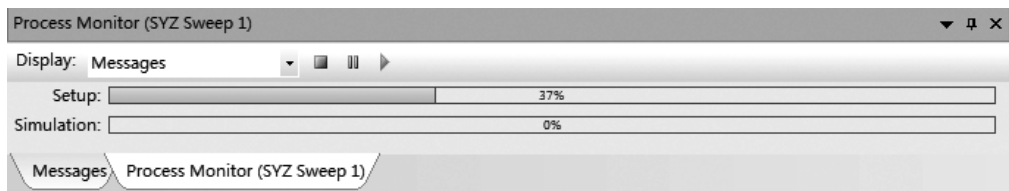


图 6.9.17 仿真进度

8. 查看参数

选择“Results”→“SYZ”→“SYZ Sweep1”，打开报告查看 S 参数，如图 6.9.18 所示即为提取的多通道的 S 参数，接着进行保存，为后续 SSN 仿真电路的建立做准备。

下面将在 Designer 中进行 SSN 的仿真电路建模，从而观测 FPGA 芯片电源引脚上的电源噪声，仿真流程如下。

(1) 打开 Designer 软件，新建一个工程。

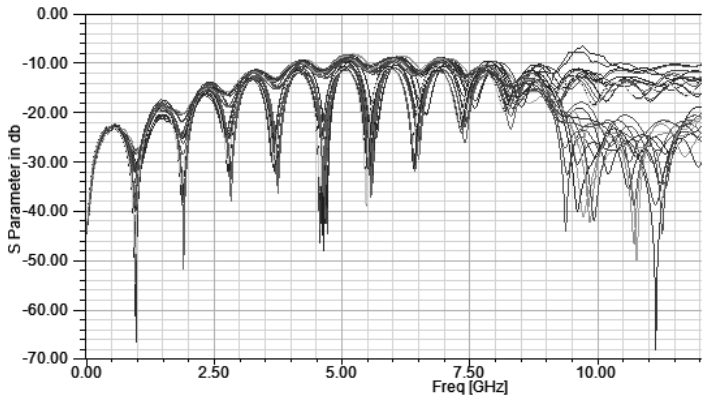


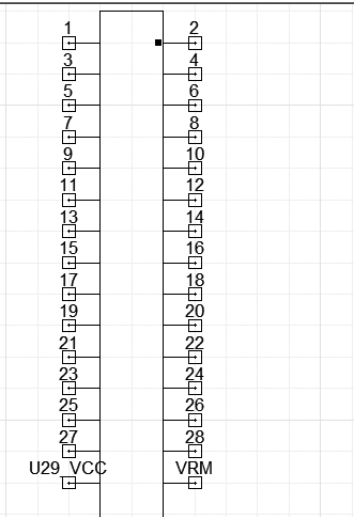
图 6.9.18 提取的通道 S 参数

(2) 导入通道的 S 参数文件。

① 选择 “Tools” → “Import SPICE Components”，选择在 SIwave 中生成的 S 参数文件 (s * p)，打开文件。

② 在 Project Manager 中单击刚才导入的 S 参数文件，并放到原理图中，在原理图中右击并选择 “Finish”，结束放置。

③ 在 Project Manager 中展开 Definitions – Symbols，双击 S 参数文件，打开编辑器界面，单击引脚拖曳到合适的位置，并得到合适的尺寸，如图 6.9.19 所示。



(3) 添加驱动电路

① 导入 IBIS 模型：驱动器。

② 选择 “Tools” → “Import IBIS Components”，在相应路径下找到 ibs 模型并打开。在 Import IBIS 窗口中，单击 “Buffer Import” → “Deselect All”。

③ 放置驱动器元器件：在 Project Manager 中展开 Definition – Components，单击 ibs 模型并放置到原理图中，右击并选择 “Finish”，如图 6.9.20 所示

④ 编辑元件属性：双击该 IBISbuffer 驱动器元件以编辑其属性，在 Project 窗口中，设置 power（是否使用内部供电电源）为 “off”，从而可以为该驱动器加入外部供电电源，如图 6.9.21 所示。

图 6.9.19 导入的 S 参数文件

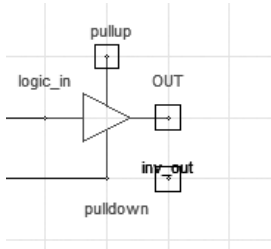


图 6.9.20 驱动器元器件

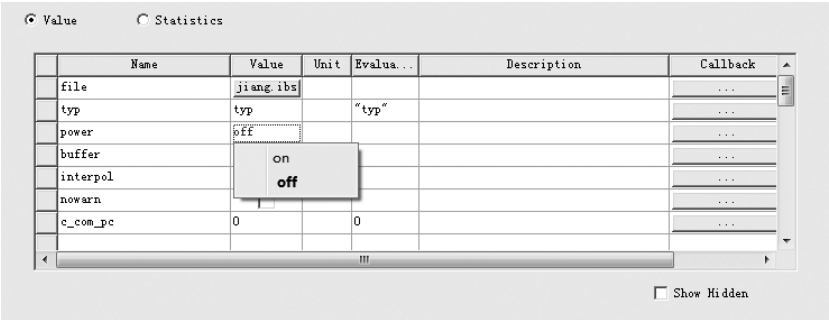


图 6.9.21 驱动器使用外部电源设置

⑤ 在 Project Manager 中, 单击底部的“Components”项以显示通用元器件列表。为了完成驱动器电路, 须加入随机码源, 在 Nexxim Circuit Elements – Independent Source – V_PRBS 目录下, 单击并拖曳 V_PRBS 元器件到原理图中, 放置元器件, 右击并选择“Finish”, 如图 6.9.22 所示。

(4) 添加接收电路: 接收电路的建立方式与驱动电路相同, 最后将驱动器进行复制粘贴, 在添加终端匹配电阻得到驱动接收电路。

(5) 添加电压源、地及页连接符。

添加页连接符, 选择“Draw”→“Page Connector”, 将一个页连接符号与原理图中每一个引脚相连, 如图 6.9.23 所示。

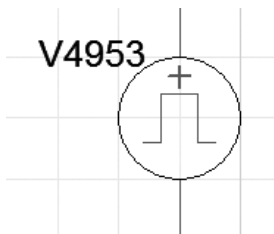


图 6.9.22 加入随机码源

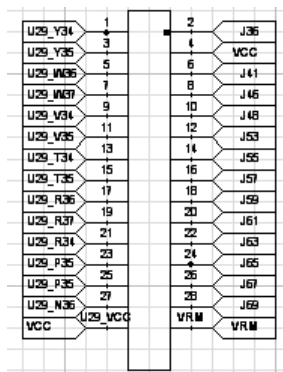


图 6.9.23 添加页连接符

(6) 连接电路: 将电路原理图中的元器件连接, 如图 6.9.24 所示。

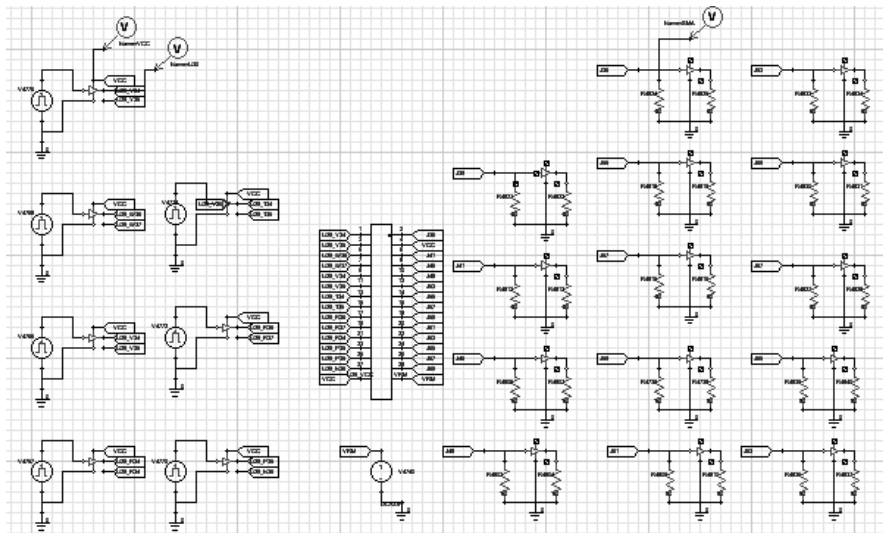


图 6.9.24 SSN 仿真电路

在建立的仿真电路中, 驱动器中的电源供电有内部供电和外部供电两种, 选择内部供电即相当于添加了理想电源, 外部供电即使用驱动器从芯片吸取电流, 即实际电源。所以为了观察在实际电源的波形, 在驱动器中设置为外部供电, 即可对 FPGA 芯片的 0.85V 电源进行仿真。

通过查看电路, 发现设计好的电路板上已经添加很多去耦电容, 如图 6.9.25 所示, 为

了对它进行研究,首先使板上的去耦电容全部失活,即使其全部失效,这种条件下提取FPGA0.85V电源引脚的阻抗曲线如图6.9.26所示,可见完全不符合目标阻抗的要求,在限制线以上。这种情况下,极有可能对电源产生极大的噪声。

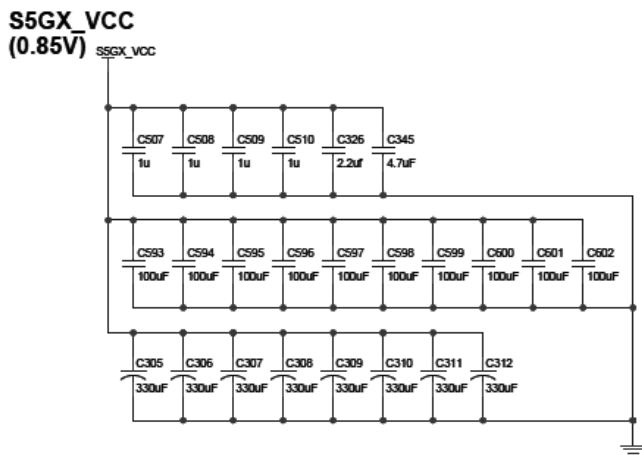


图 6.9.25 去耦电容

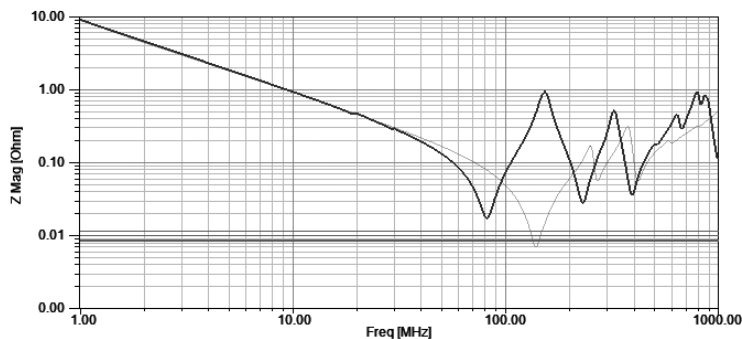


图 6.9.26 优化前的阻抗曲线

接着对上述电路运行仿真,通过查看一条信号线和电源VCC的波形图可以看到,如图6.9.27所示,在信号切换的同时电源上产生了波动。如图6.9.28所示为详细的电源VCC波形图,可见电源VCC波动最大为0.35V,已经明显超过10%的电压波动范围,即为电源噪声。原因是这里所使用的S参数和电源是没有添加去耦电容的模型。在之前的阻抗曲线中能体现出来,阻抗值已经明显超过目标阻抗,最终在电压的时域上产生很大波动,这种情况下器件是无法工作的,这也证实了之前的猜测。

因为开发板自身设计就是性能很好的板子,板子上的去耦电容很多,将其全部失效后,减少了电流的回流路径,必然会产生大的电源噪声。基于对板子性能的验证,将去耦电容再次激活,即恢复原有的电路结构,重新进行SYZ仿真,得到的阻抗曲线如图6.9.29所示,可见在截止频率范围内,满足了目标阻抗的要求,而且在截止频率以外的部分虽然还有谐振点,但是阻抗值和之前的相比已经小了很多。重新提取S参数进行电路仿真的电源波形图,如图6.9.30和图6.9.31所示,可以明显看到芯片的引脚电压比较平稳,且基本满足 $0.85 \times (1 \pm 5\%)$ V的要求。同样证明,将电源阻抗控制在目标阻抗以下是非常有必要的,减小电源阻抗能够显著减

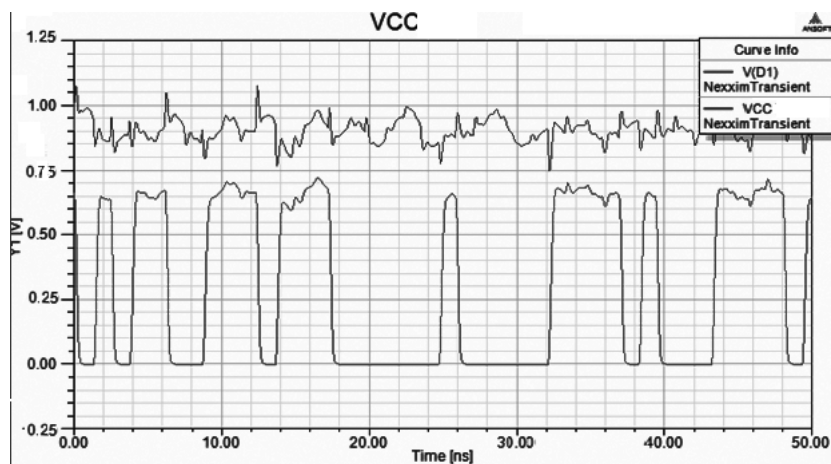


图 6.9.27 优化前的电源随信号变化的曲线

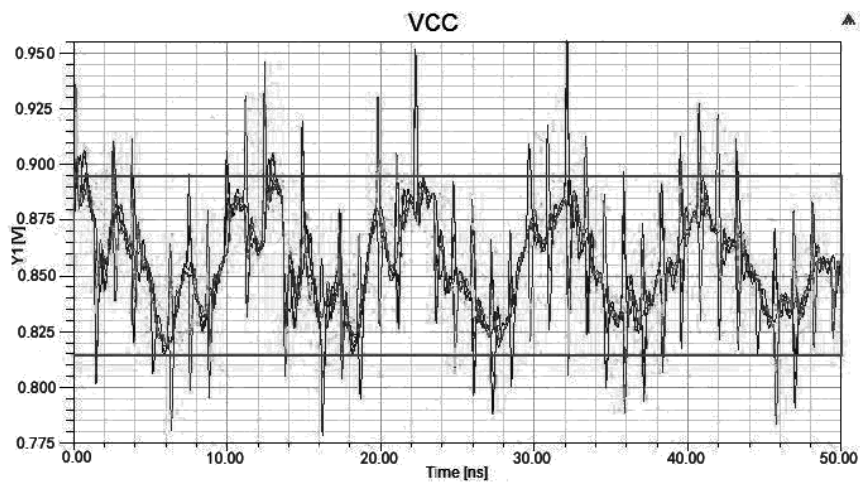


图 6.9.28 优化前电源的波动曲线

小电源噪声，将电压波动控制在允许波动范围内，这也说明此电路板电容设置是合理的。电源噪声能够控制在一定范围里进一步验证了前面信号完整性的仿真合理性。

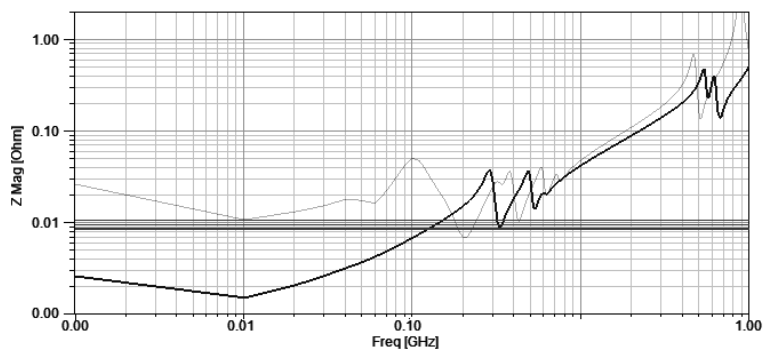


图 6.9.29 优化后的阻抗曲线

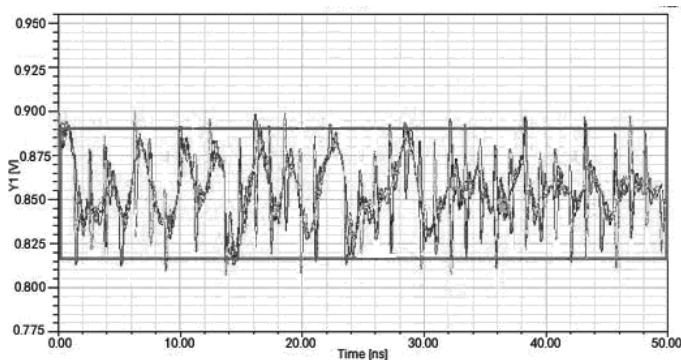


图 6.9.30 优化后的电源波动曲线

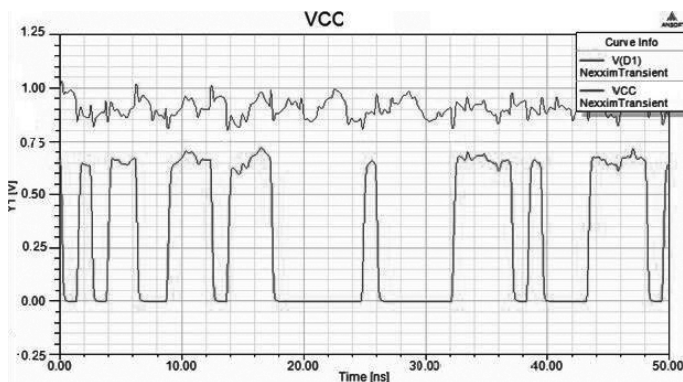


图 6.9.31 优化后的电源随信号的波动曲线

6.10 DDR3 的同步开关噪声分析

同步开关噪声 (Simultaneous Switching Noise, SSN) 是当前高速数字系统中的一个非常严重的问题,随着 I/O 的数目越来越多,开关的速度越来越快,芯片电压越来越低,这种噪声的影响也越来越显著。地弹和电源反弹都是该噪声的一种。下面通过 ANSYS 工具仿真的方法,以“Stratix IV GX Development Kit”为例进行 DDR3 的 SSN 分析。

6.10.1 “Stratix IV GX FPGA Development Board”电路板简介

本次所用到的评估板为 Altera 公司的“Stratix IV GX FPGA Development Board”开发板,它集成了 DDR3、QDRII 等并行接口,也包括了 PCIE、HDMI 等串行接口,其结构如图 6.10.1 所示。

电路板上的 4 片 DDR3 组成一个 64 位的存储模块,其中使用的 FPGA 芯片为 EP4SGX230KF40,DDR3 芯片为 MT41J64M16JT,单片容量为 512MB。DDR3 电路模块结构如图 6.10.2 所示。该评估板的四片 DDR3 存储器都采用菊花链式结构来进行地址线布线,然后接终端匹配电阻;数据选通信号使用的是差分走线,数据线采用简单直观的点对点拓扑结构。FPGA 芯片通过控制、命令线来实现对每个芯片的控制,这样的芯片共有 4 个,并行组成了一个 64 位的存储系统。

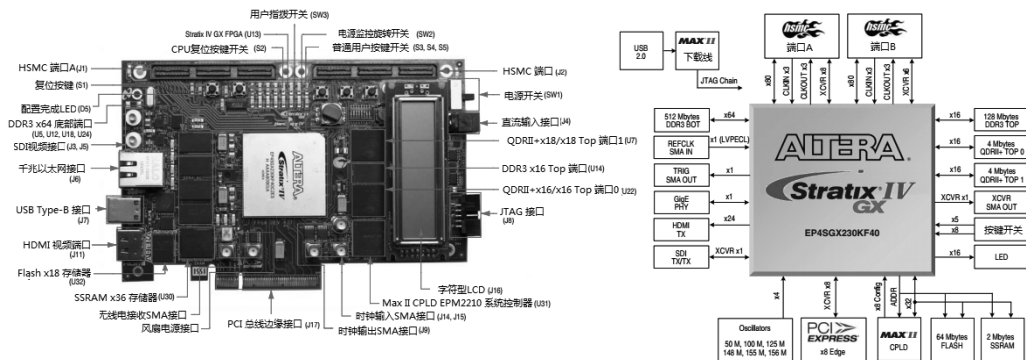


图 6.10.1 Stratix IV GX FPGA Development Board 结构

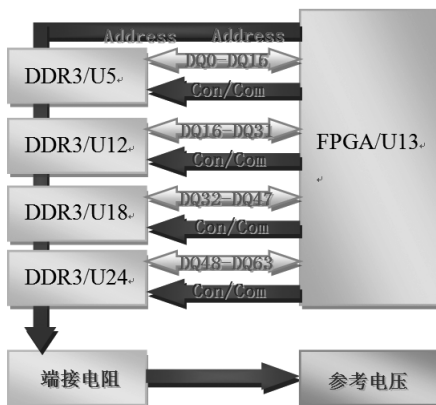


图 6.10.2 DDR3 电路模块结构

6.10.2 SIwave 提取传输线 S 参数

1. 运行 SIwave

(1) 启动 SIwave2014, 选择“File”→“import”→“ANF”, 打开电路板 Stratix IV GX FPGA Development Board 的工程文件 s4_pcie_devkit_rev_c_v2. anf, 单击“Open”按钮, 打开文件, 如图 6.10.3 所示。

出现如图 6.10.4 所示对话框, 直接单击“OK”按钮即可。

在 SIwave 中则会出现如图 6.10.5 所示窗口。

(2) 选择“File”→“Save As”, 指定文件名为 siwave_trance. siw, 单击“Save”按钮, 保存为 SIW 文件。

2. 确认检查

在用 SIwave 首次打开任何设计文件时, 最好先做一次确认检查: 主要检查自相交多边形、未连接的节点、重叠节点及带重复过孔的节点。选择“Tools”→“Validation Check”, 单击“OK”按钮开始确认检查, 如图 6.10.6 所示。

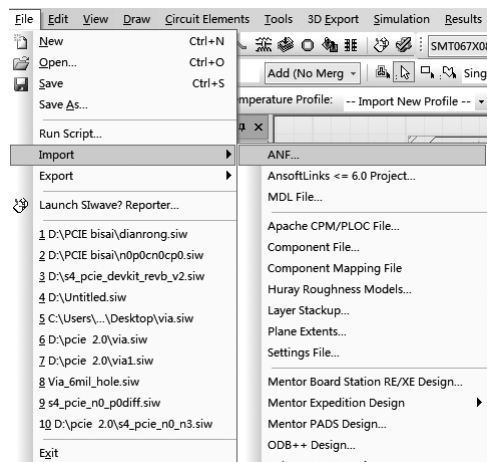


图 6.10.3 导入 ANF 文件

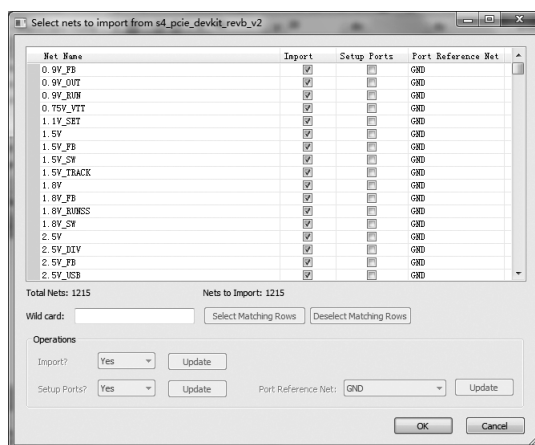


图 6.10.4 选择电路板的端口

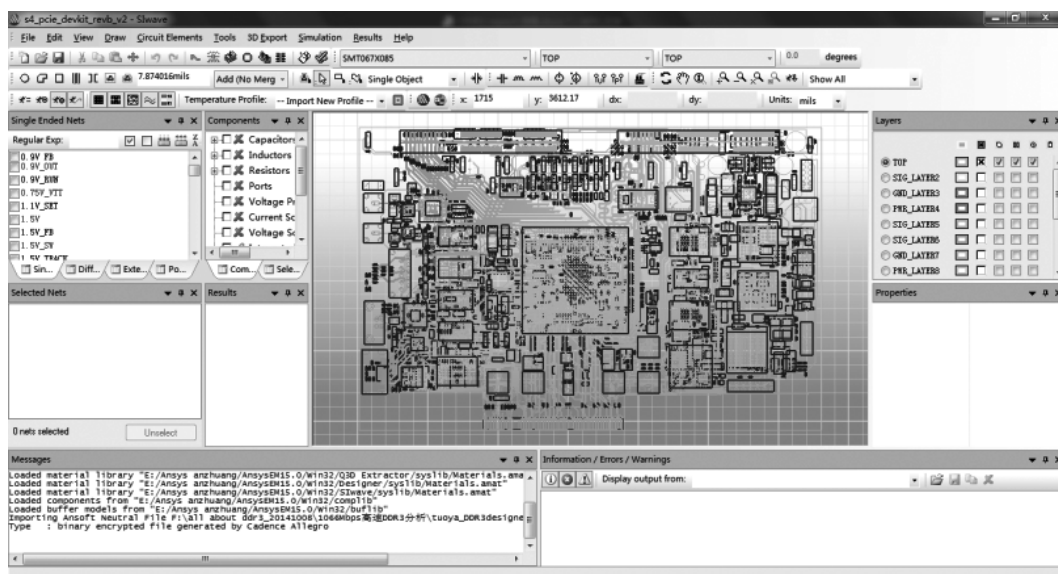


图 6.10.5 打开 ANF 文件示意图



图 6.10.6 确认检查窗口

3. 层叠检查

单击“Edit”→“Layers Stacks”可以检查电路板的层叠信息，如图 6.10.7 所示。

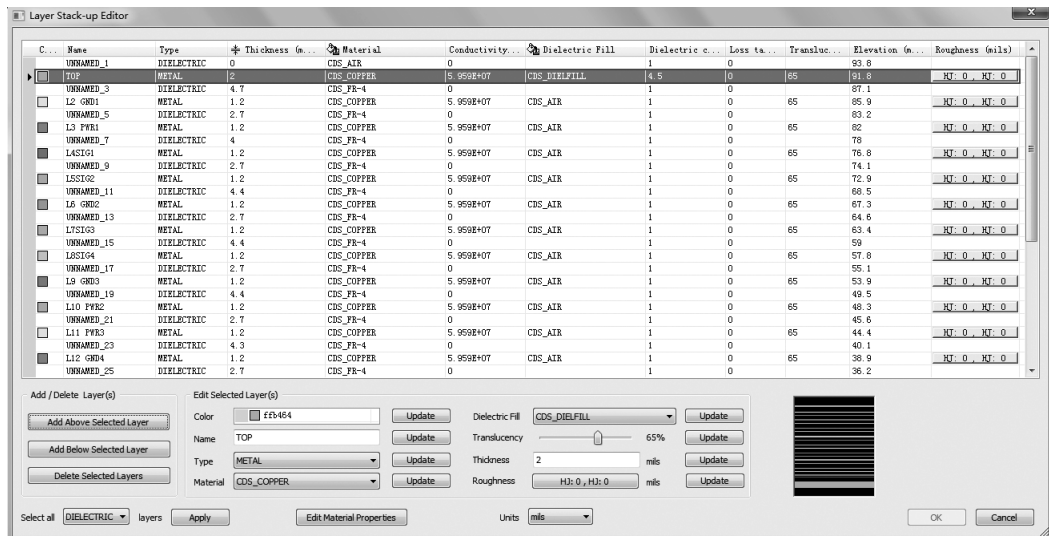


图 6.10.7 确认检查窗口

4. 选择可视图层

在主界面的 Layers 窗口中可以设置图层的可见性及各图层显示的颜色，如图 6.10.8 所示。

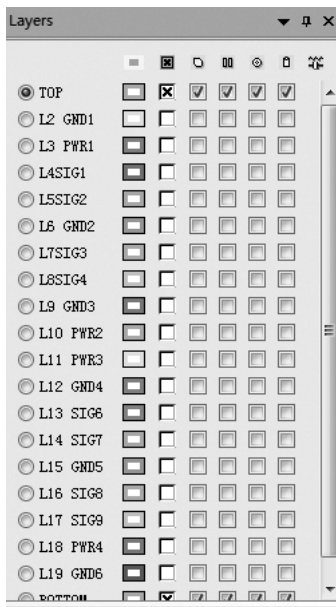


图 6.10.8 可视图层选择

5. 仿真全局选项设置

单击“Simulation”→“Siwave”→“Option”，可以对仿真的全局选项进行设置，如图 6.10.9 所示。

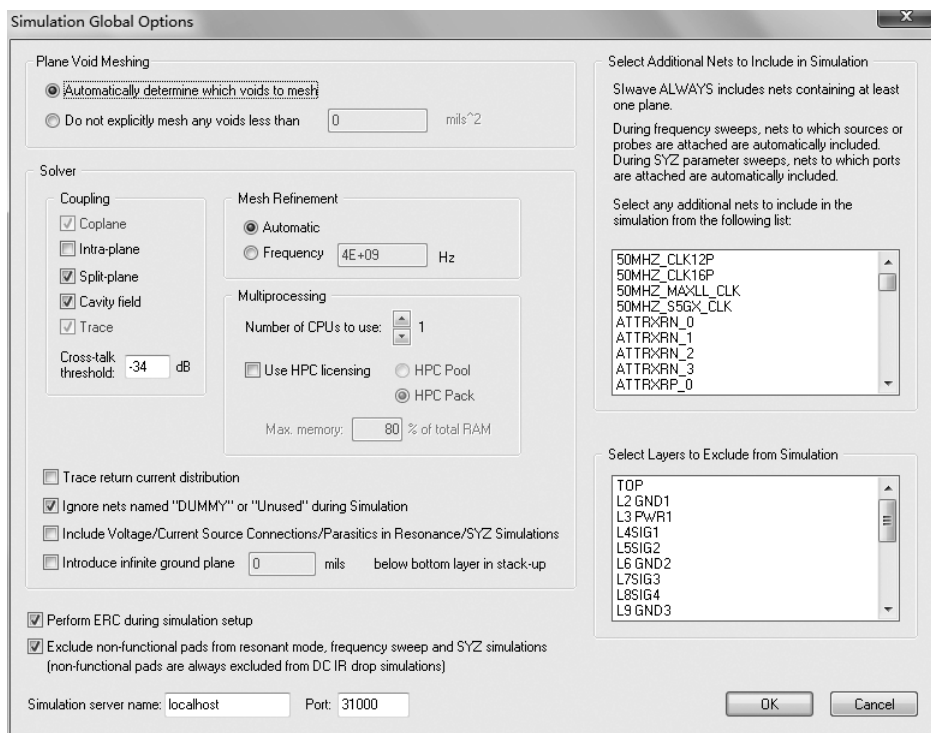


图 6.10.9 设置仿真的全局选项

6. 分割差分线区域

分割区块、局部模拟可以节省时间。具体操作：单击“Tools”→“Clip Design”。这个步骤很重要，除了可以缩短 SIwave 执行有效性检查时间与计算 S、Y、Z 参数，还可以缩短 Designer 导入 SNP 文件后的仿真分析时间。本例选取“DDR3BOT - DQ ~ DQ7”、“DDR3BOT - DQSP0”和“DDR3BOT - DQSN0”进行传输线的仿真分析，如图 6.10.10 所示。

软件会自动把其他部分删去，接着要做整理的动作，清除切割所衍生的不完整 nets、parts，切割以后的电路板示意图如图 6.10.11 所示。

清理破碎的 net：单击“Edit”→“Select”→“Select All”来选定所有 net，单击“Edit”→“Nets”→“Separate Disjoint Parts”及“Edit”→“Unselect”。

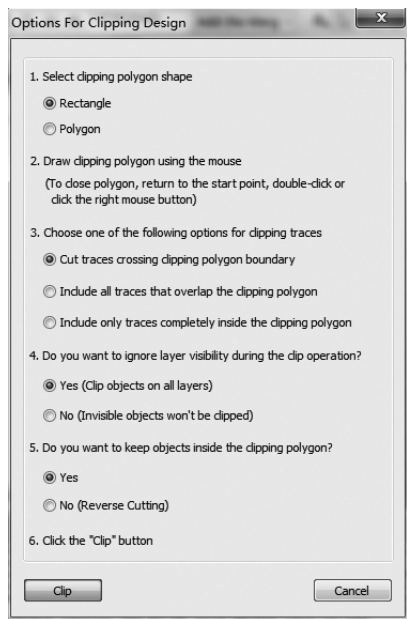


图 6.10.10 分割区域窗口

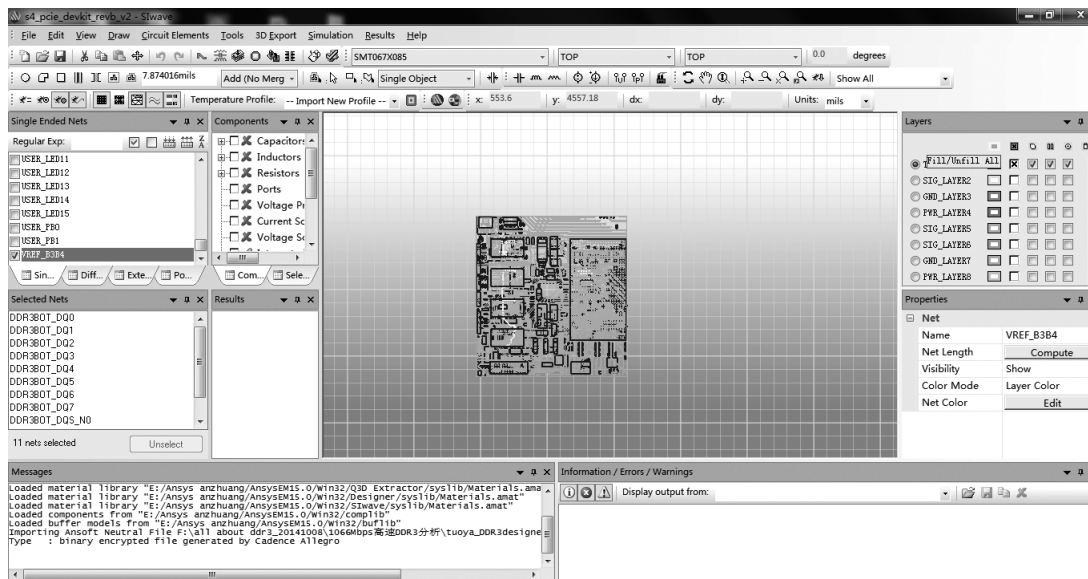


图 6.10.11 切割以后的电路板示意图

7. 自动生成端口

在仿真之前，必须要放置好 Port，操作如下：单击“Circuit Elements”→“Generate on Selected Nets”，选中“DDR3BOT – DQ ~ DQ7”、“DDR3BOT – DQSP0”和“DDR3BOT – DQSN0”，单击“Generate”按钮，在选择的线上创建端口，如图 6.10.12 所示。

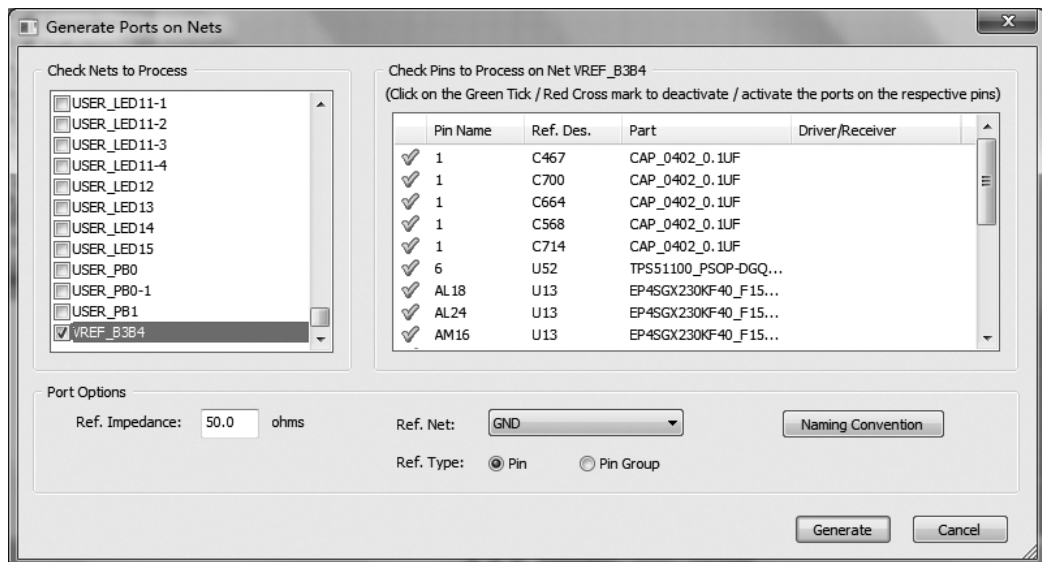


图 6.10.12 生成端口

【注意】 如果参考层有槽或跨层，请选择“3D return current distribution”，可以让回流分流。

8. 计算 S、Y、Z 参数

(1) 选择“Simulation” → “Compute S - , Y - , Z - Parameters”, 并按图 6. 10. 13 所示进行设置。

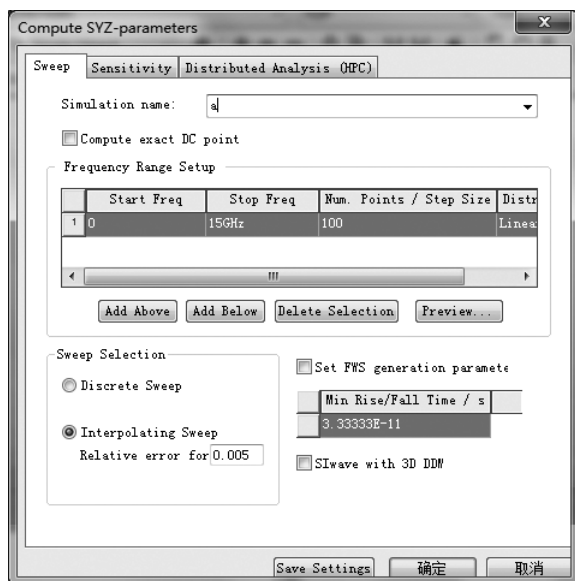


图 6. 10. 13 X、Y、Z 参数示意图

(2) 单击“OK”按钮。

(3) 输出仿真结果 (S 参数)。

仿真完成后, 选择“Results” → “SYZ” → “SYZ Sweep 1” → “Plot Magnitude/Phase”, 打开报告编辑器。单击“Plot”标签显示全部曲线。单击“Create Plot in Reporter”选项, 如图 6. 10. 14 所示。

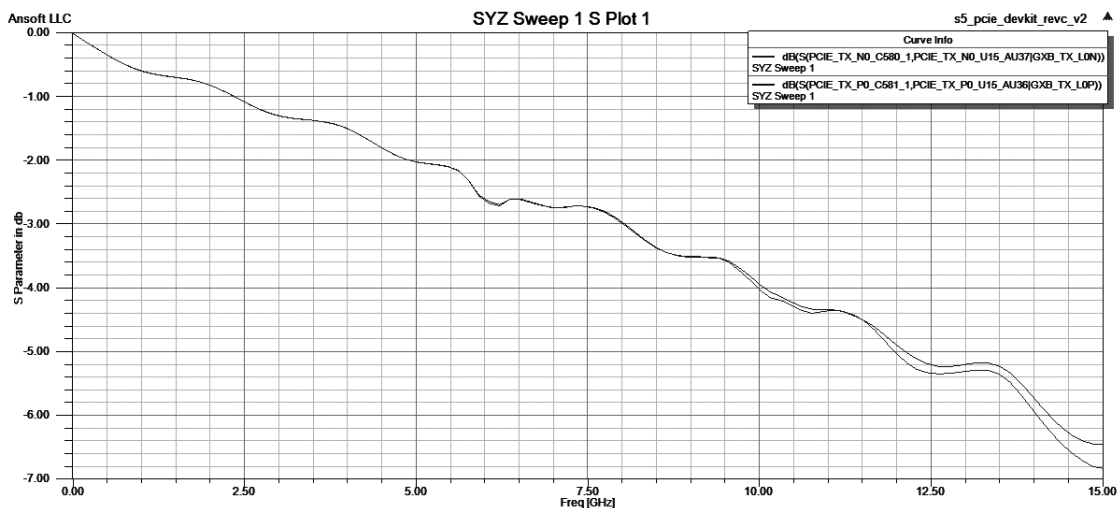


图 6. 10. 14 频域曲线

S 参数曲线如图 6.10.15 所示。

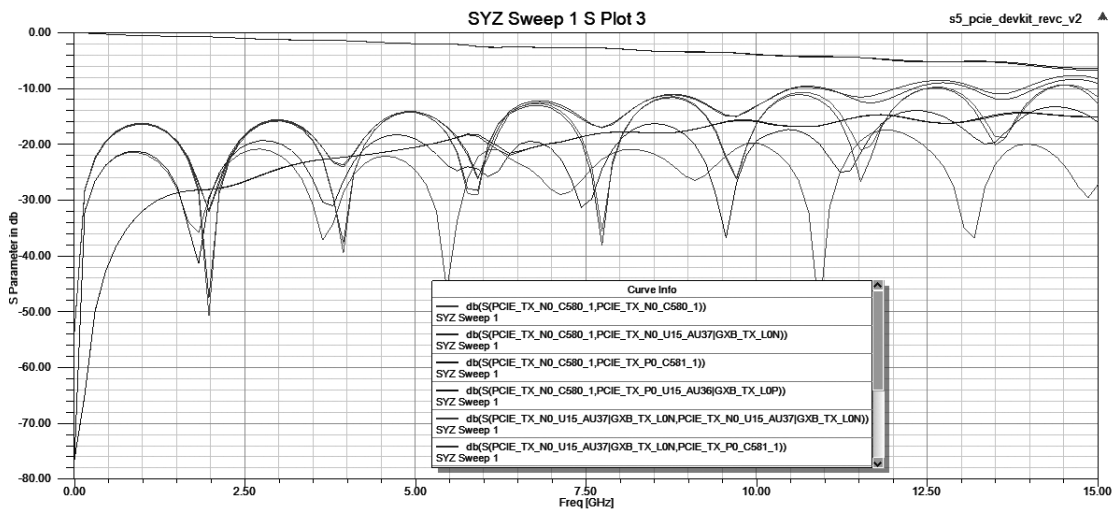


图 6.10.15 S 参数曲线

(4) S 参数查看完毕后关闭图形对话框。

9. 导出 S 参数

选择 “Results” → “SYZ” → “SYZ Sweep 1” → “Export Touchstone File”，命名为 siwave_trance.s22p。这个模型可以在其他的电路仿真工具中使用。

6.10.3 在 Designer 中进行 DDR 的 SSN 分析

1. 搭建仿真电路

(1) 启动软件 Designer 2014，并且选择 “Project” → “Insert Circuit Design”，如图 6.10.16 所示。

(2) 出现如图 6.10.17 所示对话框，单击 “None” 按钮。

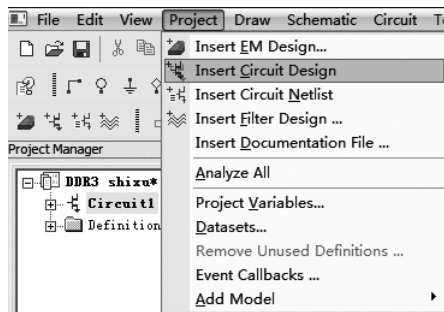


图 6.10.16 插入电路设计

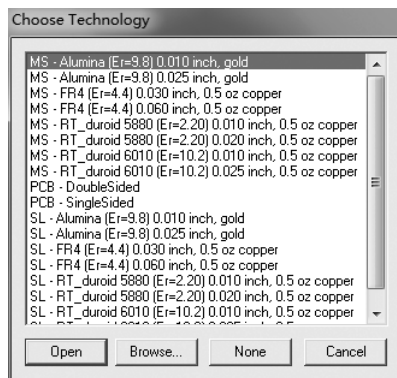


图 6.10.17 选择技术对话框

(3) 选择 “Project” → “add model” → “add Nport model”，如图 6.10.18 所示。

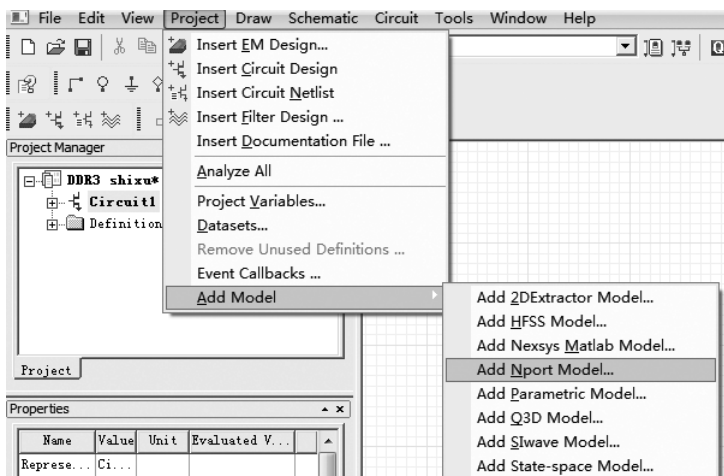


图 6.10.18 插入模型对话框

(4) 选择 SNP 文件路径，并且单击“确定”按钮，如图 6.10.19 所示。

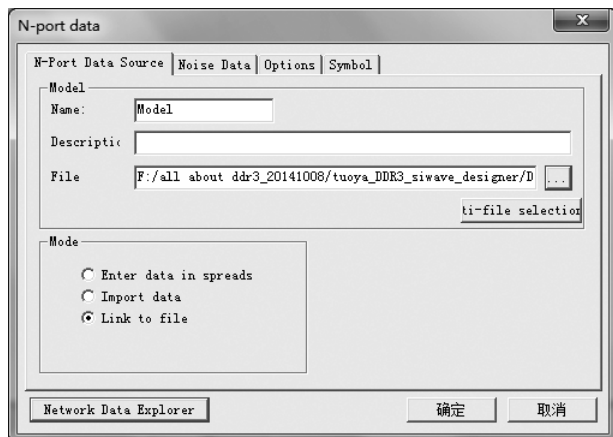


图 6.10.19 选择 SNP 文件路径对话框

(5) 选择“Definitions”→“components”，并且选择“Implied Port Option”，如图 6.10.20 所示。

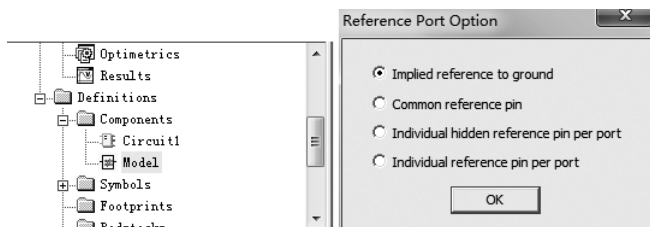


图 6.10.20 选择模型

(6) 将生成的 SNP 文件导入 Designer 2014 中，其结构如图 6.10.21 所示。

由图 6.10.21 可知，此模块包含了 DDR3 模块（即 U5 模块）及 FPGA 模块（即 U13 模块）的数据线 DQ0 - DQ7，以及数据选通模块 DDR3BOT_DQS_N0、DDR3BOT_DQS_P0 和参

考电压 VREF_B3B4。

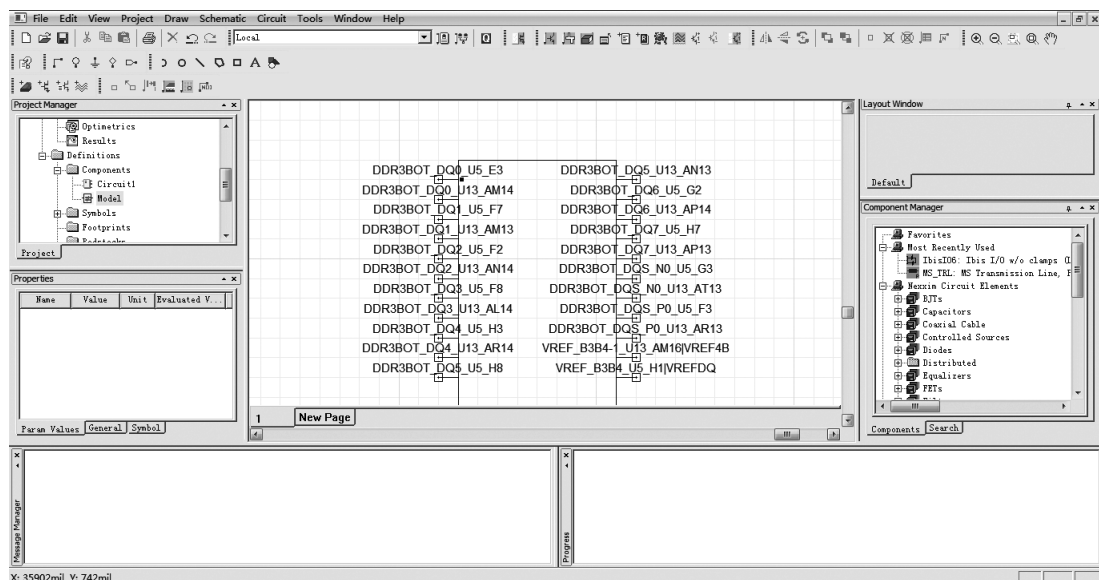


图 6.10.21 SNP 文件结构

2. 瞬态分析设置

由于所涉及的元器件繁多，这里只介绍重要元器件的设置。

- (1) 选择元器件 V_PRBS_JITTER。
- (2) 单击“Components tab”→“Nexxim Circuit Elements”→“Independent Source”→“V_PRBS_JITTER”以选择相应的元器件，如图 6.10.22 所示。
- (3) 设置 V_PRBS_JITTER 的参数，如图 6.10.23 所示。

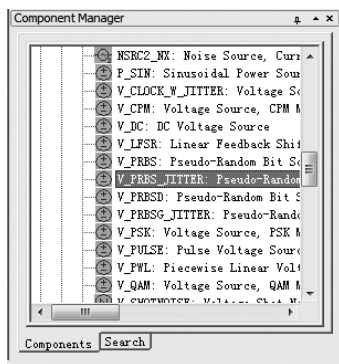


图 6.10.22 选择元器件
V_PRBS_JITTER

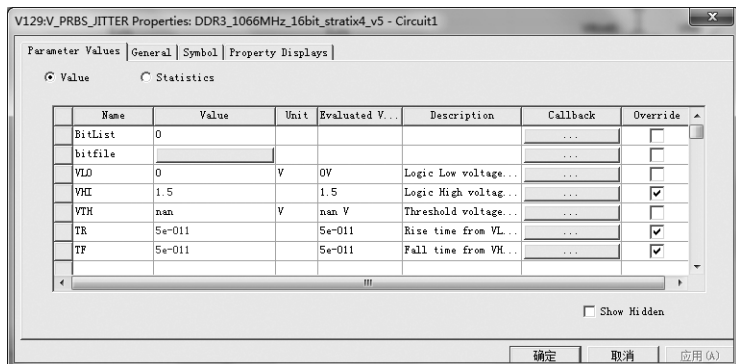


图 6.10.23 V_PRBS_JITTER 参数设置

- (4) 选择元器件 Capacitors。

单击“Components tab”→“Nexxim Circuit Elements”→“Capacitors”→“CAP_Capacitors”以选择相应的元器件，如图 6.10.24 所示设置 CAP_Capacitors 的参数。

设置其参数，如图 6.10.25 所示。

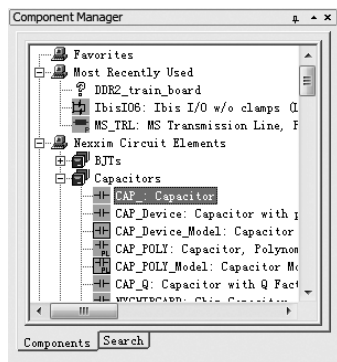


图 6.10.24 选择元器件
Capacitors

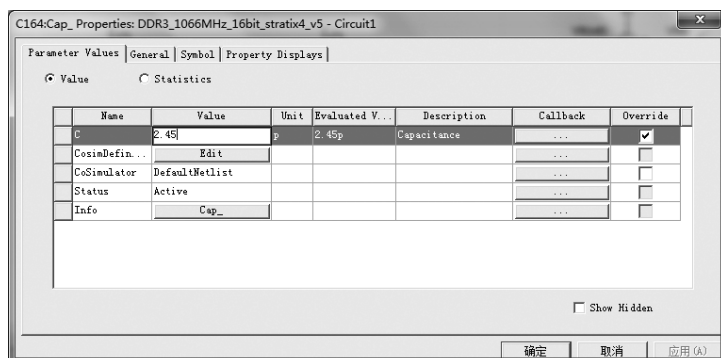


图 6.10.25 设置 Capacitors 参数

电阻和电感的选取方法类似，这里不再赘述，展开组件组称为 Resistors。

(5) 选择器件 V_DC。

选择“Components tab”→“Nexxim Circuit Elements”→“Distributed”→“Stripline”→“Coupled lines”→“SL_MCPL_DIFF”，这时出现 Component Manager 对话框，如图 6.10.26 所示。

设置 V_DC 参数，如图 6.10.27 所示。

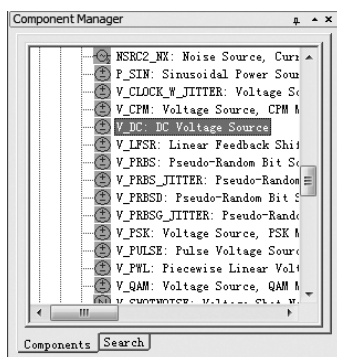


图 6.10.26 选择元器件 V_DC

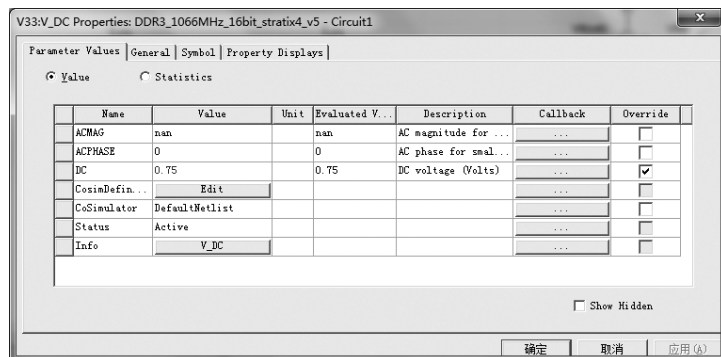


图 6.10.27 设置 V_DC 参数

(6) 连接电路元器件，连接好的电路如图 6.10.28 所示。

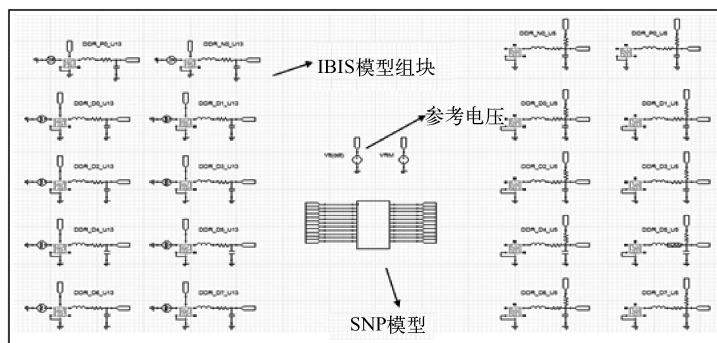


图 6.10.28 DDR3 仿真电路结构

(7) 运行瞬时仿真。接下来对电路进行瞬时仿真，来验证电路连接是否有问题，具体设置如图 6. 10. 29 所示，单击“Analysis”→“Add Nexxim Solution Setup...”→“Transient Analysis”。

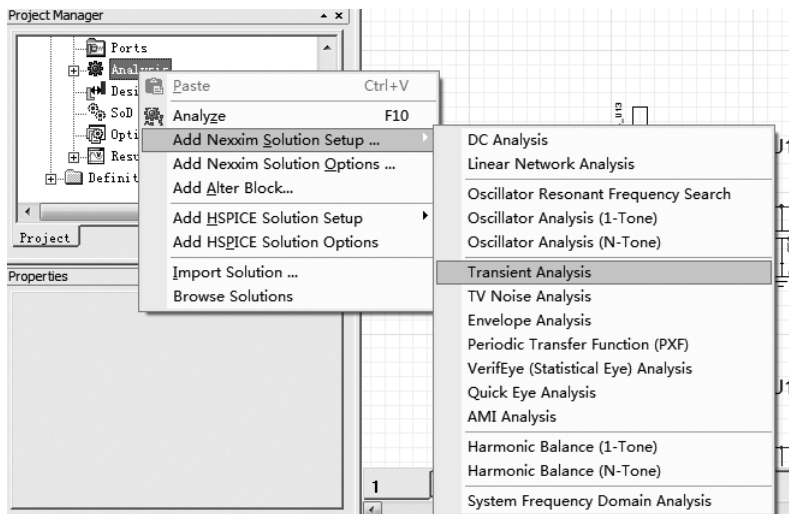


图 6. 10. 29 对电路进行瞬态分析

在弹出的对话框中进行设置，如图 6. 10. 30 所示。

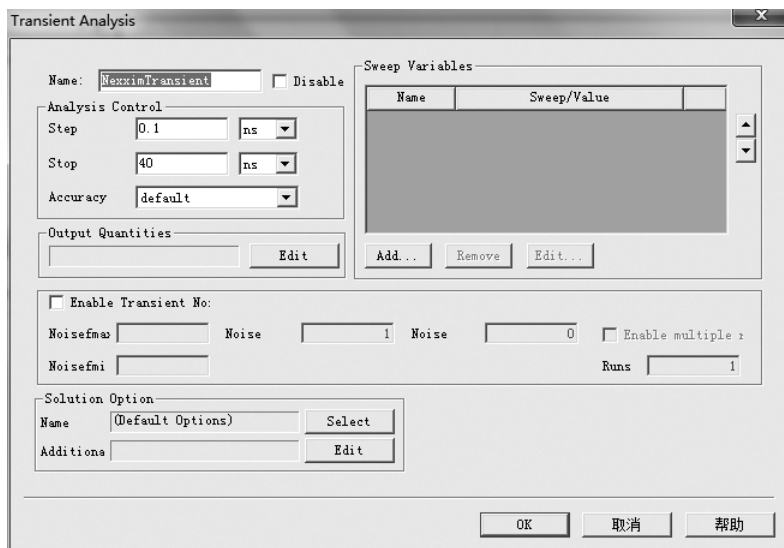


图 6. 10. 30 瞬态分析设置

(8) 查看仿真结果。瞬态分析如果出现错误，要根据提示改正错误，没有错误后再进行眼图分析，选择“Result”→“Creat Eye Diagram Report”→“Rectangular Plot”，如图 6. 10. 31所示。

通过仿真得到眼图，如图 6. 10. 32 所示。

因为仿真是使用的理想电源，从图 6. 10. 32 中可以看出，眼图眼睛张开大，噪声和抖动小，边缘和幅度比较理想。

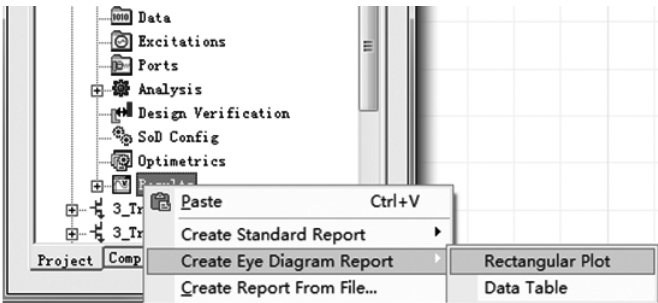


图 6. 10. 31 创建报告

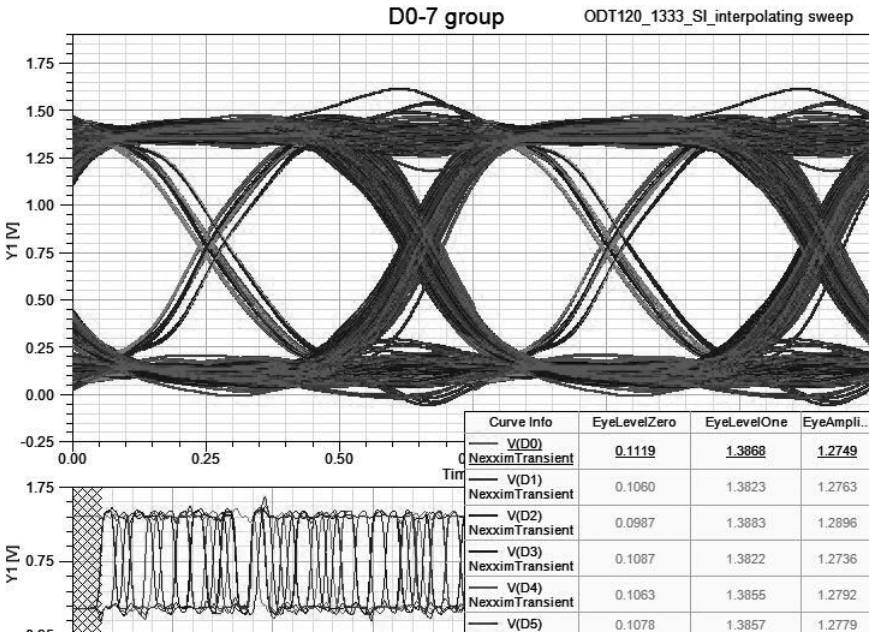


图 6. 10. 32 SI 仿真眼图

SSN 同步开关噪声仿真可以提供信号和电源。以 DDR3 为例，目前速率最高可达 1800Mb/s，并行的 DQ 信号为 64 根，而电源 Vdd 只有 1.5V，其结果必然是一方面 SSN 很容易就使电源超出 5% 的设计指标，另一方面电源噪声也会降低 DQ 信号的电压和时序容限。如图 6. 10. 33 所示，U503 的电源完整性比 DDR 设备更糟糕，U503 的 SSN 的 VPP 为 0.7V。

因此，在高速设计中必须重视 SSN 同步开关噪声的影响，同步开关噪声是指大量芯片同步切换时产生的瞬态电流在电源平面或地平面上产生的大量噪声现象。同步开关噪声可以表现为地弹和电源反弹。典型的解决与优化方案：一是直接降低信号的运行速率，特别是降低上升/下降边沿；二是尽量在并行信号附近安排地过孔以减小总的环路电感；三是尽量在电源过孔附近也安排相应的地过孔，以快速将电源噪声导引到地网络中；四是选取更多的频率点进行仿真，可以有效地改善仿真结果。选取更多频率点进行 SI + PI 仿真，其眼图如图 6. 10. 34 所示。

由图 6. 10. 34 可以看出，眼图比图 6. 10. 32 所示的 SI + PI 仿真结果变好了，其 SSN 同步开关噪声仿真图如图 6. 10. 35 所示。

如图 6. 10. 35 所示，SSN 仿真结果也比之前更好，此时 SSN 的 VPP 为 0.5V，所以对于进行信号完整性仿真时，加强低频段取样对于提高仿真精度是绝对必要的。

6.11 本章小结

首先，本章介绍了电源完整性及电源噪声的危害，然后利用 ANSYS 软件对 PCB PDS 网络进行仿真，以说明优化 PDS 网络的重要性。其次，由于电源/平面的谐振特性会劣化掉系统性能，我们对电路板的谐振特性进行了仿真，并利用添加去耦电容的方法来减小 PCB 的谐振特性。此外，元器件中电流涌动造成电压的波动引起的传导干扰、电源分配系统的直流压降、串行通道与 DDR3 中的开关噪声（SSN）都会对电路的性能产生影响，对此我们分别进行了仿真与分析。最后，对上述仿真进行了总结，希望对以后的设计有所帮助。

第7章 辐射分析

随着时钟上升沿越来越陡峭，电路中即使非常短的布线也有可能成为发射天线，向空间辐射，形成干扰，从而产生电磁辐射。电磁辐射一直给人神秘的印象，许多电磁现象看不见、摸不着、难以理解；随着 EMC 理论、实际应用和标准制定方面的发展，电磁兼容已经发展成为一门学科，许多电磁问题可以使用复杂的数学公式来描述，而非以前仅凭经验去发现和解决。基于这些数学描述，可以进行科学分析、预测及有效地控制这些问题。

7.1 电磁兼容概述

电磁兼容 (Electromagnetic Compatibility, EMC)，主要包括两个方面的内容：一是设备或系统自身能够在电磁环境下正常运行，即能对外界的电磁辐射有一定的抵抗力；二是指设备或系统工作不能影响外部其他设备的正常运转。即我们生产的产品既不要干扰外部，又能抵抗外部干扰。所以 EMC 实际包含两方面的含义：电磁干扰 (Electro Magnetic Interference, EMI) 和电磁抗扰度 (Electro Magnetic Susceptibility, EMS)。

电磁干扰是处在一定环境中的设备或系统所产生的电子噪声，这种噪声会影响信号的完整性。EMS 又称为电磁敏感度，是指设备或系统在电磁环境中运行时，自身性能下降的容易程度，也就是在其正常工作时所能承受的电磁干扰能量。电磁干扰的形成都必须同时具备干扰源、传播路径及敏感单元三个因素。如图 7.1.1 所示为其简单示意图。

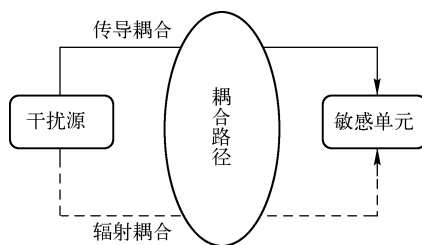


图 7.1.1 电磁干扰三要素示意图

电磁干扰源包括人为干扰源和自然干扰源。如大气噪声、宇宙噪声和热噪声等大自然现象都可归为自然干扰源。我们所熟知的大气噪声源包括雷电放电和沉降静电。雷电噪声是最为常见，也是最为严重的电磁干扰源，闪击电流很大。宇宙噪声源包括电离层干扰、太阳系干扰和其他宇宙星系干扰。太阳系干扰随着太阳的活动而变化，太阳黑子活动增强时会引发磁暴，影响航天器、卫星等的正常工作。人为干扰源包括各种各样的电气、电子设备或系统，常见的干扰源有：无线电通信设备；工业、科学、医疗设备；运输系统；电力系统；点火系统；信息技术设备；静电放电等。如图 7.1.2 所示为电磁干扰源。

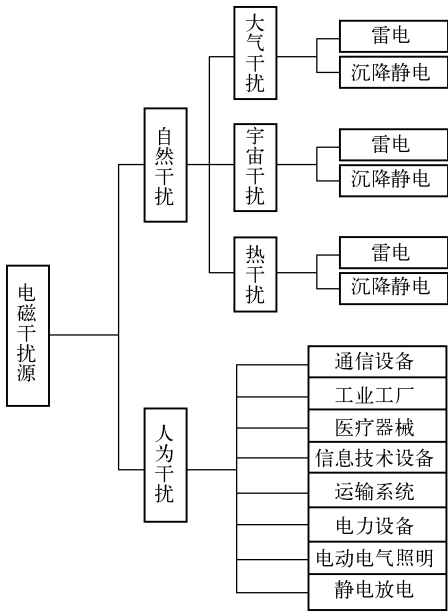


图 7.1.2 电磁干扰源

7.2 电磁兼容相关标准

电磁兼容技术的发展也促进了电磁兼容标准化的进程。大部分国家都制定了相应的标准来规范电子产品的 EMC。但这只是确保产品能够正常工作的基本要求，并不能保证在实际使用中不会发生电磁干扰问题。电磁兼容标准从对设备的要求方面来看，主要分为以下几个方面。

(1) 电磁兼容标准对设备的两大要求。

- ① 设备正常工作时不会影响外界其他设备的正常工作。
- ② 设备能对外界的电磁干扰有一定的抗性。

前者为干扰发射（EMI）要求，后者为敏感度（EMS）要求。围绕这两大要求，从电磁能量传播的途径可以划分为传导干扰和辐射干扰。传导干扰是指辐射能量通过导体来进行传播，辐射干扰就是辐射能量通过空间辐射的形式传播。因此，电磁兼容标准可以分为传导发射标准、辐射发射标准、传导敏感度（抗扰度）标准、辐射敏感度（抗扰度）标准。

(2) 电磁兼容标准主要有四大类标准，分别是基础标准、通用标准、产品类标准及专用产品标准，如图 7.2.1 所示。

① 基础标准是其他电磁兼容标准的基础，它规定了 EMC 术语、环境特征、电磁现象、试验仪器和基本试验装置、试验和测量方法及不同的试验电平范围。

② 通用标准为通用环境中的所有产品规定了一系列最低的电磁兼容性要求，包括标准化试验方法与门限值，并说明了方法的适用环境。没有专用标准的产品也可以使用通用标准，它主要分为 A 类和 B 类标准，如表 7.2.1 所示。

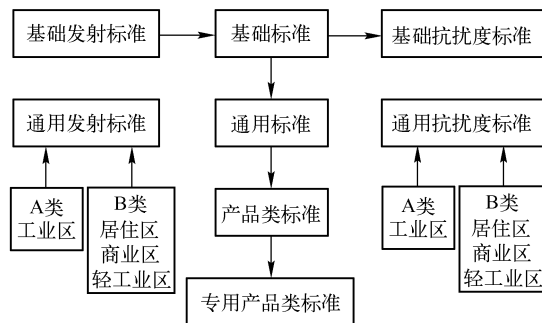


图 7.2.1 电磁兼容标准分类

表 7.2.1 通用标准分类

A 类（工业环境）	有工、科、医射频设备的环境；频繁切断大感性负载或大容性负载的环境；大电流并伴有强磁场环境等
B 类（居民区、商业区及轻工业环境）	居民楼群、商业零售网点、商业大楼、公共娱乐场所、户外场所（加油站、停车场、游乐场、公园、体育场）等

③ 产品类标准是指针对某一类产品制定的特殊 EMC 要求，主要包括发射或抗扰度及测量程序。产品类标准无须规定一般的测试方法，具有更多的特殊性，如果和通用标准不一致，就要说明其必要和合理性，也可增加测试项目和测试电平。

④ 专用产品标准（Dedicated Product Standards）是指某种产品的特殊功能对抗扰度有特殊要求时，专门为其制定的专用标准，详细的规定其性能准则。

每个国家的 EMC 认证管理模式尽管大致相同，但也有稍许不同的地方，如图 7.2.2 所示。

	欧盟	美国	日本	中国
EMI	强制	强制，非全面性列管	强制，非全面性列管	强制，非全面性列管
Immunity	强制	强制	非强制	非强制
Safety	强制	非强制	非强制	强制，非全面性列管
Radio	强制	强制	强制	强制
Telecom	强制	强制	强制	强制

图 7.2.2 各国 EMC 管理模式

我国从 2000 年 1 月 1 日起，对个人 PC、显示器等日常 6 类电子设备实施 EMC 强制检测。目前只管制 EMI，标准与 CISPR 相同。例如，GB 9254：2000 与 CISPR 22：1998 类似。符合 EMC 标准的产品加贴 CCC（China Compulsory Certification）标志。从 2003 年 5 月 1 日起，未获得 3C 认证的产品不得出厂、进口和销售。

7.3 电磁干扰方式

电磁干扰主要通过耦合传输。所谓耦合指的是设备/电路与设备/电路之间的电磁联系。

耦合可以将电磁能量从一个设备/电路传到另一个设备/电路。传导和辐射耦合是电磁传播的主要耦合路径。传导耦合是指干扰噪声以电压或电流的形式通过金属导体及电容等器件对敏感单元产生影响。这就要求干扰元和敏感单元要有电路连接。这个电路可以是由导线（电源线、信号线等）、金属导体、电阻器、电容器、电感器或变压器等实际元器件组成的直接传导耦合；也可以是由印制电路板和机箱外壳地、设备的公共安全地及接地网络中的公共地阻抗组成的公共地阻抗耦合；也可能是由转移阻抗组成的转移阻抗耦合。对于直线传导耦合分为电导性耦合、容性耦合及感性耦合。根据电磁干扰源与敏感单元之间的距离，辐射可以分为近场耦合与远场耦合。图 7.3.1 给出了电磁耦合的各种路径。

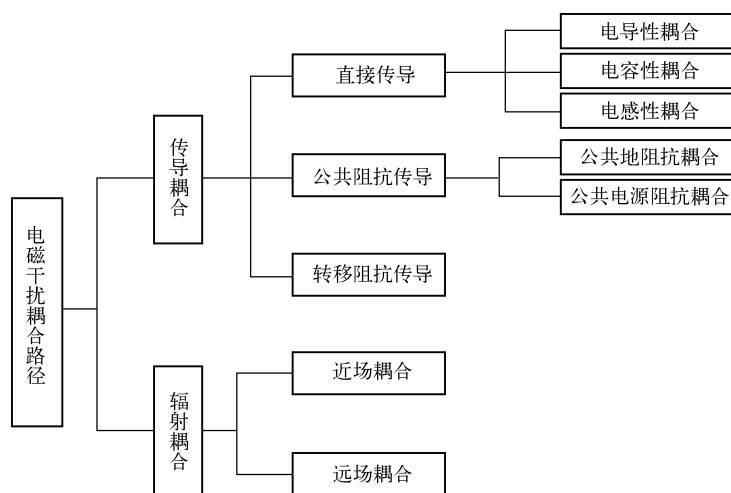


图 7.3.1 耦合路径

低频电路主要表现为传导耦合，而高频电路则主要表现为辐射耦合。在实际应用中，传导耦合与辐射耦合并不完全分开，可以相互转换或混合存在。例如，在导线中的传输电流很大时，辐射也会出现。其实，通过公共阻抗发生的耦合算是直接耦合的一种特殊情况。所谓转移阻抗耦合，其实算是直接和公共传导耦合的一种特殊情况，但是用转移阻抗的概念会比较方便。而对于电容性传导耦合，如果电容为分布电容而不是人为接入的电容器，或在电感性传导耦合中耦合电感为两电路之间的寄生电感——互感，而不是人为接入的电感器，则这种所谓的直接传导耦合只是一种等效电路分析的概念，它们的物理本质仍然是近场耦合。

电磁干扰会使得大部分的电子电路会受到影响。但是不同的功能模块可能受电磁干扰的影响程度或抗干扰能力不一样。例如，数字电路中的复位、中断及控制信号等都是易受干扰的信号，在 EMC 的设计中需要特别注意。

我们所有抑制电磁干扰的技术都是基于电磁干扰三要素来进行的。归纳起来有三方面：一是降低电磁干扰源幅度；二是切断耦合路径；三是增强敏感单元对外界干扰的免疫能力。在实际过程中遇到电磁干扰问题时都可以从这三方面中的任何一方面或多方面着手进行逻辑分析，找到有效的解决办法。如果干扰源和敏感单元都在同一设备/系统中，则此时我们要解决的是系统内的电磁兼容问题；如果干扰源和敏感单元不在同一设备/系统中，则我们将面临系统间的电磁兼容性问题。在实际工作中，为了不影响系统的性能，我们没用太多手段来控制干扰源，所以我们一般都在耦合路径上下功夫。但是大多数时间，噪声是经过什么路

径耦合的并不清楚，这就大大增加了设计的难度。在实际设计中，通常是多种耦合路径同时存在的。

在分析传导干扰时，我们经常会遇到共模（Common Mode）和差模（Differential Mode）的概念。共模和差模其实是对流过导体时的电压和电流变化状态的描述。一般我们都使用至少两根导线来完成信号或电源的传输，除了传输信号的两根线外，也要使用“地线”。

一般将在两根信号线上产生的幅度相等、相位相反的信号作为差模信号，而将幅度相等、相位相同的信号作为共模信号。我们将存在于两根信号线/电源线之间的噪声称为差模干扰；而存在于信号线/电源线与地之间的噪声称为共模干扰。差模也叫串模，可以理解为两根线之间的差值，而共模信号指的是两根线共同对地的信号。

所有的两个信号都包含有共模信号及差模信号。假设两路输入信号分别为 V_1 和 V_2 （对地），而它们的共模信号（共同对地的）成分为 V_c ，差模信号成分为 V_d ，则依据差模与共模的定义可以得出： $V_1 = V_c + V_d$ ， $V_2 = V_c - V_d$ ，所以， $V_c = (V_1 + V_2)/2$ ， $V_d = (V_1 - V_2)/2$ ，如图 7.3.2 所示。

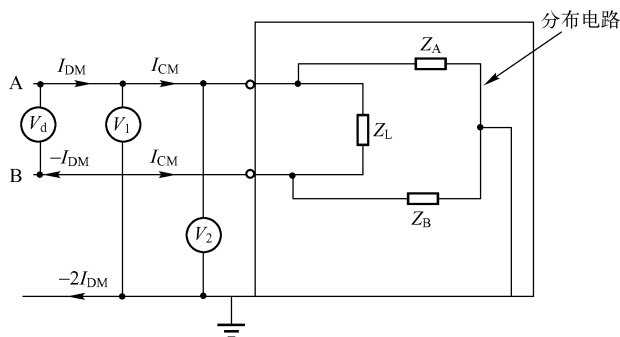


图 7.3.2 共模信号与差模信号

在进行传导 EMI 抑制时，另一个非常重要的概念是电流回路（Return path）。电路的回路会产生 EMI 干扰，所以我们在进行 EMI 分析、设计或控制时都应该以电流回路的逻辑去思考、分析。如何减小电路回路面积是控制 EMI 的一个关键因素。电流永远是沿阻抗最小的路径流动的。

7.3.1 差模辐射

当电流以差模形式流过导线环路时，将会激发差模辐射，如图 7.3.3 所示。这种导线环路类似于小环形天线。对此，我们可以采用小环形天线（磁偶极子）模型来分析差模辐射，如图 7.3.4 所示。

理想的磁偶极子天线是由一个半径 $\alpha \ll \lambda$ 的小电流环构成的，其电磁场各分量为

$$E_\phi = -j \frac{\eta_0 S I k}{4 \pi r} \left(jk + \frac{1}{r} \right) \sin \theta e^{-jkr} \quad (7.3.1)$$

$$H_\theta = \frac{IS}{4 \pi r} \left(-k^2 + \frac{jk}{r} + \frac{1}{r^2} \right) \sin \theta e^{-jkr} \quad (7.3.2)$$

$$H_r = \frac{IS}{2 \pi r^2} \left(jk + \frac{1}{r} \right) \cos \theta e^{-jkr} \quad (7.3.3)$$

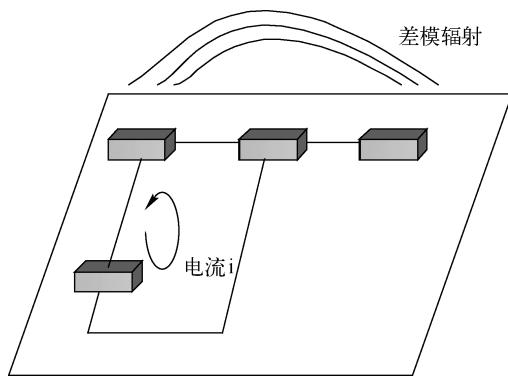


图 7.3.3 PCB 的差模辐射

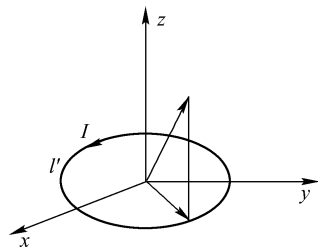


图 7.3.4 磁偶极子模型

其对应的幅值为

$$|E_{\varphi}| = -\frac{\eta_0 S I \pi}{r \lambda^2} \sqrt{1 + \frac{\lambda^2}{4 \pi^2 r^2}} \sin \theta \quad (7.3.4)$$

$$|H_{\theta}| = \frac{I S \pi}{r \lambda^2} \sqrt{1 - \frac{\lambda^2}{4 \pi^2 r^2} + \frac{\lambda^4}{16 \pi^4 r^4}} \sin \theta \quad (7.3.5)$$

$$|H_r| = \frac{I S}{r \lambda^2} \sqrt{1 + \frac{\lambda^2}{4 \pi^2 r^2}} \cos \theta \quad (7.3.6)$$

式中， E 为电场强度，单位是 V/m ； H 为磁场强度，单位为 A/m ； $\eta_0 = 120\pi$ 为自由空间的特征阻抗，单位为 Ω ； λ 为波长，单位为 m ； I 为电流，单位是 A ； S 为环路面积，单位是 m^2 ； r 为空间某点到电流环路中心的距离； θ 为矢量与 z 轴的夹角； $k = 2\pi/\lambda$ 。可以看出，当 $\theta = \frac{\pi}{2}$ 时，为最坏情况。

在靠近磁偶极子的区域，因为 r 很小，即 $kr < 1$ ， $r < \lambda/2\pi$ ，这一区域称为近场区，其电场和磁场模拟值近似为

$$E \approx \frac{\eta_0 I S}{2 \pi r^2} \quad (7.3.7)$$

$$H \approx \frac{I S}{4 \pi r^3} \quad (7.3.8)$$

近场区的波阻抗为

$$Z = \frac{E}{H} = \frac{\frac{\eta_0 I S}{2 \pi r^2}}{\frac{I S}{4 \pi r^3}} = \frac{2 \pi r}{\lambda} \eta_0 \quad (7.3.9)$$

可见，在近场区，磁偶极子电场与磁场分别与距离 r 的二次方和三次方成反比，即将随着 r 的增大而迅速减小。其波阻抗远小于真空波阻抗 η_0 ，为低阻抗区。

在远离磁偶极子的区域，因为 r 很大，即 $kr > 1$ ， $r > \lambda/2\pi$ ，这一区域称为远场区，其电场和磁场模值近似为

$$E = \frac{\eta_0 I S \pi}{r \lambda^2} = \frac{\eta_0 I S \pi f^2}{r c^2} \quad (7.3.10)$$

$$H = \frac{IS\pi}{r\lambda^2} = \frac{IS\pi f^2}{rc^2} \quad (7.3.11)$$

式中, c 为真空光速, 单位是 m/s , $c = \lambda f$ 。远场区的波阻抗为

$$Z = \frac{E}{H} = \eta_0 \quad (7.3.12)$$

可见, 在远场区, 电场和磁场均与距离 r 的一次方成反比, 与面积 S 、电流 I 及频率的平方 f^2 成正比。其波阻抗等于真空波阻抗。

7.3.2 共模辐射

接地电路中存在的电压降使得电路中的局部区域出现高电位的共模电压。外接线缆与这些部位接触时, 就会产生共模电流, 进而产生共模辐射, 相当于短极子天线, 如图 7.3.5 所示。因此, 我们可以采用电偶极子天线模型来分析共模辐射, 如图 7.3.6 所示。

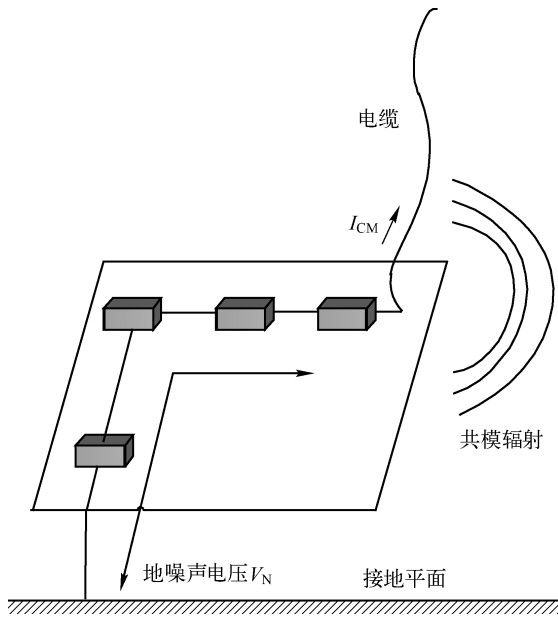


图 7.3.5 外接电缆的共模辐射

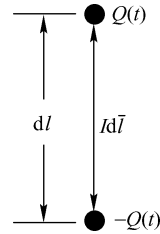


图 7.3.6 电偶极子天线

理想的电偶极子天线是由一个辐射长度 $dl \ll \lambda$ 的孤立导线构成的, 其电磁场各分量为

$$E_r = -j \frac{Idl \cos \theta}{2\pi w \epsilon_0 r^2} \left(jk + \frac{1}{r} \right) e^{-jkr} \quad (7.3.13)$$

$$E_\theta = -j \frac{Idl \sin \theta}{4\pi w \epsilon_0 r^2} \left(-k^2 + \frac{jk}{r} + \frac{1}{r^2} \right) e^{-jkr} \quad (7.3.14)$$

$$H_\phi = \frac{Idl \sin \theta}{4\pi r} \left(jk + \frac{1}{r} \right) e^{-jkr} \quad (7.3.15)$$

其模值为

$$|E_r| = \frac{Idl \cos \theta}{2\pi r^2} \sqrt{\frac{\mu}{\epsilon_0}} \left(j + \frac{1}{rk} \right) = \frac{Idl \eta_0 \cos \theta}{2\pi r^2} \sqrt{1 + \frac{\lambda^2}{4\pi^2 r^2}} \quad (7.3.16)$$

$$|E_\theta| = \frac{Idl \eta_0 \sin \theta}{2\pi r} \sqrt{1 - \frac{\lambda^2}{4\pi^2 r^2} + \frac{\lambda^4}{r^4 (2\pi)^4}} \quad (7.3.17)$$

$$|H_{\varphi}| = \frac{Idl \sin \theta}{2\pi r} \sqrt{1 + \frac{\lambda^2}{4\pi^2 r^2}} \quad (7.3.18)$$

可以看出, 在 $\theta = \frac{\pi}{2}$ 时, 为最坏的情况。

在靠近磁偶极子的区域, 因为 r 很小, 即 $kr < 1$, $r < \lambda/2\pi$, 这一区域称为近场区, 其电场和磁场模拟值近似为

$$E \approx \frac{Idl \eta_0 \lambda}{8\pi^2 r^3} \quad (7.3.19)$$

$$H \approx \frac{Idl}{4\pi r^2} \quad (7.3.20)$$

其波阻抗为

$$Z = \frac{E}{H} = \frac{\lambda}{2\pi r} \eta_0 \quad (7.3.21)$$

可见, 在近场区, 电偶极子的电场与磁场分别与距离 r 的三次方和二次方成反比, 因此将随着 r 的增大而迅速减小。此时的波阻抗远远大于真空波阻抗 η_0 , 我们称为高阻区。

在远离磁偶极子的区域, 因为 r 很大, 即这一区域称为远场区, 其电场和磁场模值近似为

$$E = \frac{\eta_0 Idl}{2\lambda r} = \frac{\eta_0 Idl f}{2cr} \quad (7.3.22)$$

$$H = \frac{Idl}{2\lambda r} = \frac{Idl f}{2rc} \quad (7.3.23)$$

远场区的波阻抗为

$$\eta = \frac{E}{H} = \eta_0 \quad (7.3.24)$$

可见, 在远场区, 电偶极子的电场与磁场均与 r 的一次方成反比, 与电流 I 、长度 dl 及频率 f 成正比。其波阻抗等于真空波阻抗。

7.4 辐射仿真与分析

使用 SIwave 和 Designer 协同起来仿真 PCB 的远近场, 是 ANSYS 公司新进推出的 EMI 仿真解决方案, 其主要步骤如下。

(1) 在 SIwave 中对 PCB 上计算关键信号网络、电源及地的 S 参数模型进行提取。

(2) 在 Designer 中进行时域的仿真。该仿真电路包括驱动器、接收器、电源、负载和 SIwave 中提取的 S 参数模型。通过 Push Excitations 将时域波形变为 SIwave 中可以使用的频变源。

(3) Push Excitation 将激励回推到 SIwave 中, 作为远、近场辐射的辐射源。

1. 在 SIwave 中创建一个简单的四层 PCB

(1) 在 SIwave 中建立一个四层层叠结构的简易 PCB, 四层的层叠结构如图 7.4.1 所示, 该 PCB 长为 60mm, 宽为 40mm, 建好后如图 7.4.2 所示。

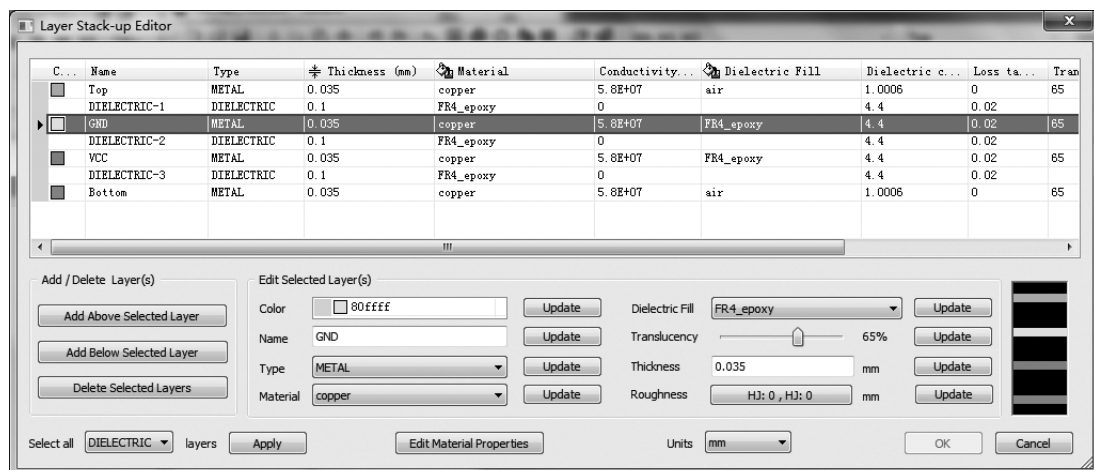


图 7.4.1 层叠设置

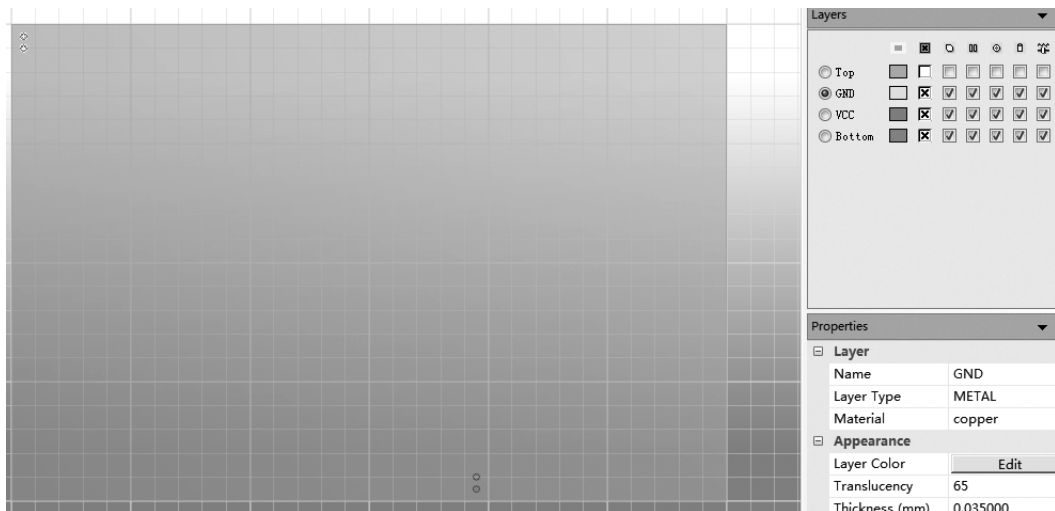


图 7.4.2 建立四层 PCB

(2) 在 SIwave 的 Top 层创建顶层微带线，如图 7.4.3 所示。

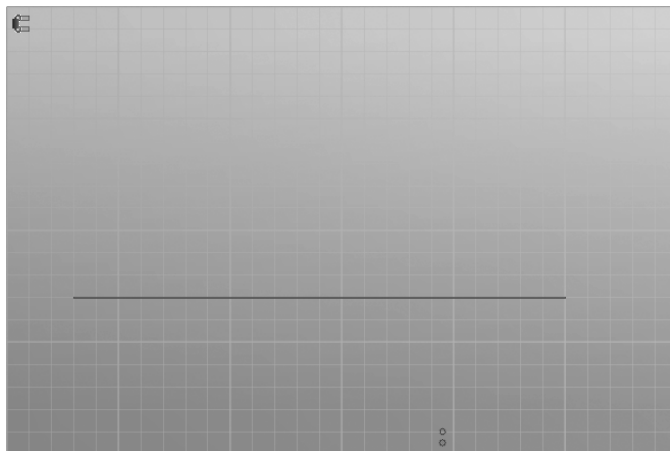


图 7.4.3 表层微带线

- 选择 “Draw” → “Set Trace Width”，设置顶层走线的线宽为 0.1mm。
- 选择 “Draw” → “Trace”，单击 (-24mm, -6mm) 处放置走线的起始点。单击 (20mm, -6mm) 放置走线的另一个端点。
- 可以在 Single Ended Nets 中，选中该网络 “Rtclick” → “Edit Net Name”，修改新建传输线的网络名称。

(3) 在传输线的两端放置 Port。单击 “Circuit Elements” → “Port”，在坐标 (-24mm, -6mm) 处放置第一个 Port，将 Port 的正端放置在信号线上，Port 的负端放置在 Gnd 层，命名为 p1。按照前面的方法，在 (20mm, -6mm) 处放置第二个 Port，命名为 p2，如图 7.4.4 所示。

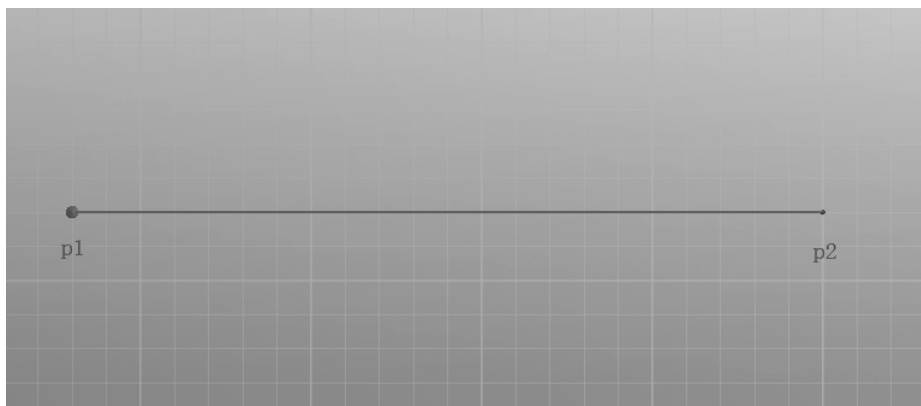


图 7.4.4 加上 Port

(4) 设置仿真参数，开始仿真，如图 7.4.5 所示。

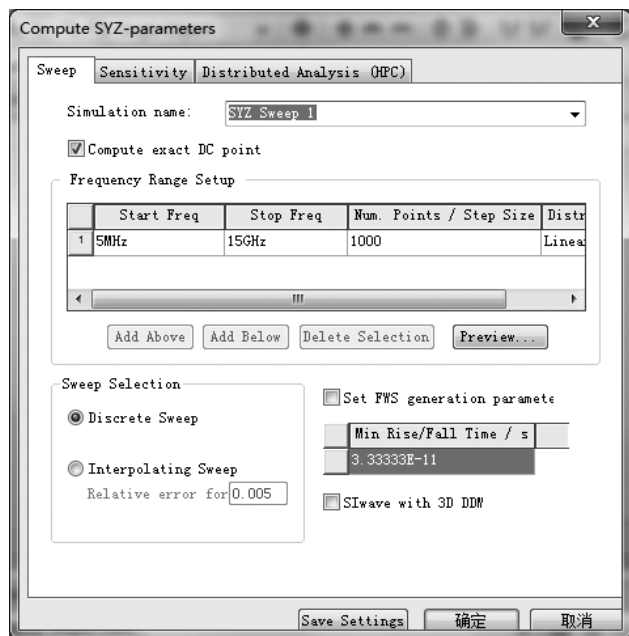


图 7.4.5 仿真设置

(5) 查看仿真结果。选择“Results”→“SIwave”“SYZ”→“SYZ Sweep1”→“Plot Magnitude”→“phase...”，查看仿真结果，如图 7.4.6 所示。

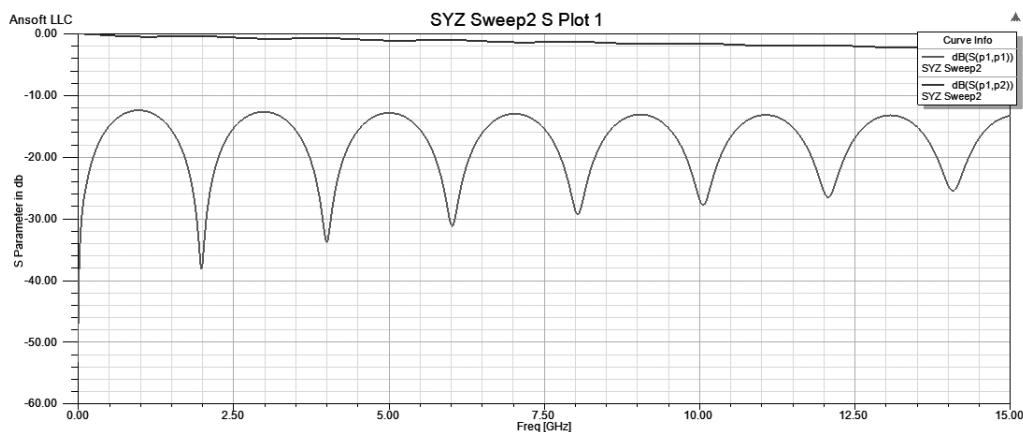


图 7.4.6 仿真结果

2. 在 Designer 中进行时域仿真

- (1) 双击 Designer 图标，运行 Designer15.0。
- (2) 选择“Project”→“Insert Circuit Design”，当出现 Choose a technology 框时，单击“None”按钮。
- (3) 单击“File”→“Save as”，保存为 ADSN 文件。
- (4) 添加 SIwave 项目模型。选择“Project”→“Add Model”→“Add SIwave Model”，在 SIwave Model 窗口中重新命名该模型的名称，定义 SIwave Project 的路径；选择“Simulation”选项，在“Simulation Options”选项里选择“Dynamic solution (reloads project, and simulates if needed)”。如图 7.4.7、图 7.4.8 所示。

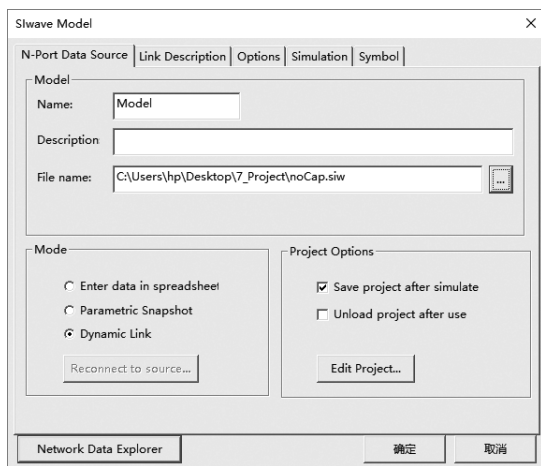


图 7.4.7 添加 SIwave 模型

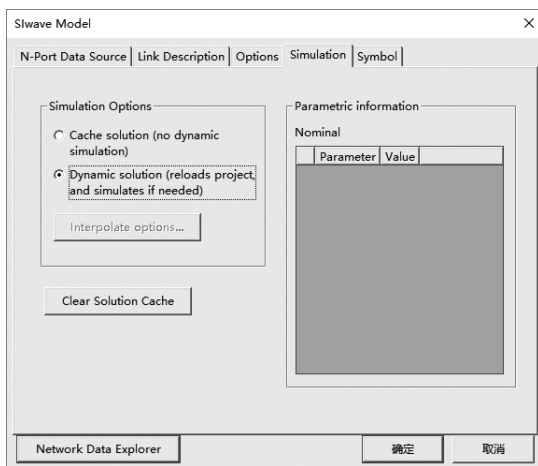


图 7.4.8 设置 SIwave Model 属性

(5) 放置 SIwave 项目模型。在 Project Manager 窗口，展开 Definitions/Models，拖放 Model 模型到原理图中，其中 Reference Port Option 为 Implied reference to ground。

(6) 导入 IBIS 模型。选择 “Tools” → “Import IBIS Components...”，选择文件中的示例文件 test. ibs，选择 “336: S5GX_NoTerm_6mA_30ps_P”，如图 7.4.9 所示。

(7) 修改 IBIS 模型符号。Designer15.0 导入的 IBIS 模型符号如图 7.4.10 所示，该模型有自己内置的源，如果不习惯，可以通过 Designer 更改其显示方式。

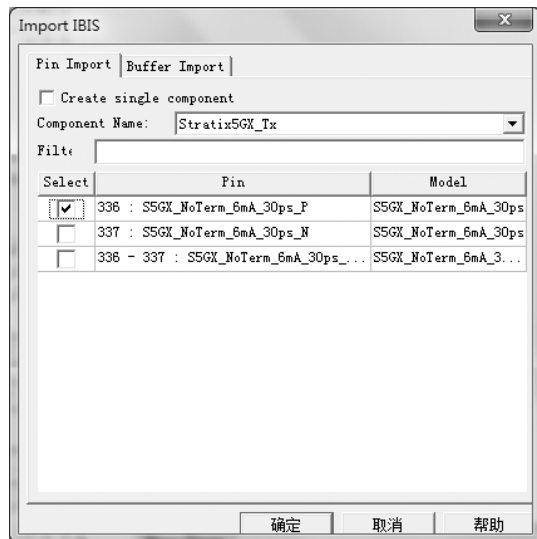


图 7.4.9 添加 IBIS 模型

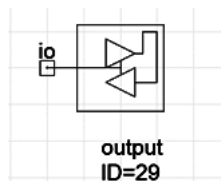


图 7.4.10 默认 IBIS 模型符号

- 从左侧 Project Manager 里，展开创建的项目中的 Definitions，展开其下的 Component 选项，选择刚才创建的 IBIS 元器件：S5GX_NoTerm_6mA_30ps_P_Stratix5GX_Tx_test，拖动添加到原理图中。
- 更改其显示的方式：选中该 IBIS 模型，右键选择 “Edit” → “Component”，在出现的 Edit Component 窗口中，选择图中标注为 1 的按钮。
- 在出现的 Select Definition 窗口，先选择其 Libraries 为 “Symbols”，在 Search 框中输入 “ibs”，下方会自动出现搜索结果，如图 7.4.11 所示。

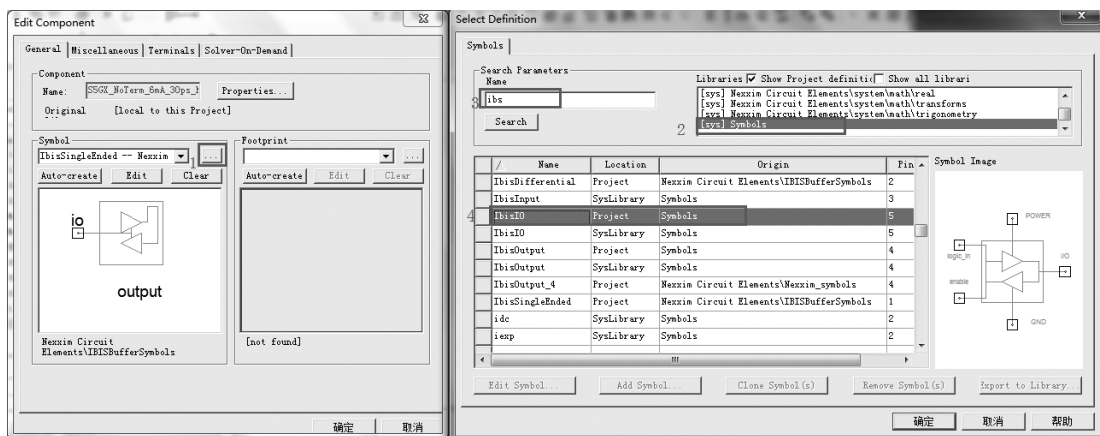


图 7.4.11 修改默认 IBIS 符号

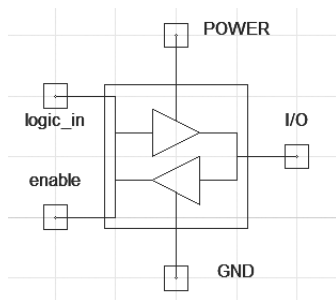


图 7.4.12 修改后的
IBIS 模型符号

编辑其属性，如图 7.4.15 所示。

- 选择引脚为 5 个，名字为 IbisIO 的模型符号。单击“确定”按钮后，修改后的符号如图 7.4.12 所示。
- 双击原理图中的 IBIS 模型，打开 Properties 窗口，在 Parameter Values 列表下，修改 BitPattern 的 Value 值（见图 7.4.13），在弹出的对话框中选择“Enter PRBS Data”，最后单击“OK”按钮（见图 7.4.14）；设置 power 的值为“internal”。

(8) 在 Component Manager 中，展开 Nexxim Circuit Elements、Independent Sources 选项，选择“V_CLOCK_W_JITTER”，并拖动其到原理图中，双击放置的元器件并

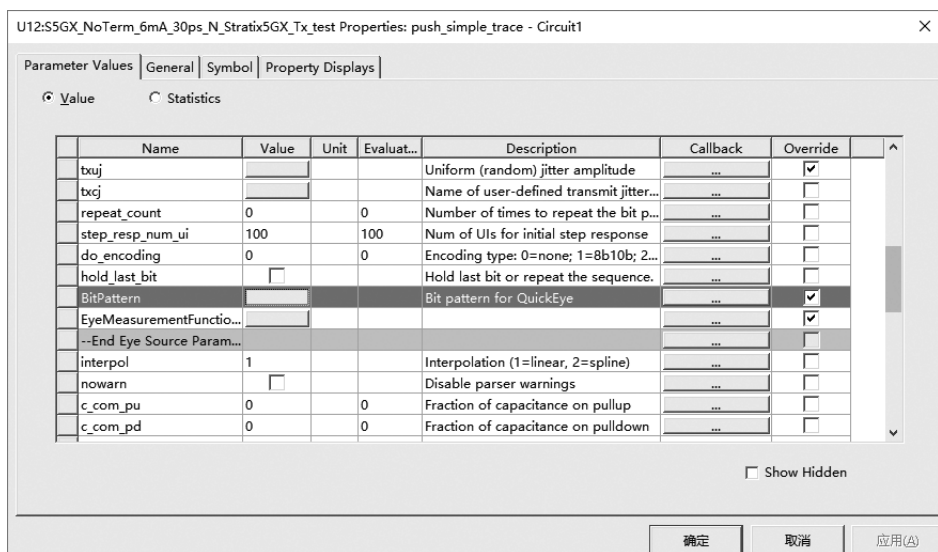


图 7.4.13 修改 BitPattern 的 Value 值

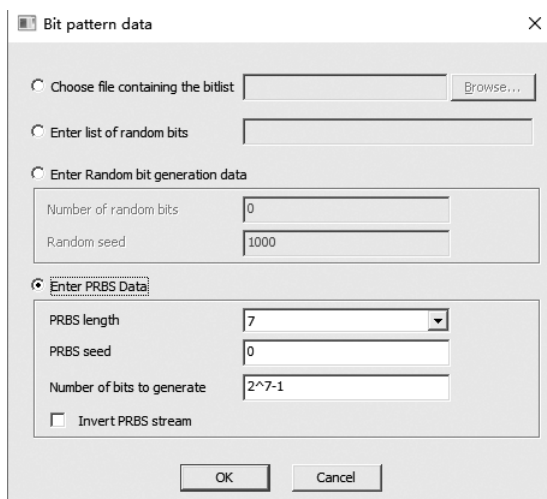


图 7.4.14 修改 BitPattern 值为 Enter PRBS Data

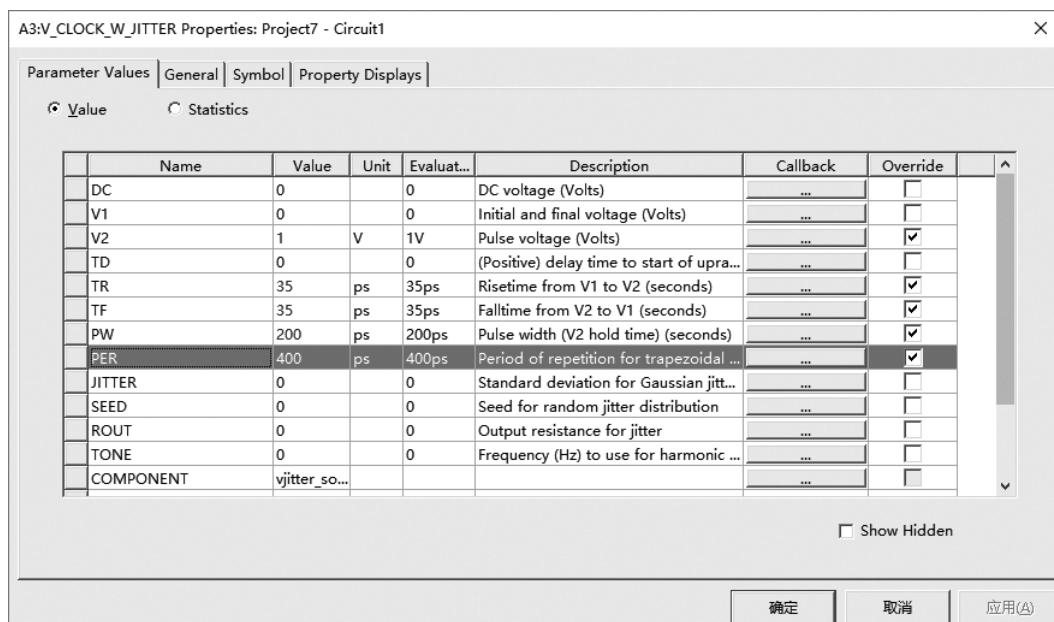


图 7.4.15 修改 V_CLOCK_W_JITTER 元器件属性

- V2: 1V。
- TR/TF: 35ps。
- PW: 200ps。
- PER: 400ps。

(9) 放置电压探针：在 Component Manager 中，展开 Nexxim Circuit Elements 选项，展开 Probes 选项卡，选择“VPROBE”，并拖动其到原理图中，双击放置的元器件，修改其名字为 V_source。

(10) 放置地并连线。选择“Draw”→“Ground”，在图中添加一个地，选择“Draw”→“Wire”，进行连线，如图 7.4.16 所示。

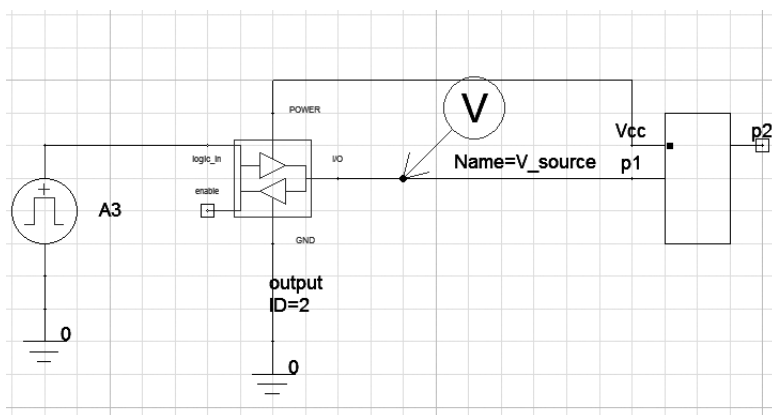


图 7.4.16 搭建仿真电路

(11) 求解设置。为了进行瞬态分析，选择“Circuit”→“Add Nexxim Solution Setup”→“Transient Analysis”，在“Transient Analysis Setup”对话框中，设置 Step 为 0.1ns；Stop 为

40ns, 单击“OK”按钮, 如图 7.4.17 所示。

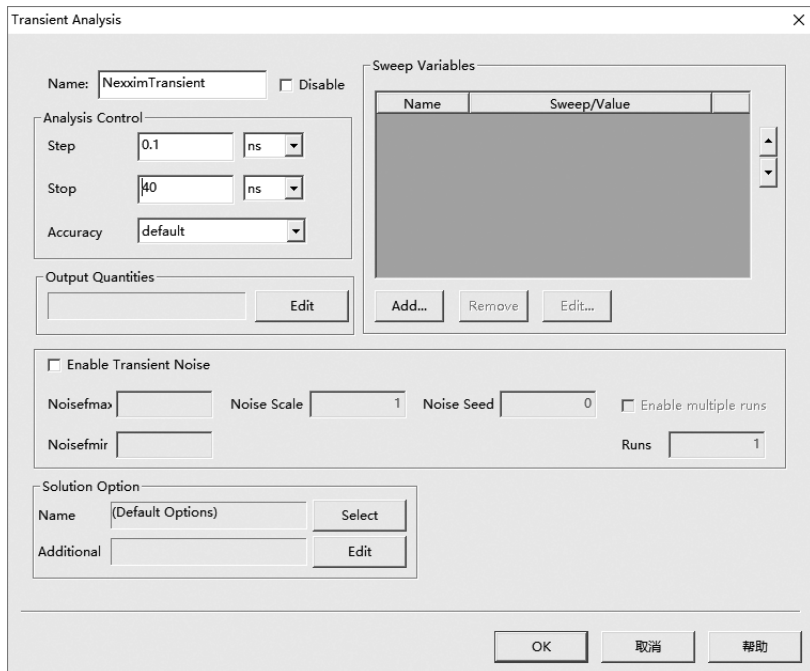


图 7.4.17 设置 Transient Analysis 参数

(12) 查看瞬态仿真结果。选择“Circuit”→“Results”→“Create Standard Report”→“Rectangular Plot”, 在 Report 窗口中, 选择 Category 为 Voltage; Quantity 为 V (V_source); Function 为 <None>; 单击“New Report”按钮, 再单击“Close”按钮, 结果如图 7.4.18 所示。

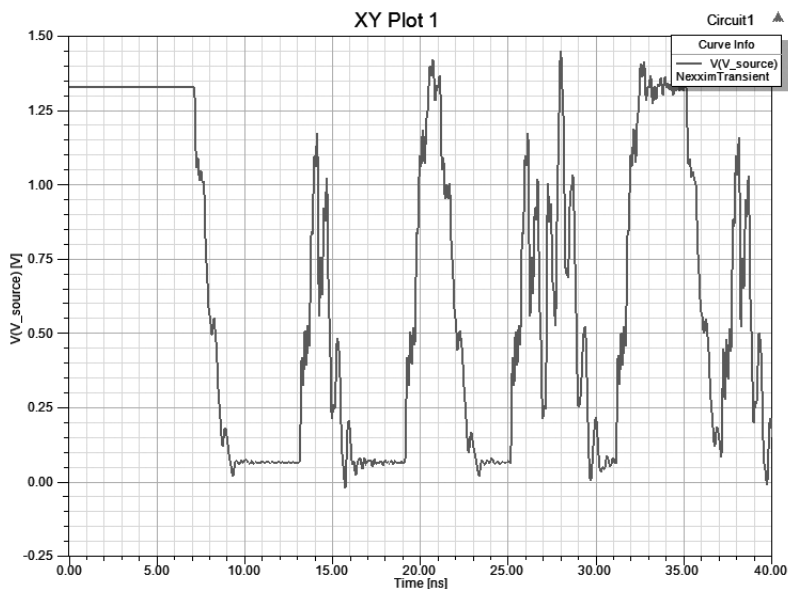


图 7.4.18 瞬态仿真结果

(13) 绘制数字源的频谱。选择“Circuit”→“Results”→“Create Standard Report”→“Rectangular Plot”, 在 Report 窗口中, 选择 Domain 为 Spectral, # of Harmonics (谐波数) 为

300, 单击“Rectangular”, 设置 Window Type (加窗类型) 为 Hamming, 单击“OK”按钮。选择 Category 为 Voltage, Quantity 为 V_source, Function 为 dB, 单击“New Report”按钮, 再单击“Close”按钮, 源的频谱结果如图 7.4.19 所示。

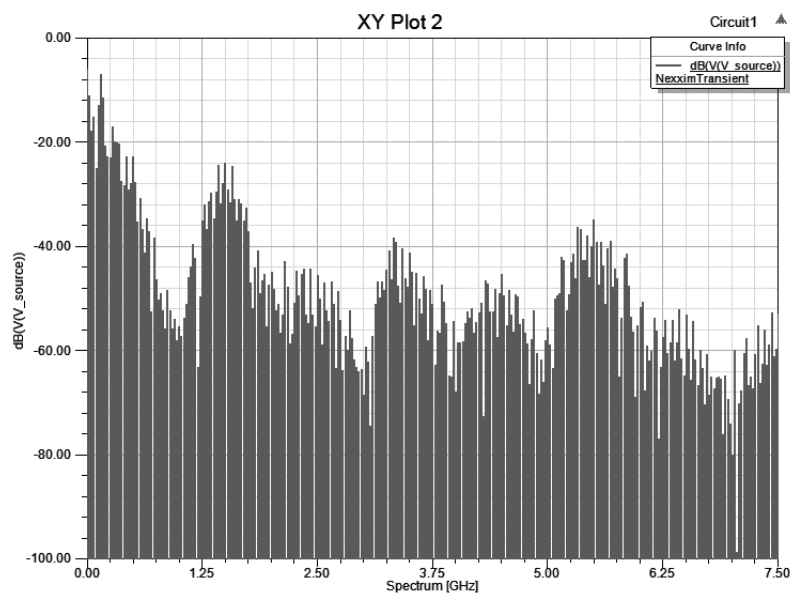


图 7.4.19 数字源的频谱

(14) 右键单击原理图中的 SIwave 元器件, 并选择“Push Excitation”, 在 Push Excitation Information 窗口, 单击“OK”按钮, 如图 7.4.20 所示。

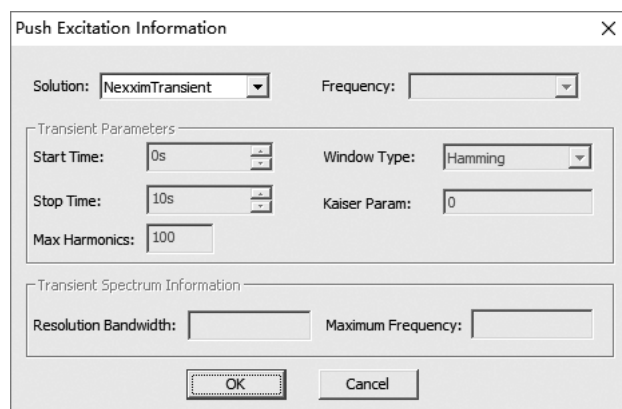


图 7.4.20 设置 Push Excitation Information

3. 在 SIwave 中计算远场

(1) 使用 Push Excitation 后, SIwave 就会自动打开工程。

(2) 选择“Simulation”→“SIwave”→“Compute Far Field...”, 此时, 软件一般会主动选择“Use sources defined in project”, 修改为“Use sources defined in external file”, 选择文件“7_Project_test/noCap. siwaveresults/SI1459343509_NexximTransient_sources. tmp”。设置好仿真的起始和截止频率, 单击“OK”按钮开始仿真, 如图 7.4.21 所示。

4. 绘制远场的仿真结果

(1) 选择“Results”→“SIwave”→“Far Field”→“Far Field Sim1”→“Plot Far Field”，在 Far Field Plot Generation 窗口中，选择“Etotal”，单击“Create Plot”，将会在后台运行 SIwave Reporter，单击“Close”按钮。在 Report 中直接显示远场极化图，如图 7.4.22 所示。

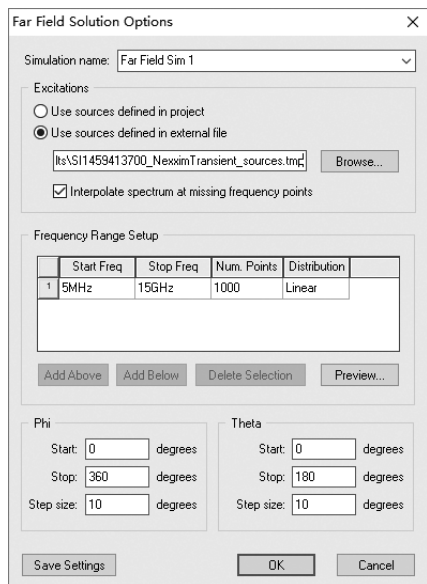


图 7.4.21 仿真设置

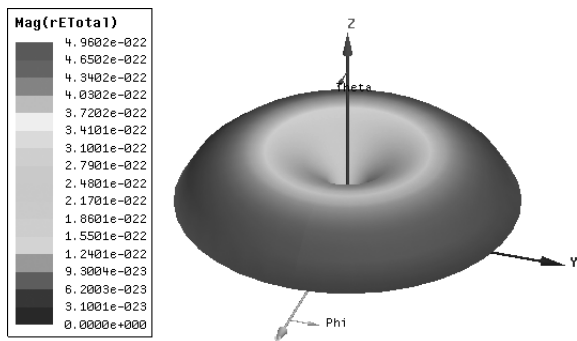


图 7.4.22 远场极化图

(2) 选择“SIwave”→“Results”→“Create Far Field Report”→“Rectangular Plot”，在 Report 窗口中选择 Primary Sweep 为“Freq”；Category 为“Max Far Field Params”；Quantity 为“MaxEtotal”；Function 为“dB”；Y 为“dB(MaxEtotal/3) + 120”（将场值转化为 3m 处、单位为 dBμV/m 的值），单击“New Report”按钮，再单击“Close”按钮，结果如图 7.4.23 所示。

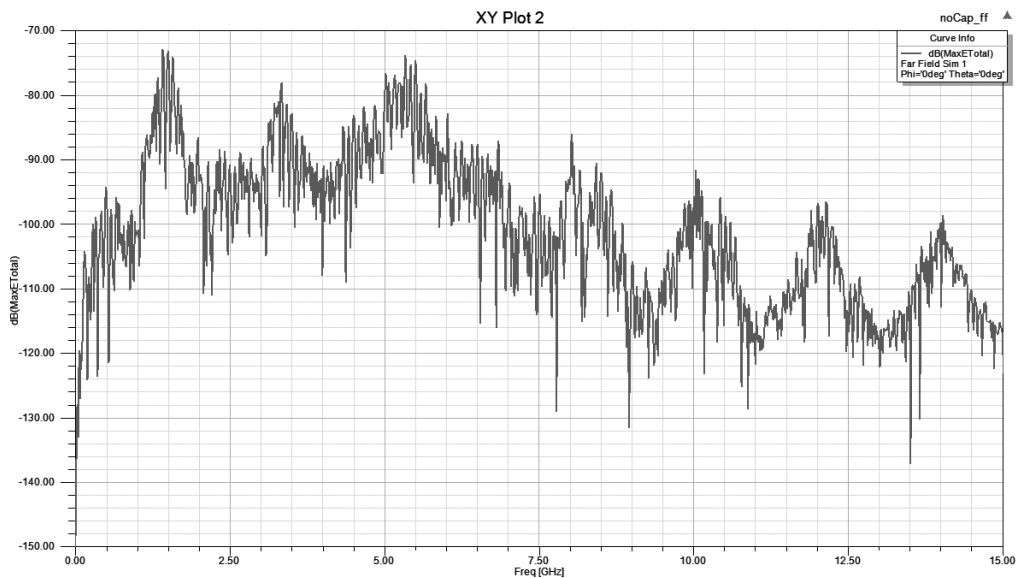


图 7.4.23 3m 远场辐射曲线

5. 计算近场

在 SIwave 中选择“Simulation”→“SIwave”→“Compute Near Field”，并进行仿真起始频率、截止频率及采样点数的设置，如图 7.4.24 所示。

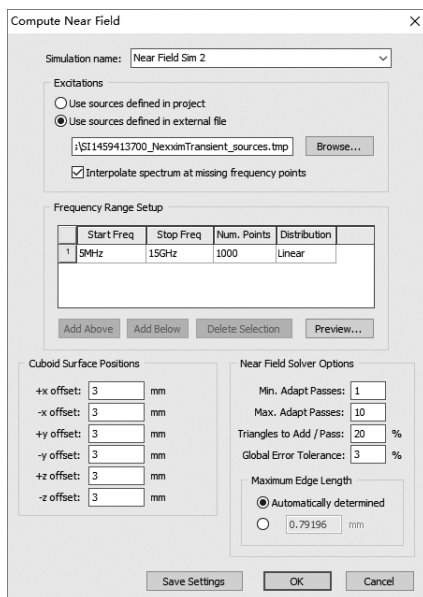


图 7.4.24 近场仿真设置

绘制近场的辐射结果。当仿真完成后，单击“Results”→“SIwave”→“Near Field”→“Near Field Sim1”→“Plot Fields”，单击“Close”按钮退出 Near Field Sweep 窗口，近场的仿真结果如图 7.4.25 所示，仿真结果会弹出一个窗口让用户选择 |E| 或 |H| 模式。

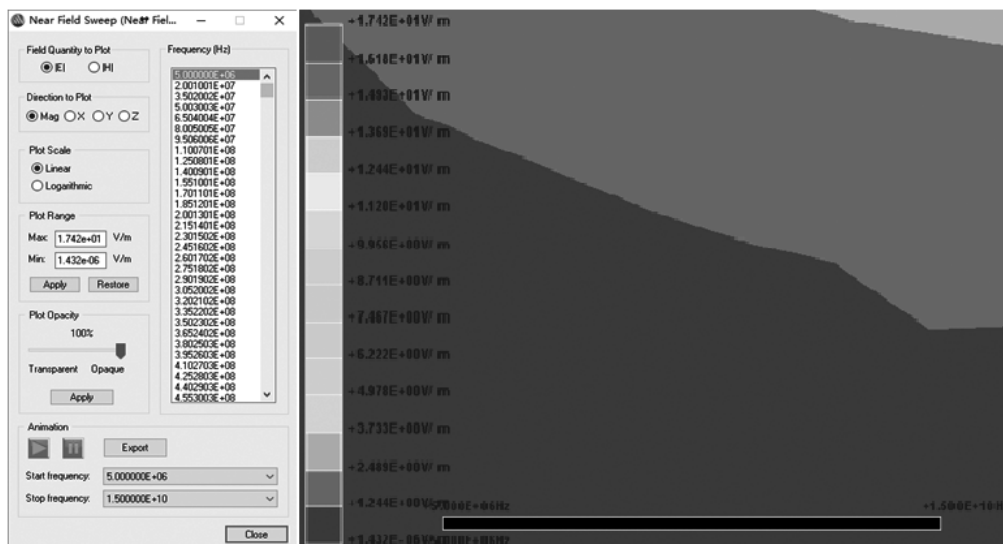


图 7.4.25 近场辐射图

7.5 本章小结

首先，本章介绍了辐射原理，对共模辐射和差模辐射的产生原理进行了详细的介绍。其次，使用 SIwave 和 Designer 协同工作来进行远、近场辐射的分析。仿真总共分了 3 个部分：SIwave——计算端口在信号线、电源和地的 S 参数模型；Designer——进行全电路的瞬态仿真，并且使用 Pus 和 excitations 将时域波形变为频率源；SIwave——使用新的频率源计算远、近场响应。通过这 3 个步骤，熟悉辐射的分析方法，对得到的远、近场仿真结果进行分析，从而得到全电路的辐射情况。

第 8 章 信号完整性问题的场路协同仿真

ANSYS 软件可用于各种完整性问题的整个仿真流程。例如，Q3D 可以用来对 PCB 进行准静态寄生参数的提取，得到 RLCG 矩阵；HFSS 可以采用全波有限元求解技术，可以得到频域 S 参数，并输出 SPICE 模型；SIwave 采用混合全波有限技术，可以进行布线前和布线后仿真，尤其是解决整板和封装问题，如 ΔI 噪声、谐振频率等。Q3D、HFSS 和 SIwave 的仿真结果可以作为子电路导入 Designer 中进行系统仿真。此外，测试与仿真可以进行协同设计，测试数据也可以导入 Designer 中进行整体系统性能评估。

协同仿真主要包括三方面的内容：第一，电路与电磁场的协同；第二，电磁场与电路的协同；第三，电磁场与电磁场的协同。其中，第一种指的是电路仿真软件 Designer 中可以模拟更复杂的激励类型，并使用 Push Excitation 推送激励到场仿真软件 HFSS 或 SIwave 中，或是作为场仿真的链接外场源；第二种指的是 HFSS、SIwave、PlanarEM 或 Q3D 模型可以嵌入 Designer 中，进行按需求解；第三种指的是仿真软件 HFSS 与 SIwave 的协同仿真，常用在背板、机箱的设计中。

8.1 SMA 串行通道仿真

8.1.1 Stratix V GX 信号完整性开发板简介

本章以 SMA 高速互联通道的仿真为例，介绍 ANSYS 在信号完整性设计中的协同仿真。本次仿真所用到的电路板为 ALTERA 公司的信号完整性评估板 StratixV GX。StratixV GX 搭载 5SGXEA7N2F40C2N FPGA 芯片，能够通过调节其预加重等参数实现对高速通道的优化，ALTERA 为其设计的上位机软件，方便我们在测试时发送 PRBS 伪随机码来完成信号完整性测试。该评估板上有多个速率高达 12.5Gb/s 的高速接口，如 SMA 连接器、SFP+、XFP 及 Molex 背板连接器等，如图 8.1.1 所示。为了更好地说明问题，选用该 PCB 上使用最多的、具有代表性的 SMA 通道来探讨信号完整性问题。

StratixV GX 开发板为 20 层的层叠结构，每层厚度的介质损耗如图 8.1.2 所示。

一个链路包括所有的电路互联结构，一般从芯片信号发送端开始，在信号接收端结束。若整个链路被视为一个无损的传输线，信号完整性的问题将不存在。事实上，链路一般都是由一些不同结构的导体组成的，如图 8.1.3 所示，该链路从一个传输芯片开始，穿过芯片的微凸块、封装基质、BGA 引脚、过孔、微带线或者带状线，结束于接收芯片。由于该链路存在许多非理想因素，如信号封装、PCB 基质、阻抗变化、串扰耦合等都会产生与频率有关的损耗，将会使信号在幅值和时序上产生失真。

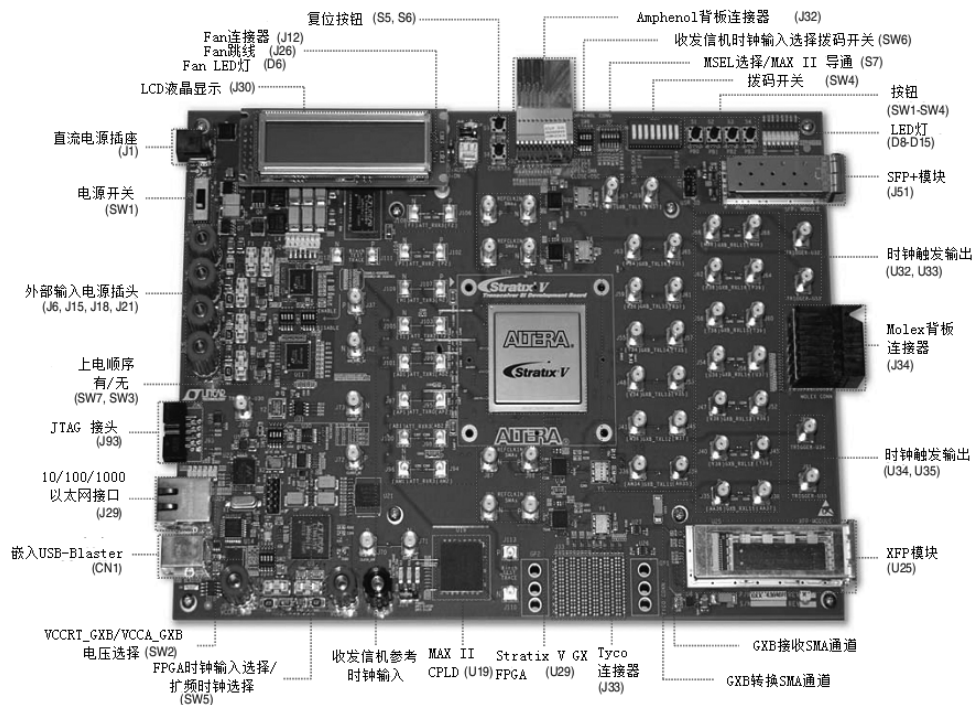


图 8.1.1 StratixV GX 信号完整性评估板示意图

层数	层厚度	层叠机构	层叠描述	介质常数/损耗
Layer - 1	0.0005 0.0020		Taiyo 4000-MP 1/2oz Sig (Std Plt)	4.71 / 0.0330
Layer - 2	0.0040	0.0040 (1-2116)	N4000-13EP-SI 1/2oz P/G	3.29 / 0.0080
Layer - 3	0.0006 0.0028	1080	N4000-13EP-SI 1/2oz P/G	3.15 / 0.0080
Layer - 4	0.0006 0.0040	0.0040 (1-2116)	N4000-13EP-SI 1/2oz Sig	3.29 / 0.0080
	0.0006	2116	N4000-13EP-SI	3.20 / 0.0080
Layer - 5	0.0006 0.0040	0.0040 (1-2116)	1/2oz Sig N4000-13EP-SI	3.29 / 0.0080
Layer - 6	0.0006 0.0048	2116	1/2oz P/G N4000-13EP-SI	3.20 / 0.0080
Layer - 7	0.0006 0.0120	0.0120 (3-2116)	1/2oz Sig N4000-13EP-SI	3.29 / 0.0080
Layer - 8	0.0006 0.0046	2116	1/2oz Sig N4000-13EP-SI	3.20 / 0.0080
Layer - 9	0.0006 0.0030	0.0030 (1-1080)	1/2oz P/G N4000-13EP-SI	3.17 / 0.0080
Layer - 10	0.0006 0.0037	2113	1/2oz P/G N4000-13EP-SI	4.22 / 0.0080
Layer - 11	0.0006 0.0030	0.0030 (1-1080)	1/2oz P/G N4000-13EP-SI	3.17 / 0.0080
Layer - 12	0.0006 0.0046	2116	1/2oz P/G N4000-13EP-SI	3.20 / 0.0080
Layer - 13	0.0006 0.0120	0.0120 (3-2116)	1/2oz Sig N4000-13EP-SI	3.29 / 0.0080
Layer - 14	0.0006 0.0046	2116	1/2oz Sig N4000-13EP-SI	3.20 / 0.0080
Layer - 15	0.0006 0.0040	0.0040 (1-2116)	1/2oz P/G N4000-13EP-SI	3.29 / 0.0080
Layer - 16	0.0006 0.0095	2116	1/2oz Sig N4000-13EP-SI	3.20 / 0.0080
Layer - 17	0.0006 0.0040	0.0040 (1-2116)	1/2oz Sig N4000-13EP-SI	3.29 / 0.0080
Layer - 18	0.0006 0.0028	1080	1/2oz P/G N4000-13EP-SI	3.15 / 0.0080
Layer - 19	0.0006 0.0040	0.0040 (1-2116)	1/2oz P/G N4000-13EP-SI	3.29 / 0.0080
Layer - 20	0.0020 0.0005		1/2oz Sig (Std Plt) Taiyo 4000-MP	4.71 / 0.0330

图 8.1.2 StratixV GX 评估板的层叠分布

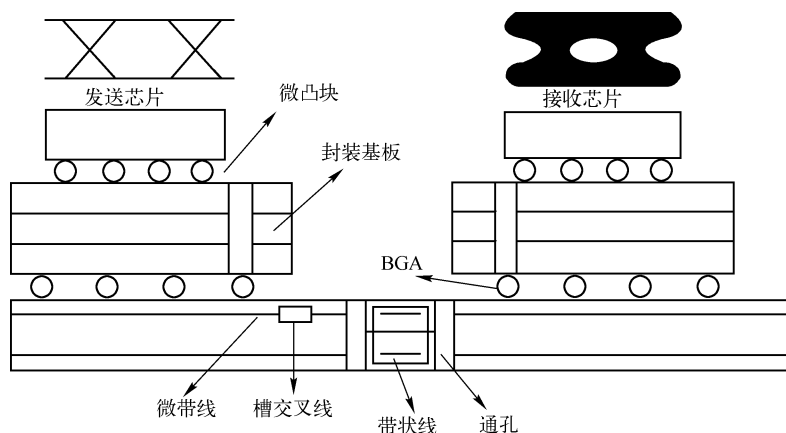


图 8.1.3 完整链路示意图

经过查看 PCB，把 7 对差分 TX SMA 通道确定为研究对象。这 7 对差分线分别为 GXB_TXLP/LN_11 ~ GXB_TXLP/LN_17。其中 GXB_TXLP/LN_12、GXB_TXLP/LN_15、GXB_TXLP/LN_17 从 FPGA 芯片的封装 BGA 引出，以带状线的形式分布在 L16 SIG8 层，再由一个差分过孔引至顶层与 SMA 接口相连；GXB_TXLP/LN_11、GXB_TXLP/LN_13、GXB_TXLP/LN_14、GXB_TXLP/LN_16 从 FPGA 芯片的封装 BGA 引出，以带状线的形式分布在 L17 SIG9 层，再由一个差分过孔引至顶层与 SMA 接口相连。

为了观察完整链路的 S 参数，建立的仿真拓扑如图 8.1.4 所示。在该仿真拓扑中，Driver Buffer 和 Receive Buffer 都来自于 Altera 官方提供的 IBIS 模型，芯片封装（Chip Package）的寄生参数在 IBIS 模型里面已经提供，带状线模型（Differential Stripline Model）、差分过孔（Differential Via）及差分微带线（Differential Microstripline Model）的模型来自于 SIwave，SMA 连接器（SMA Connector）为在 HFSS 中构建的 3D 模型。

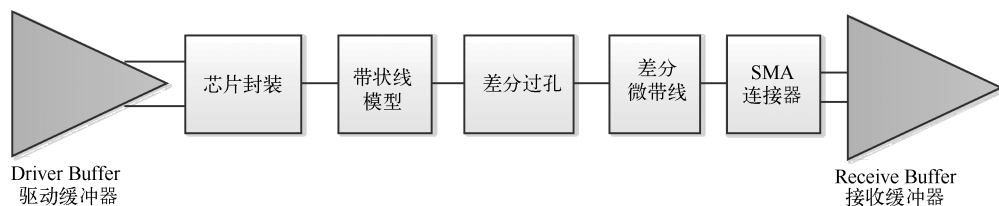


图 8.1.4 反射仿真拓扑

8.1.2 从 Cadence 导入 SIwave

(1) 安装好 ECAD Translator 后会在 Cadence 的 PCB Editor 上出现一个 ANSYS 的菜单栏，如图 8.1.5 所示。

(2) 选择“ANSYS” → “ALinks” → “Launch SIwave with ALinks...”，此时，会自动调用 SIwave。

8.1.3 在 SIwave 中进行 SMA 通道仿真

(1) 修改层叠设置。选择“Edit” → “Layer Stack”，按照 Cadence 中的层叠参数对其重新赋值。

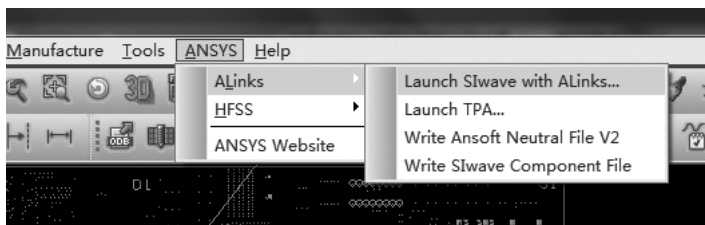


图 8.1.5 Cadence 中直接链接到 SIwave

(2) 执行有效性检查。单击 或者选择 “Tools” → “Validation Check”。

(3) 添加传输线 Port。

- 在 Single Ended Nets 中选择所有添加 “Port” 的网络，本章是 7 对 SMA 差分网络：GXB_TXLP/TXLN_11 ~ GXB_TXLP/TXLN_17。
- 选择 “Circuit Elements” → “Generate on Selected Nets”，单击 “Generate” 按钮创建 Port。
- 修改 Port 的名称。在 Components 栏中选择 “Ports”，单击下面的端口，右键选择 “Edit Circuit Elements”，对其重新命名。一共建立了 28 个 Port。

(4) 增加 S5GX_VCC 电源网络与地之间的 Port。

- 将 S5GX_VCC 电源网络分组。选择 “Tools” → “Pin group Manager”，选中网络为 S5GX_VCC，单击 “*”，单击 “Create Pin Group” 创建组，以同样的方法，创建 GND 网络组，如图 8.1.6 所示。

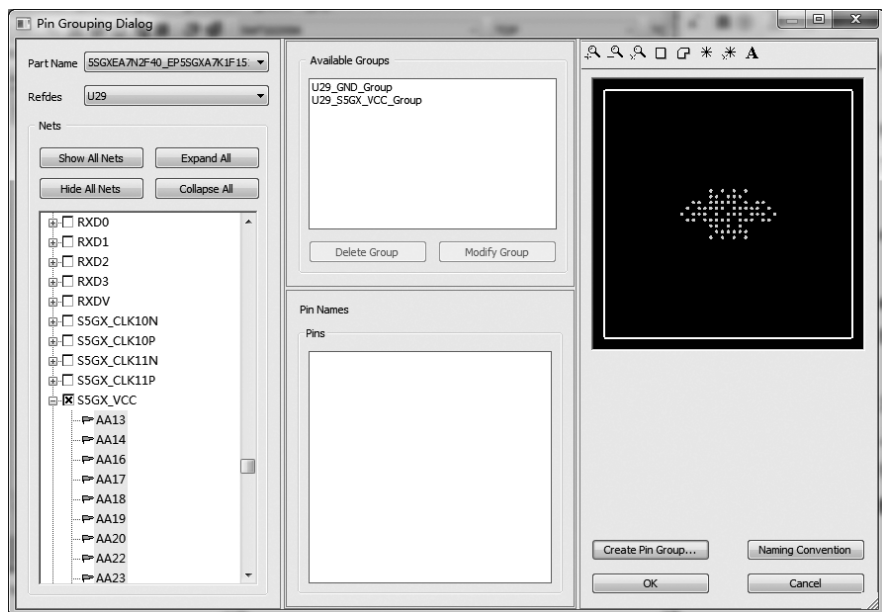


图 8.1.6 管理引脚组

- 自动创建 Port。选择 “Circuit Elements” → “Generate on Components”，如图 8.1.7 所示，自动创建 Port。

(5) 创建 VRM。在 PCB 的 Layer 18 电源层手动放置 Port。单击 或选择 “Circuit Ele-

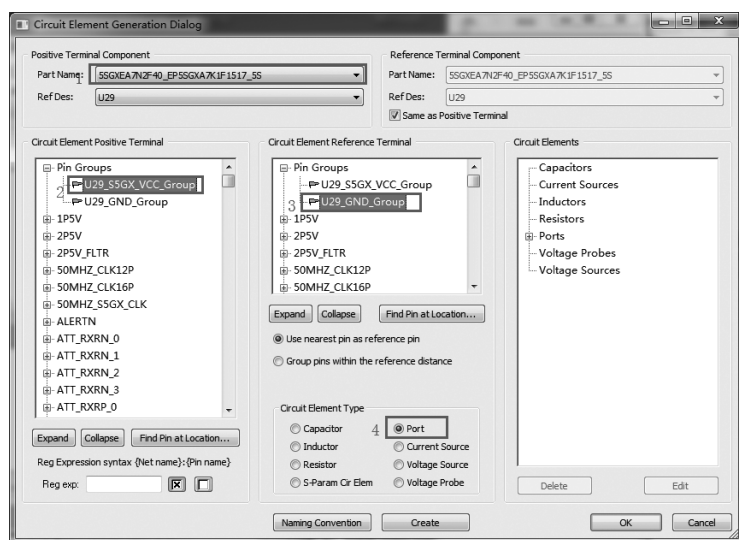


图 8.1.7 创建 Port

ments” → “Port”，在（3100mil，7100mil）处放置 Port 的正端，在（3500mil，7100mil）处放置 Port 的负端。命名该端口的名字为 VRM。

（6）设置仿真参数，开始仿真。设置为分段仿真，选择“simulation” → “SIwave” → “compute SYZ parameters”，勾选“Compute exact DC point”可以增加低频区的仿真精度，如图 8.1.8 所示。

- 起始频率为 5MHz，截止频率为 5MHz，采样点数为 1。
- 起始频率为 5MHz，截止频率为 500MHz，采样点数为 100。
- 起始频率为 500MHz，截止频率为 15GHz，采样点数为 1000。

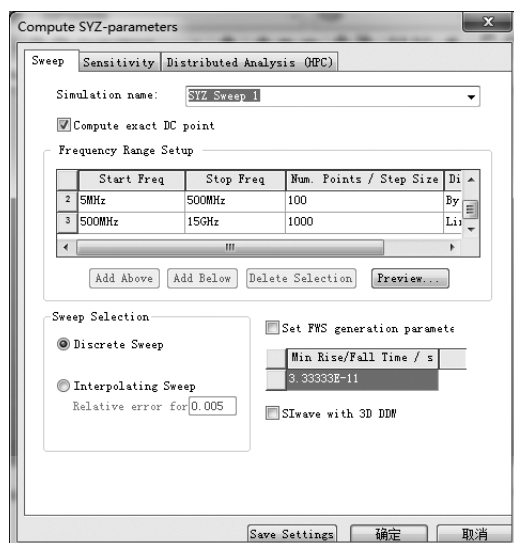


图 8.1.8 仿真设置

（7）查看单端仿真结果。

- 在 Results 中选择“SYZ Sweep1”，双击“SYZ Sweep1”，SIwave 会自动调用 SIwave Reporter。

- 在 Category 中选择“S Parameter”，在 Quantity 中选择“S (1, 1), S (2, 2), ..., S (28, 28)”，在 Function 中选择“dB”，如图 8.1.9 所示。

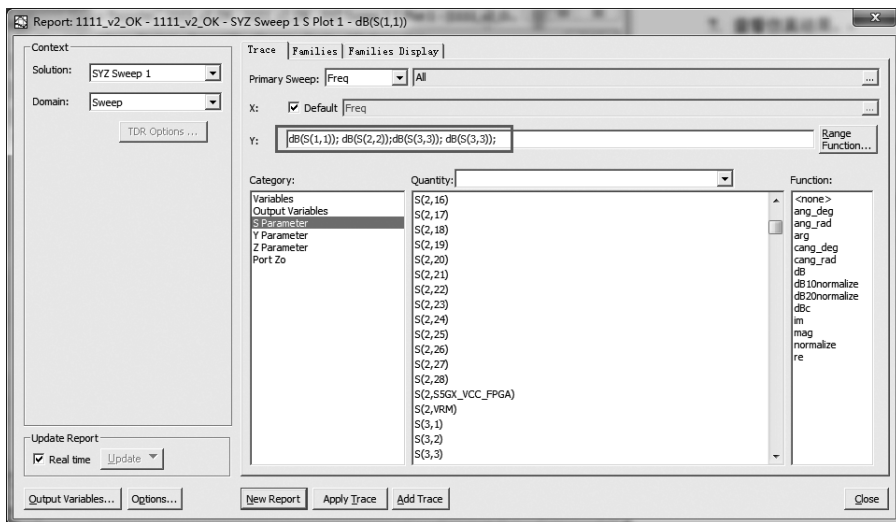


图 8.1.9 查看单端 S 参数

- 单击“New Report”按钮，创建单端回路损耗仿真报告，如图 8.1.10 所示。

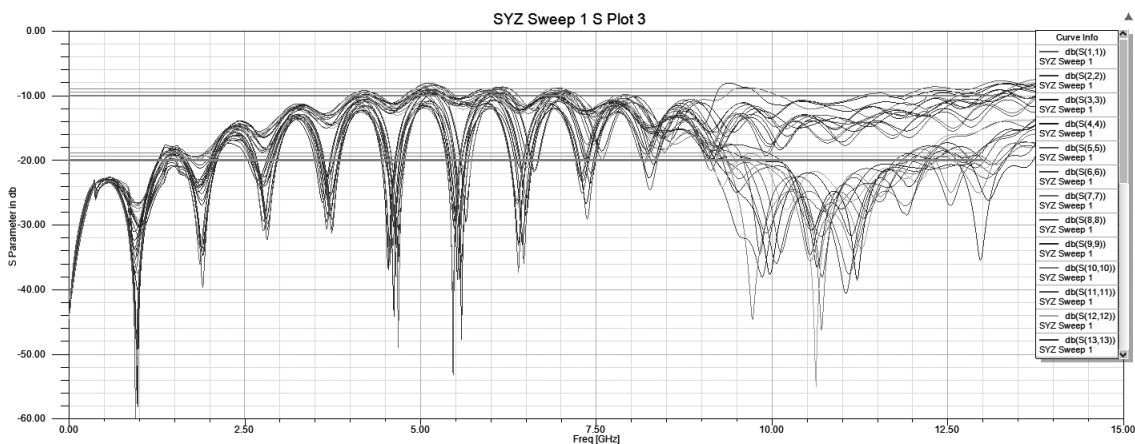


图 8.1.10 单端回路损耗

- 在 Category 中选择“S Parameter”，在 Quantity 中选择“S (1, 2), S (3, 4), ..., S (27, 28)”，在 Function 中选择“dB”。
- 单击“New Report”按钮，创建单端插入损耗仿真报告，如图 8.1.11 所示。

(8) 查看差分仿真结果

① 单击“Differential Nets”，在 Diff. Pair Name 中输入“D1”，选择差分线“GXB_TXLP_11”为“+ Net”，选择“GXB_TXLN_11”为“- Net”。单击“Auto Identify...”按钮，然后单击“OK”按钮完成设置，如图 8.1.12 所示。

② 以此方法建立 D1 ~ D14 差分端口。

③ 右键选中“SYZ Sweep1”，选择“Compute Differential S - parameters”，单击“Compute Diff. S Matrix”计算差分 S 参数，如图 8.1.13 所示。

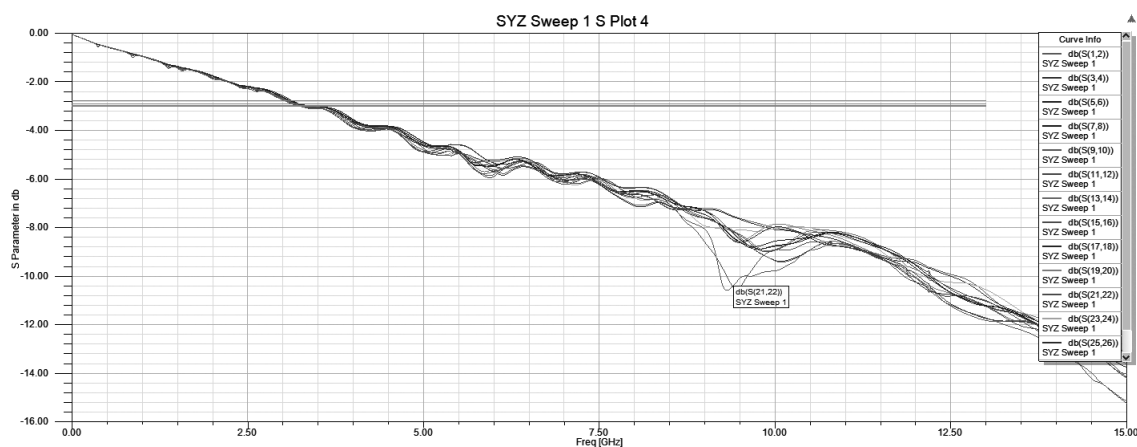


图 8.1.11 单端插入损耗

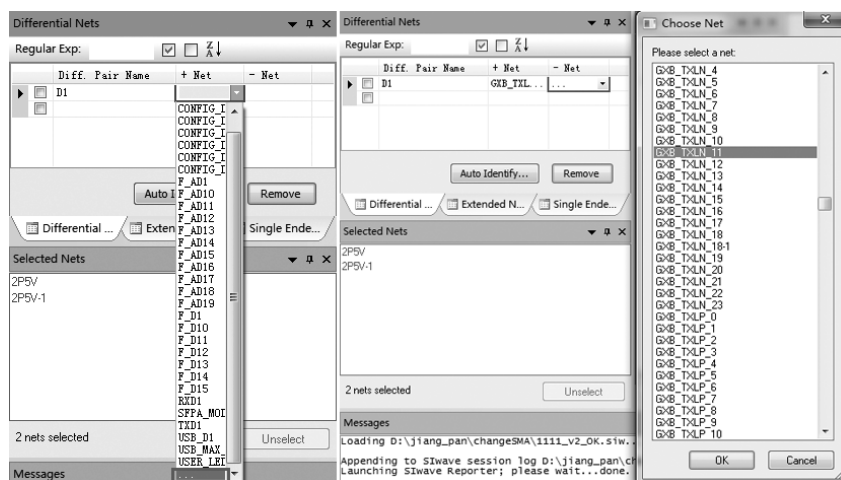


图 8.1.12 建立差分对

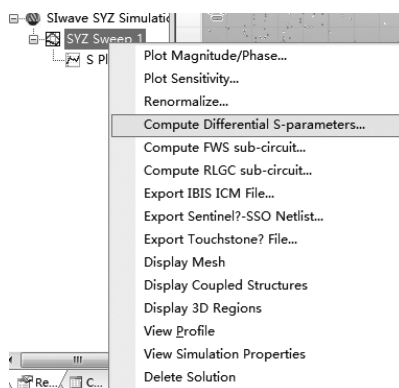


图 8.1.13 计算差分 S 参数

④ 查看差模回路损耗仿真结果。在 Report 窗口中，设置 Solution 为“SYZ Sweep Diff-params”，在 Category 中选择“Terminal S Parameter”，在 Quantity 中选择“S(D1: Diff, D1:

Diff), $S(D2:Diff, D2:Diff)$, ..., $S(D14:Diff, D14:Diff)$ ”, 在 Function 中选择 “dB”。仿真结果如图 8.1.14 所示。

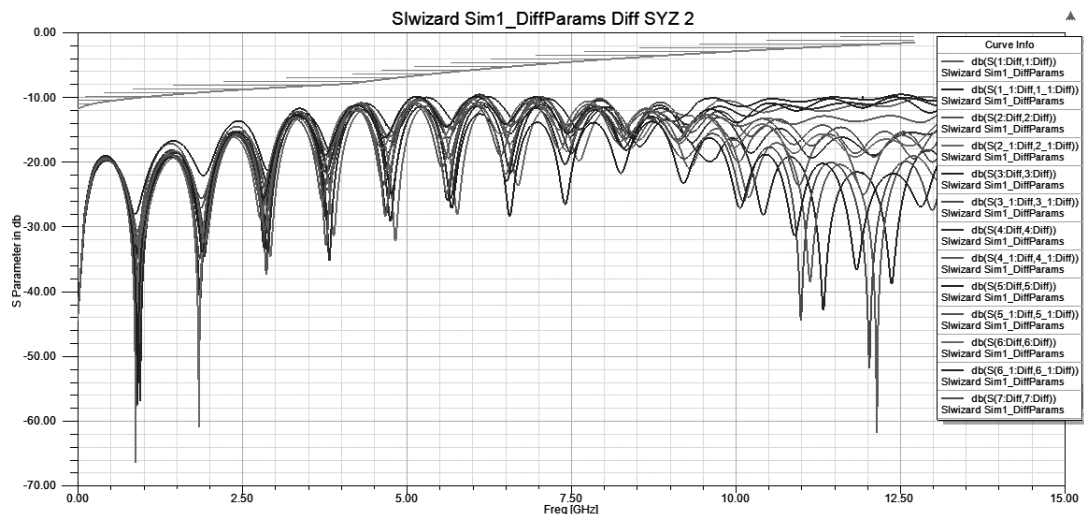


图 8.1.14 差模回路损耗

⑤ 查看共模插入损耗仿真结果。在 Report 窗口中, 设置 Solution 为 “SYZ Sweep Diff-params”, 在 Category 中选择 “Terminal S Parameter”, 在 Quantity 中选择 “ $S(D1:Comm, D1:Comm)$, $S(D2:Comm, D2:Comm)$, ..., $S(D14:Comm, D14:Comm)$ ”, 在 Function 中选择 “dB”, 如图 8.1.15 所示。

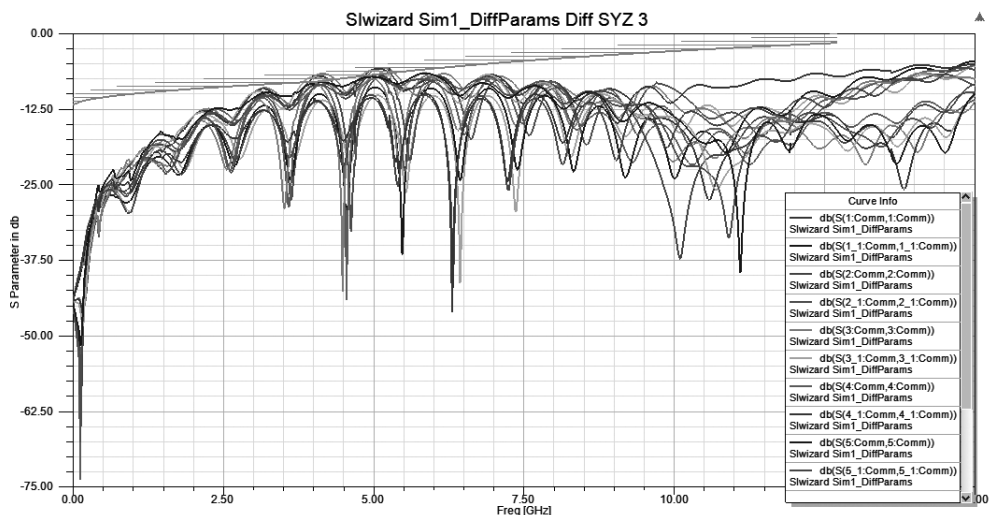


图 8.1.15 共模插入损耗

因为 SMA 通道并没有相应的协议规范, 在评判其性能优劣的时候, 我们通常要求单端插入损耗在截止频率范围内大于 -3dB , 要求回路损耗不超过 -10dB (要求严格时, 不得超过 -20dB); 对于差分参数的规范, 由于 SMA 和 SFP+ 在该板上的截止频率均为 12.5GHz , 且为相同的电平标准, 所以这里借鉴了 SFP+ 的 SFF-8431 协议, 共模和差分 S 参数的上限

和频率相关,其计算如式(8.1.1)~式(8.1.4)所示。图8.1.15中的橘色部分就是根据协议设置的限制线,由图8.1.15可知,从通道上讲,7条SMA通道都没有大的信号完整性问题,单端回损和共模插损与限制区域有部分重叠,但是否真的会引起信号完整性问题,还要进行全通道仿真。

$$\text{SDD} < -12\text{dB}@ (0.01 \sim 2\text{GHz}) \quad (8.1.1)$$

$$\text{SDD} < -6.68 + 12.1 \times \lg(f/5.5) @ (2 \sim 11.1\text{GHz}) \quad (8.1.2)$$

$$\text{SCC} < -7 + 1.6 \times @ (0.01 \sim 2.5\text{GHz}) \quad (8.1.3)$$

$$\text{SCC} < -3\text{dB}@ (2.5 \sim 11.1\text{GHz}) \quad (8.1.4)$$

8.2 SMA 建模

因为SIwave是2.5D的求解器,其对过孔等3D结构也能精确计算,所以本次提取了带状线、过孔、顶层微带线的参数模型。为了建立全通道仿真,我们还要对SMA接口进行建模,建模的参数都来自于厂家的技术数据手册。

8.2.1 PCB的切割

(1) 选择“Tools”→“Clip design”,截取SIwave板上的SMA封装。选择使用“Rectangle”(矩形)切割,在切割时不要关闭Option For Clipping Design窗口,划定好切割区域后单击“Clip”按钮完成切割,如图8.2.1所示。

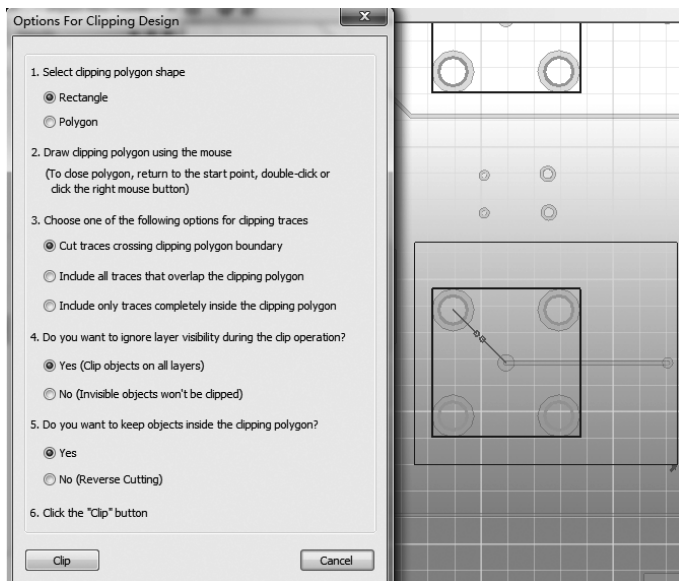


图 8.2.1 切割 PCB

(2) 将切割后的文件另存为 sma_cut. siw 文件。

(3) 执行 Validation Check。

(4) 导入 HFSS。选择“3D Export”→“Export to HFSS 3D...”,将SIwave中的工程导入HFSS中,导入设置如图8.2.2所示。

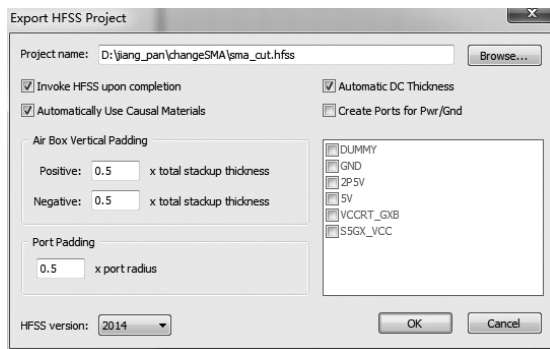


图 8.2.2 输出到 HFSS 设置

(5) 导入 HFSS 中的切割后的 PCB 如图 8.2.3 所示。

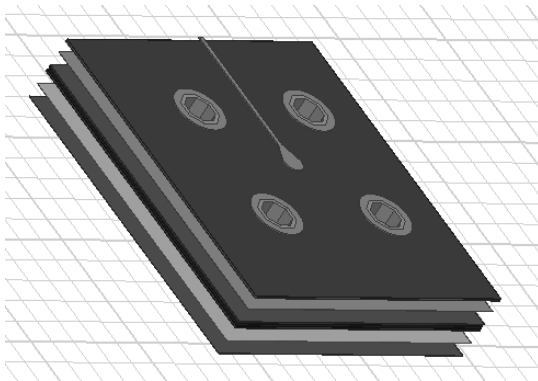


图 8.2.3 输入 HFSS 的结果

8.2.2 建立基座和同轴线缆

(1) 修改绘图坐标。选择“Modeler”→“Coordinate System”→“Create”→“Relative CS”→“offset”，将坐标修改在 TOP 层的一个顶点处，如图 8.2.4 所示。

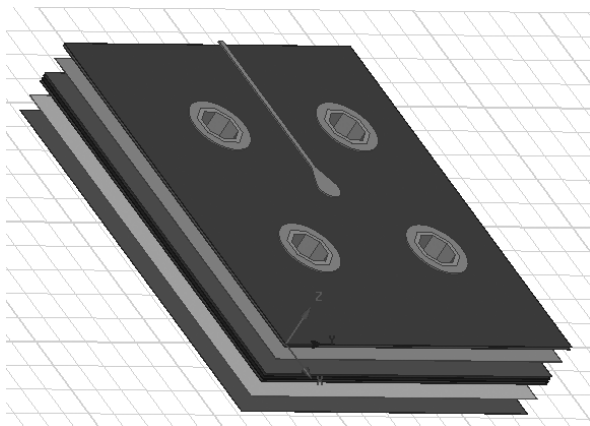


图 8.2.4 切换坐标

(2) 选择“Draw”→“Box”，在绘图区任意绘制一个长方体，右键修改其属性，输入其中心位置为“(-3.6, 2.9, 0.1)”，XSize、YSize 和 ZSize 分别为“-5.7”、“6.5”、“1”。命名该 Box 为“Connect_sub”。

(3) 右键选中“Connect_sub”，选择“Assign Material”→“Add Material”，命名新的材料为“Material1”，修改其相对介电常数为“2.1”，如图 8.2.5 所示。

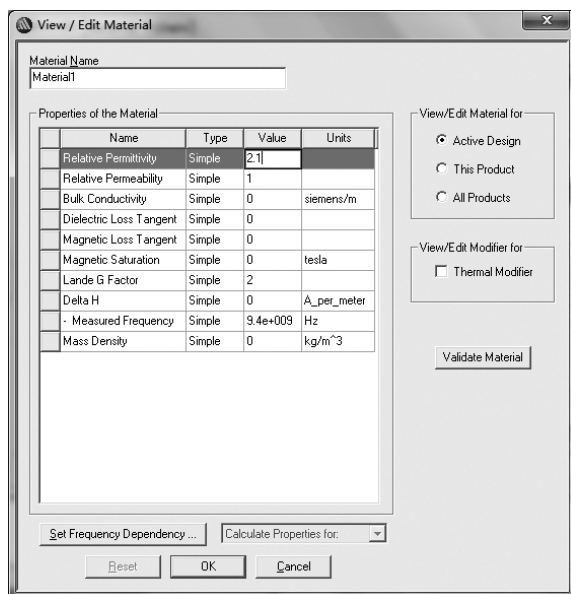


图 8.2.5 添加新材料

(4) 修改绘图坐标。选择“Modeler”→“Coordinate System”→“Create”→“Relative CS”→“offset”，将坐标修改在 TOP 层的一个顶点处。选择“Draw”→“Cylinder”，输入其坐标中心为“(0, 0, 0)”，半径为“2.3mm”，高度为“12mm”，将其作为同轴线缆的外层导体的外侧，命名为“outer”。

(5) 选择“Draw”→“Cylinder”，输入其坐标中心为“(0, 0, 0)”，半径为“2.2mm”，高度为“12mm”，将其作为同轴线缆的外层导体的内侧，命名为“outer_1”。

(6) 选中“outer”和“outer_1”，选择“Modeler”→“Boolean”→“Subtract”，用 outer 减去和 outer_1 重叠的部分，如图 8.2.6 所示。

【注意】 为了对不同的材质加以区分，可以单击几何体，在属性中修改其显示的颜色。

(7) 赋予 outer 材质。右键选中“outer”，选择“Assign Material”，出现 Select Definition 窗口，赋予其材质为“gold”。

(8) 选择“Draw”→“Cylinder”，圆柱体的中心为“(0, 0, 0)”，其半径为“2.2mm”，高度为“12mm”，命名为“outer_tef”。

(9) 选择“Draw”→“Cylinder”，圆柱体的中心为“(0, 0, 0)”，其半径为“0.7mm”，高度为“12mm”，命名为“inner_conduct”。

(10) 选中“outer_tef”和“inner_conduct”，选择“Modeler”→“Boolean”→“Subtract”，用 outer_tef 减去和 inner_conduct 重叠的部分。将其材质赋予为“Teflon”，将绝缘层的颜色变为白色，如图 8.2.7 所示。

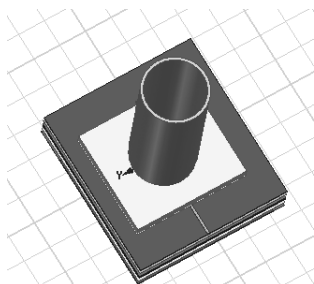


图 8.2.6 绘制同轴电缆外部导体

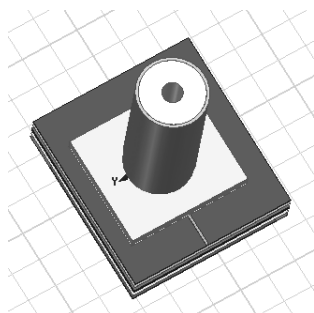


图 8.2.7 绘制绝缘层

8.2.3 添加 Wave Port

(1) 选择“Draw rectangle”，在微带线的截面上画一矩形。为了保证仿真的准确度，该矩形的长为 10 倍的微带线线宽，高度为 8 倍的层间厚度。右键选中该矩形，选择“Assign Excitation” → “Wave Port”，命名该 Port 为“1”，如图 8.2.8 所示。

(2) 选择“Edit” → “Select” → “Face”，单击绝缘层圆柱体，此时会选中其上的一个面，如图 8.2.9 所示。

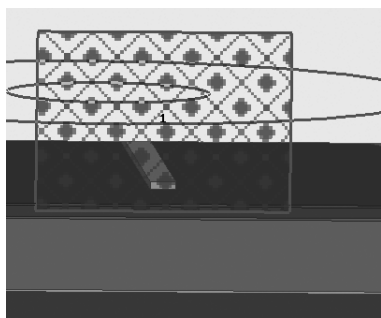


图 8.2.8 添加波端口

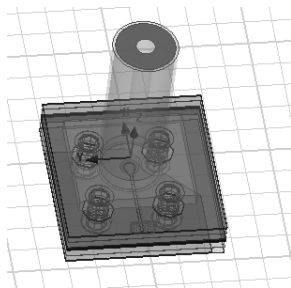


图 8.2.9 添加另一端的一个面

(3) 右键选择“Assign Excitation” → “Wave Port”，命名该 Port 为“2”，如图 8.2.10 所示。

(4) 创建空气盒子 (Air Box)。选择“Draw” → “Box”，中心为“(-6, -6, -1)”，Xsize、Ysize、Zsize 分别为“12.5”、“11.43”、“13”，其高度为“13mm”，命名为“Box2”。

(5) 选择“Draw” → “Box”，中心为“(-6, -6, -1)”，Xsize、Ysize、Zsize 分别为“12.5”、“11.43”、“13”，其高度为“-13mm”，命名为“Box3”。

(6) 合并 Box2 与 Box3。选中“Box2”与“Box3”，选择“Modeler” → “Boolean” → “Unite”，合并 Box2 与 Box3。赋予其材质为 vacuum (真空)，如图 8.2.11 所示。

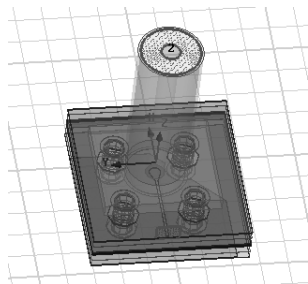


图 8.2.10 添加另一端的波端口

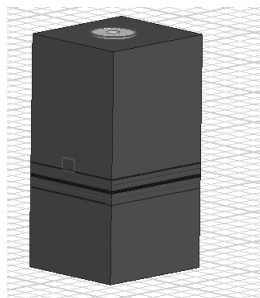


图 8.2.11 绘制 Air Box

8.2.4 仿真设置

- (1) 在 Project 中选择 “Analysis” → “Add Solution Setup”，设置好求解频率。
- (2) 添加扫描频率。右键选择 “Setup1” → “Add Frequency Sweep”，设置扫描方式为 “LinearStep”，扫描起始频率为 “0.1GHz”，扫描终止频率为 “15GHz”，步长为 “0.1GHz”。
- (3) 右键选择 “Sweep” → “Analyze”，开始仿真。

8.2.5 查看仿真结果

- (1) 选择 “Results” → “Create Terminal Solution Data Report” → “Rectangular Plot”。
- (2) 查看 S 参数。在 Category 中选择 “Terminal S Parameter”，在 Quantity 中选择所要的全部端口，在 Function 中选择 “dB”，如图 8.2.12 所示。

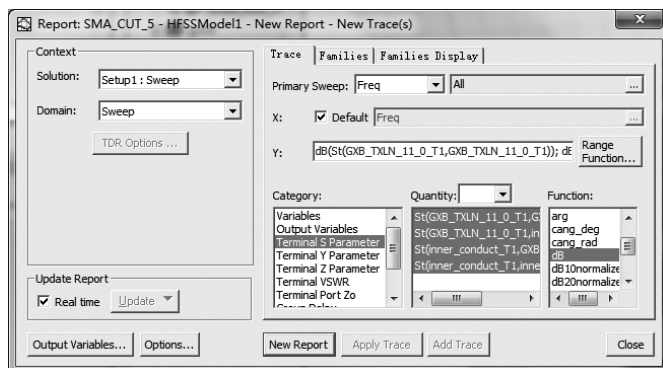


图 8.2.12 查看仿真结果

- (3) 单击 “New Report”，查看仿真报告。可见，其插入损耗和回波损耗在 12.5GHz 以前都能保持优异的传输性能，符合实际情况，仿真结果如图 8.2.13 所示。

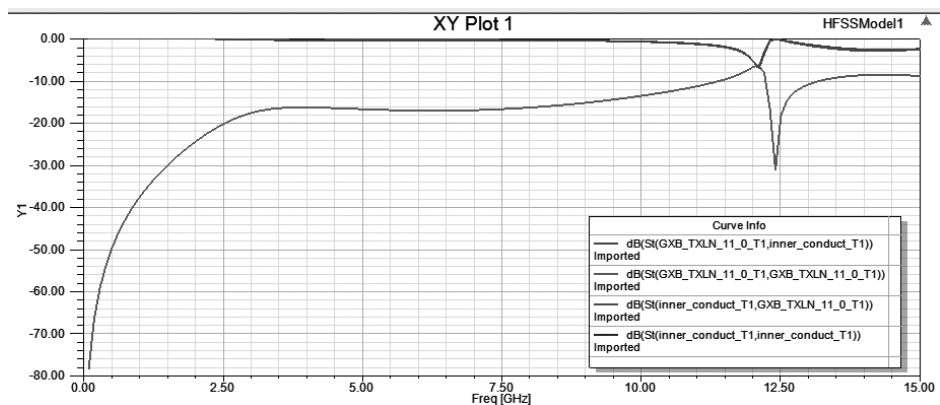


图 8.2.13 插入损耗和回路损耗

- (4) 在 Domain 中选择 “Time” → “TDR Options”，可以设置其上升时间及最大的显示时长，如图 8.2.14 所示。

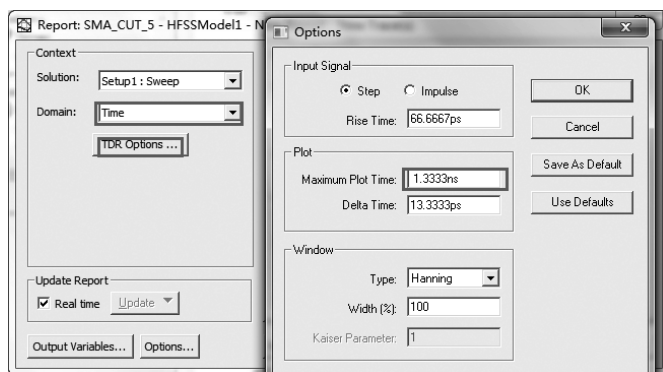


图 8.2.14 查看 TDR 设置

(5) 在 Category 中选择“Terminal TDR Impedance”，在 Quantity 中选择两个端口，在 Function 中选择“None”。单击“New Report”按钮显示 TDR 阻抗曲线，如图 8.2.15 所示。



图 8.2.15 TDR 仿真结果

8.3 Designer 对整个高速互连通道进行系统级仿真

参考 Altera 公司提供的 5SGXEA7N2F40C2N FPGA RLC 寄生参数，修改官方提供的 ibs 模型的寄生参数值。在 Designer 中导入各个仿真器件的 Siwave 或 HFSS 模型，在输入、输出位置添加端口，然后进行电路级仿真。

8.3.1 导入参数模型

(1) 打开 Designer，选择“Project”→“Insert Circuit Design”，新建一个工程。

(2) 选择“Project”→“Add Model”→“Add Nport Model”，添加官方提供的 S 参数模型，如图 8.3.1 所示。

(3) 定义 Model 的名称为“PKG”，输入其路径，选择“Link to file”，如图 8.3.2 所示。

(4) 选择“Project”→“Add Model”→“Add Siwave Model”，添加官方提供的 Siwave 工程文件。输入该模型的名称与来源路径，为了方便后期仿真电路的搭建，要在 Symbol 选项中修改引脚排列顺序。

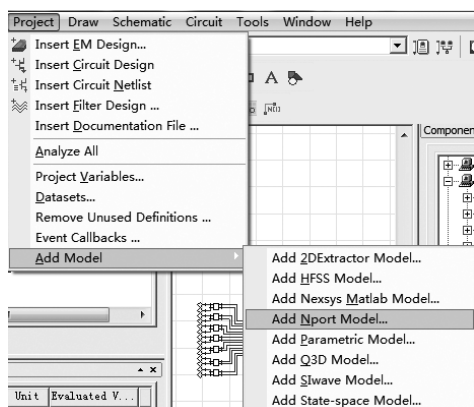


图 8.3.1 导入 S 参数模型

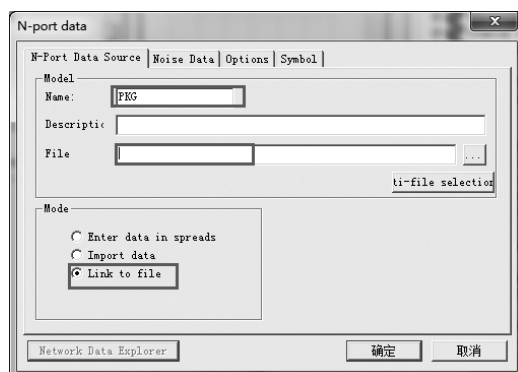


图 8.3.2 导入封装 S 参数模型

(5) 选择“Project”→“Add Model”→“Add HFSS Model”，添加 SMA 模型。

(6) 放置好模型，在 Designer 中完成电路的连接，如图 8.3.3 所示。

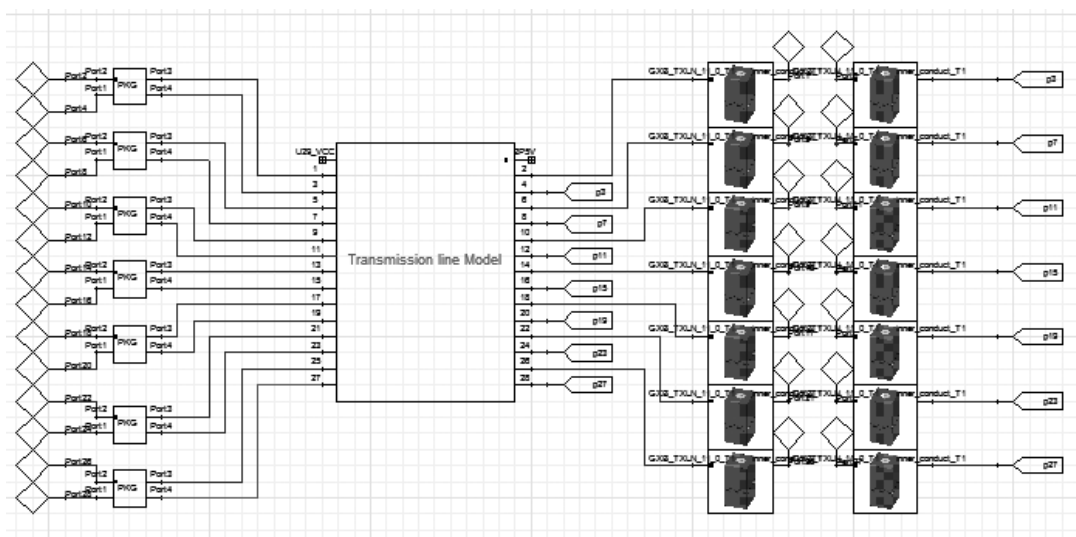


图 8.3.3 Designer 中搭建时域仿真原理图

8.3.2 设置仿真参数和查看仿真结果

(1) 选择“Analysis”→“Add Nexxim Solution Setup”→“Linear Network Analysis”，添加线性网络分析，如图 8.3.4。

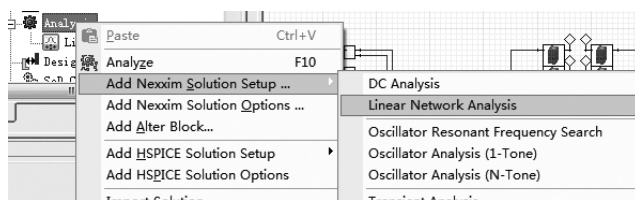


图 8.3.4 设置分析方式

(2) 在 Sweep Variable 中单击“F”，在 Linear Step 中输入起始频率为“0.1GHz”，终止频率为“15GHz”，步长为“0.1GHz”，如图 8.3.5 所示。

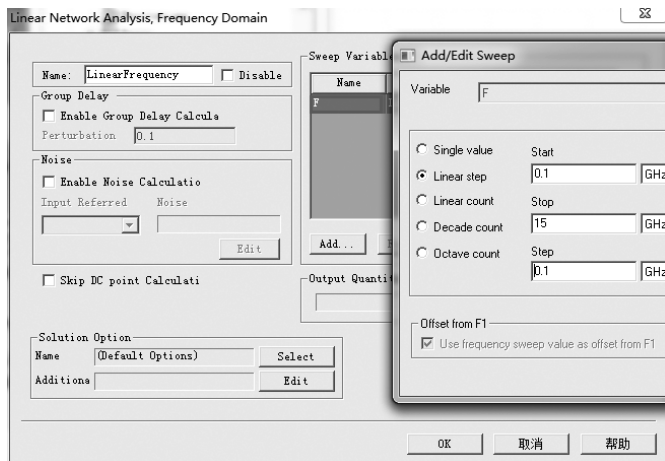


图 8.3.5 设置仿真时长

(3) 右键选中“LinearFrequency” → “Analyze”，开始仿真分析。

(4) 选择“Results” → “Create Standard Report” → “Rectangular Plot”，在 Category 中选择“S Parameter”，在 Quantity 中选择所要所有的端口，在 Function 中选择“dB”，如图 8.3.6 所示。

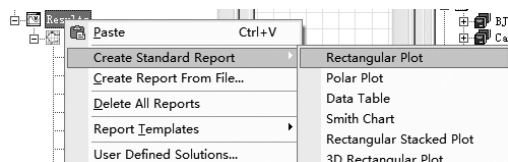


图 8.3.6 创建标准报告

(5) 显示串行通道的单端回路损耗，如图 8.3.7 所示。

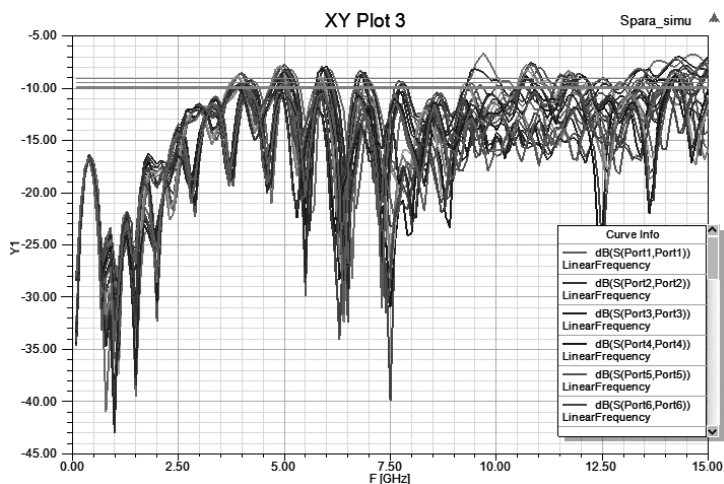


图 8.3.7 创建仿真报告

(6) 定义差分对。在 Project Manager 中右键选中“Ports”→“Differential Pairs”，出现 Differential Pairs 对话框，单击“New pair”按钮定义新的差分对，如图 8.3.8 所示。

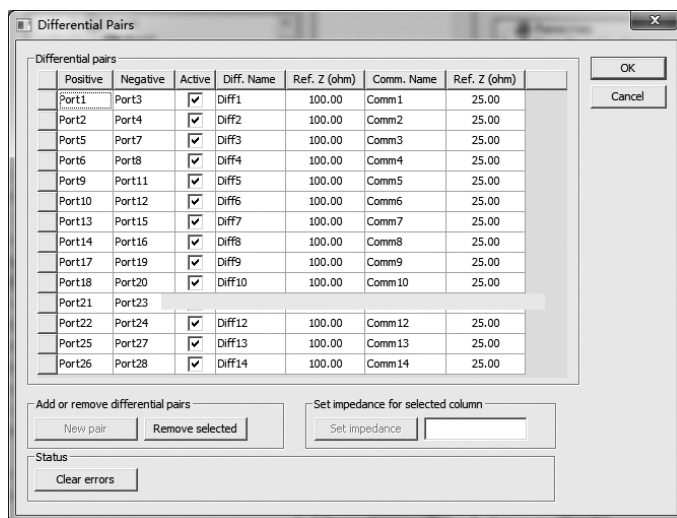


图 8.3.8 定义差分对

(7) 在 Show 中选择“Differential Pairs”，在 Category 中选择“S Parameter”，在 Quantity 中选择“S(Diff1,Diff1), S(Diff2,Diff2), …, S(Diff14,Diff14)”，在 Function 中选择“dB”，如图 8.3.9 所示。

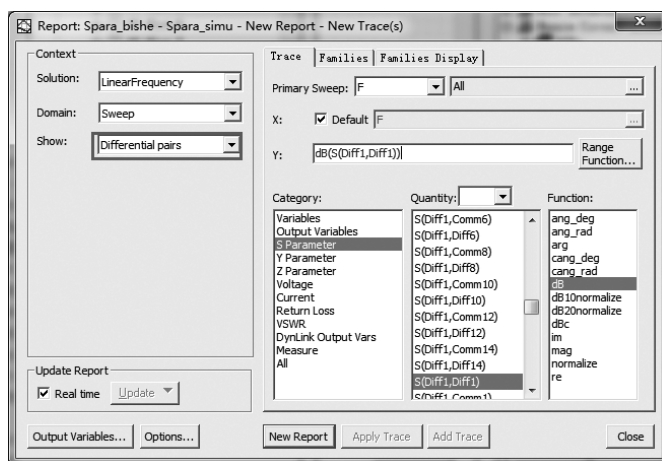


图 8.3.9 查看差分 S 参数设置

(8) 单击“New Report”按钮，显示差模 S 参数，如图 8.3.10 所示。

(9) 在 Show 中选择“Differential Pairs”，在 Category 中选择“S Parameter”，在 Quantity 中选择“S(Comm1,Comm1), S(Comm3,Comm4), …, S(Comm14,Comm14)”，在 Function 中选择“dB”，单击“New Report”按钮，显示差模 S 参数，如图 8.3.11 所示。

图 8.3.11 中的橘色线是根据 SFF-8431 协议添加的限制线，经过全链路仿真，我们可以看出该通道的插入损耗和回路损耗基本都能满足要求，只有部分的频点处会触碰到限制区域。

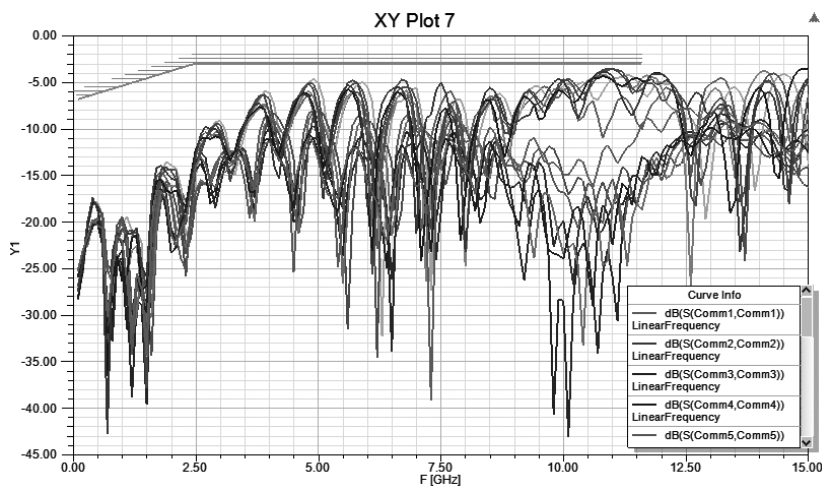


图 8.3.10 差模 S 参数仿真结果

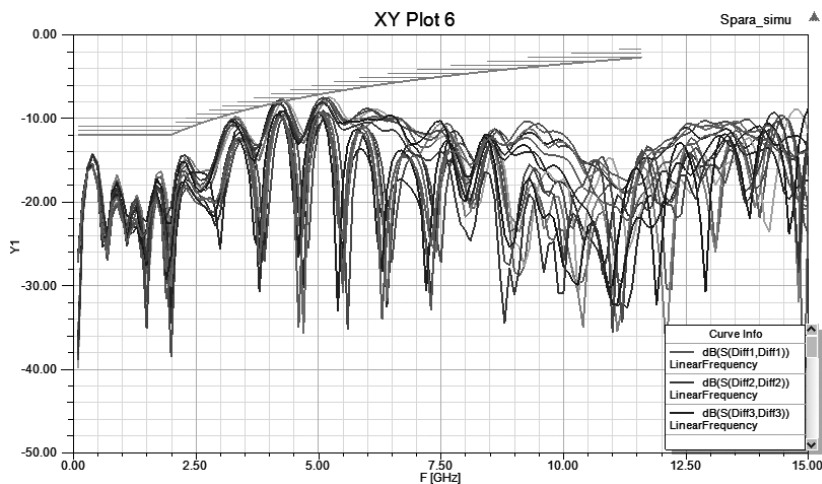


图 8.3.11 共模 S 参数仿真结果

8.3.3 TDR 仿真

TDR (Time Domain Reflectometry) 是通过测量高速信号在传输线上的时域反射状况,来判断传输线阻抗特性的技术。反射波会对驱动端波形造成影响,因此通过入射阶跃信号并观察入射波与反射波的叠加技术,由此计算出互联线上阻抗不连续的特性。TDR 曲线可以反映出传输线上的寄生电容、寄生电感所引起的阻抗不连续性,而且这些寄生效应引起的 TDR 曲线过冲、下冲的波形,可以转换成等效电容、电感或其组合模型,所以 TDR 也可以用来进行相互建模。

(1) 在 Component Manager 中搜索 TDR 源,在 Results 中拖动 TDR_Differential_Ended 到绘图区域,如图 8.3.12 所示。

(2) 双击 TDR 源图标,设置参数如图 8.3.13 所示。

(3) 在 Designer 中搭建仿真电路,如图 8.3.14 所示。

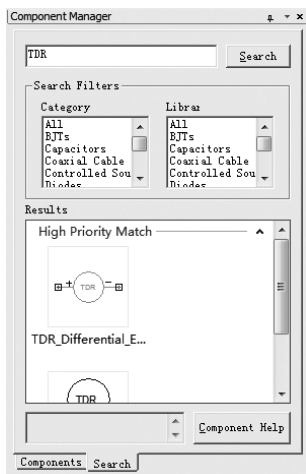


图 8.3.12 搜索 TDR 源

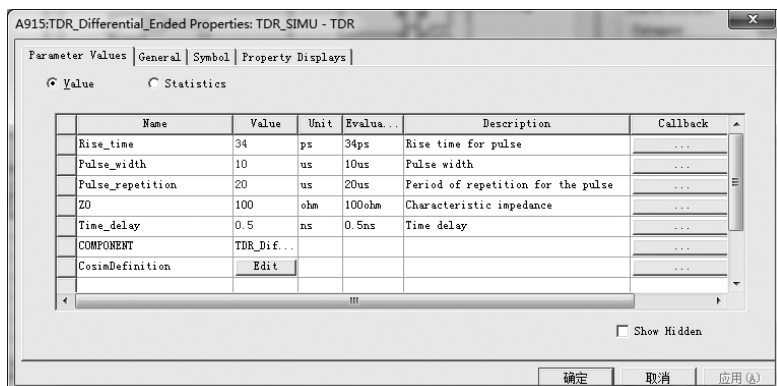


图 8.3.13 设置 TDR 源

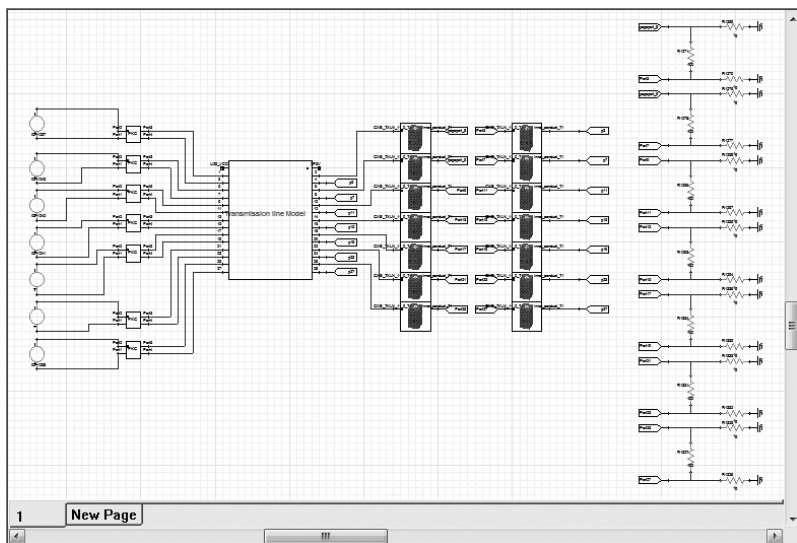


图 8.3.14 搭建仿真电路

(4) 右键选择“Analysis”→“Add Nexxim Solution Setup”→“Transient Analysis”，设置其仿真的步长为“0.1ns”，仿真时长为“10ns”。

(5) 查看仿真结果。右键选择“Results”→“Create Standard Report”→“Rectangular Plot”，在 Category 中选择“Device Properties”，在 Quantity 中选择所有的要查看的目标，在 Function 中选择“< none >”，如图 8.3.15 所示。

(6) 单击“New Report”按钮，生成的单端阻抗及差分阻抗如图 8.3.16 所示。

图 8.3.16 中的曲线，从上到下依次是差分特征阻抗、单端特性阻抗及共模特征阻抗，可以看出三者的趋势几乎一样，差分阻抗和共模阻抗大概成 4 倍的关系。TDR 激励源延时为 0.5ns，一个来回也就是 1ns，1ns 后的容性效应是由于 FPGA 的 BGA 和过孔造成的。对于过孔而言，在开始传输时，容性效应远大于感性效应，所以在开始时，我们只看到 TDR 曲线下凹。在带状线上传输时，单端阻抗维持在 44Ω 左右，在 2.2ns 左右时曲线的变化是由带状线通过过孔转为微带线引起的，由于高频信号的衰减，此处的过孔表现出感性（上凸）

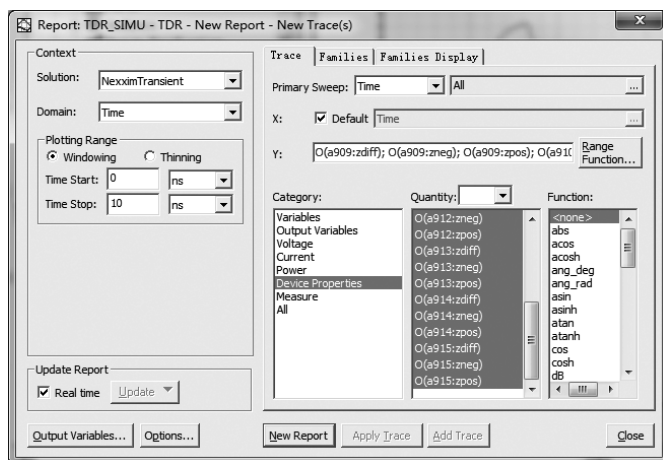


图 8.3.15 查看 TDR 仿真结果设置

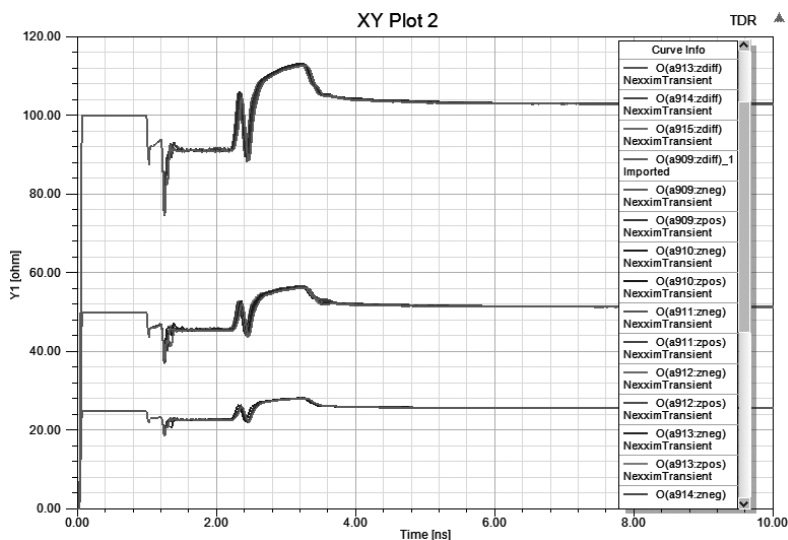


图 8.3.16 全链路 TDR 仿真

和容性（下凹）效应，微带线的阻抗维持在 57Ω 左右（相同宽度的微带线阻抗比带状线高），最后到达负载，阻抗稳定于 50Ω 左右。

8.3.4 时域眼图分析

一般而言，我们在分析链路性能时，会从频域与时域来进行分析，在频域中主要考虑的是 S 参数是否满足，在时域中主要考虑的就是眼图。眼图是对数字信号比特位的叠加显示，因其形似眼睛，所以称为眼图。眼图评估 SI，主要从幅度偏移和时序偏移来考量，信号幅度的偏移称为幅度噪声（简称噪声），包括热噪声、散弹噪声、 $1/f$ 噪声等；信号时间的偏移称为时序抖动，包括随机抖动和确定抖动。眼图的单位为 UI，即 1bit 的时间，其可以同时给出传输的幅度信息（纵轴）和时间信息（横轴）。

眼图可查的参数比较多，如眼高、眼宽、眼幅度等，各个参数的要求如下。

(1) 眼高决定波形的幅值是否达到逻辑阈值的要求，防止出现不稳态。

(2) 眼宽决定了波形可以不受串扰影响而抽样再生的时间间隔。

(3) 眼图斜边的斜率决定了系统对定时抖动的灵敏度，斜率越大对定时抖动越敏感。

眼线的粗细反应了噪声的大小，上、下两阴影区的间隔的一半是噪声容限。SI 要求眼图的眼睛张开度大、噪声低、抖动小。下面将会对 7 对 SMA 通道进行时域眼图分析。

(1) 在 TDR 仿真原理图上，删掉 TDR 源。

(2) 导入 IBIS 模型。选择 “Tools” → “Import IBIS Compents”，导入 IBIS 模型。

(3) 添加差分电压测试探针。在 Component Manager 中选择 “Probes” → “VPROBE_DIFF”，拖入绘制电路的区域中。

(4) 连接各个 Components。搭建的仿真电路如图 8.3.17 所示。

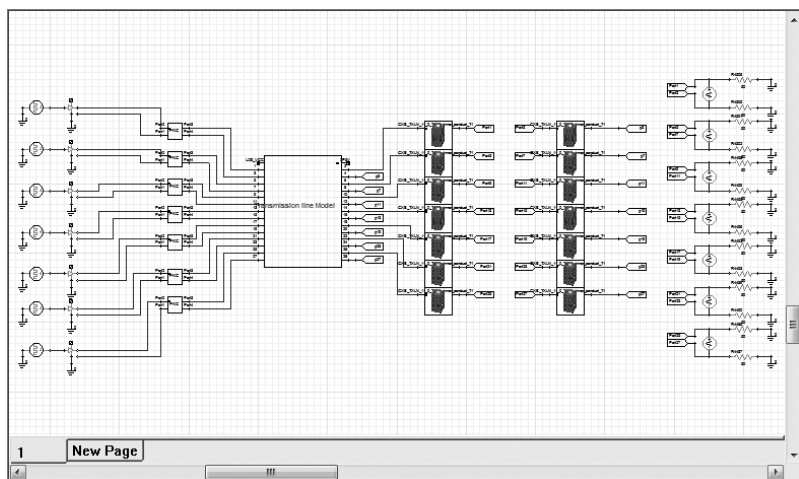


图 8.3.17 全链路时域仿真

(5) 右键选择 “Analysis” → “Add Nexxim Solution Setup” → “Transient Analysis”，设置其仿真的步长为 “0.1ns”，仿真时长为 “50ns”。

(6) 查看仿真结果。选择 “Results” → “Create Eye Diagram Report” → “Rectangular Plot”，按照图 8.3.18 所示进行设置，注意 Unit Interval 必须进行合理的设置，一般设置为 0.35/daterate。

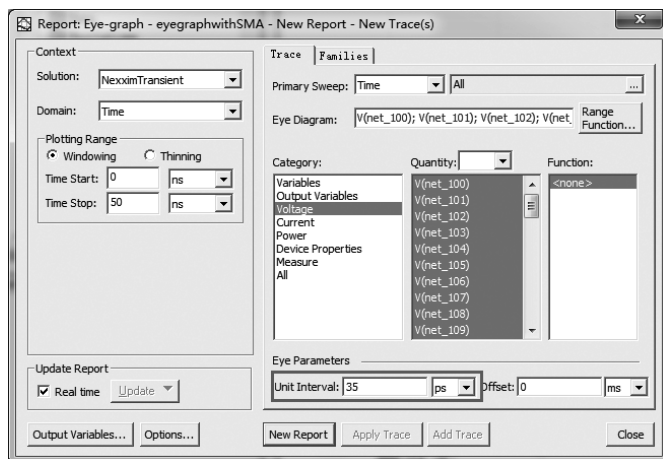


图 8.3.18 设置 UI

(7) 单击“New Report”按钮创建眼图仿真报告，如图 8.3.19 所示。

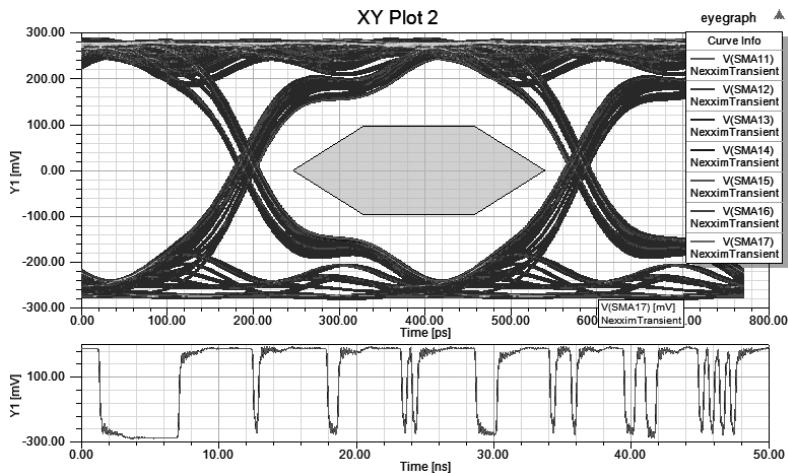


图 8.3.19 眼图仿真结果

(8) 使用 Push Excitation 推送激励。仿真结束后在传输线模型上右键选择“Push Excitation”，其会将时域信息自动进行 FFT 转化，回推至 SIwave 中进行仿真。

(9) 远场仿真。在 Siwave 中，选择“Simulation”→“Compute Far Field”，选择使用“Use sources defined in external file”复选框，指向源的路径（Push Excitation 一般会出现在地址路径中）。注意，仿真的起始频率、截止频率及采样点数都必须和频域仿真时的一样。

(10) 绘制远场辐射结果。选择“Results”→“Far Field”→“Far Field Sim1”→“Plot Far Field”，在 Far Field Plot Generation 窗口中，选择“Etotal”，单击“Create Plot”，将会在后台运行 Siwave Report，单击“Close”按钮。

(11) 选择“SIwave”→“Results”→“Create Far Field Report”→“Rectangular Plot”，在 Report 窗口中，在 Primary Sweep 中选择“Freq”，在 Category 中选择“Max Far Field Params”，在 Quantity 中选择“MaxEtotal”，在 Function 中选择“dB”。Y 为 dB (MaxEtotal) + 120，单击“New Report”按钮，然后单击“Close”按钮，仿真结果如图 8.3.20 所示。

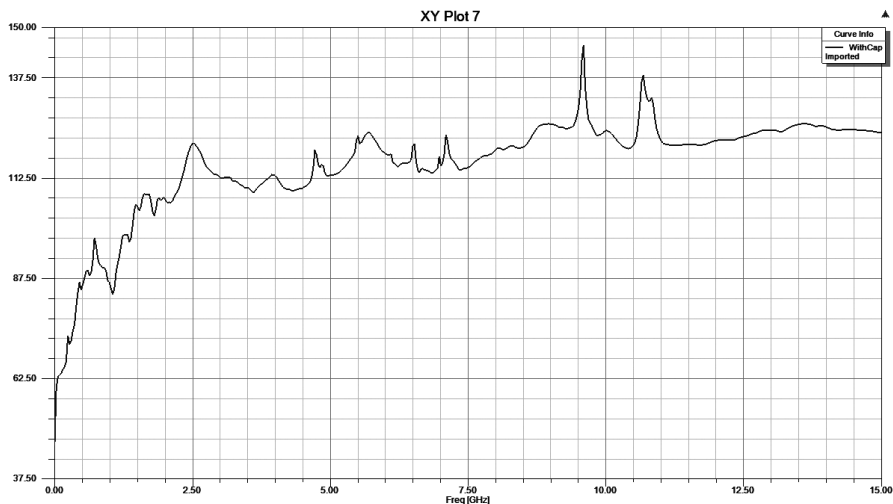


图 8.3.20 3m 远场辐射曲线

总的来说,完整的场路协同仿真必须多个仿真软件之间相互协作才能完成。在 PCB 绘制软件中导出板级设计文件,转换为 SIwave 可以识别 ANF 文件与 CMP 文件,导入后要再对其叠层重新赋值,在关键信号如时钟信号、高速信号等上加上 Port,分别在时域和频域观察参数,看其是否能够满足信号的传输要求,并将时域的一些波动信号通过 FFT 转化,变为频域信号,用于近、远场仿真的源。在 SIwave 中导入频变源(该源已包含板上关键信号的频域信息),对其进行近、远场仿真,若满足辐射要求,则完成高速设计,不满足则要在 PCB 软件中完成修改,再重新仿真,直到满足最后的辐射指标。

8.4 本章小结

首先,本章对信号完整性开发板进行介绍。然后,在 SIwave 中进行 SMA 通道仿真(先将 PCB 从 Cadence 导入 SIwave),包括单端和差分仿真,以此来判断通道信号的完整性。其次,在 HFSS 中对 SMA 进行建模,添加 Wave Port,然后进行仿真。再次,通过 Designer 对高速互连通道进行仿真,其中,首先是全链路仿真,看通道的插入损耗和回路损耗能否满足要求;接着进行 TDR 仿真,通过测量高速信号在传输线上的时域反射状况,来判断传输线阻抗特性;然后是进行时域眼图仿真,来判断出噪声和抖动,以此来提高通道稳定性。最后,是对信号完整性问题的场路协同仿真提出一点建议,希望对读者有些帮助。

参 考 文 献

- [1] 房丽丽. ANSYS 信号完整性分析与仿真实例[M]. 北京: 中国水利水电出版社, 2013.
- [2] 凌桂龙. ANSYS Workbench 15.0 从入门到精通[M]. 北京: 清华大学出版社, 2014.
- [3] 胡仁喜, 张秀辉. ANSYS 14 热力学/电磁学/耦合场分析自学手册[M]. 北京: 人民邮电出版社, 2013.
- [4] L. Ju-hua, Coll, X. Jun-ming. Co-simulation of ANSYS and Pro/E in thermal analysis of HB-LED lamp[C]. Electronics, Communications and Control (ICECC), 2011 International Conference on, 2011.
- [5] X. y. Zhang, Min, T. Zan, J. z. Hu. The Static and Dynamic Analysis of High-speed Electric Spindle Based on ANSYS[C]. Digital Manufacturing and Automation (ICDMA), 2011 Second International Conference on, 2011.
- [6] M. Xie, D. Huang, T. Zhang, L. Lu. Dynamic Analysis of Circuit Boards in ANSYS[C]. Mechatronics and Automation, Proceedings of the 2006 IEEE International Conference on, 2006.

反侵权盗版声明

电子工业出版社依法对本作品享有专有出版权。任何未经权利人书面许可，复制、销售或通过信息网络传播本作品的行为；歪曲、篡改、剽窃本作品的行为，均违反《中华人民共和国著作权法》，其行为人应承担相应的民事责任和行政责任，构成犯罪的，将被依法追究刑事责任。

为了维护市场秩序，保护权利人的合法权益，本社将依法查处和打击侵权盗版的单位和个人。欢迎社会各界人士积极举报侵权盗版行为，本社将奖励举报有功人员，并保证举报人的信息不被泄露。

举报电话：(010) 88254396；(010) 88258888

传 真：(010) 88254397

E-mail: dbqq@phei.com.cn

通信地址：北京市海淀区万寿路173信箱

电子工业出版社总编办公室

邮 编：100036

《基于 ANSYS 的信号和电源完整性设计与分析》

读者调查表

尊敬的读者：

欢迎您参加读者调查活动，对我们的图书提出真诚的意见，您的建议将是我们创造精品的动力源泉。为方便大家，我们提供了两种填写调查表的方式：

1. 您可以登录 <http://yydz.phei.com.cn>，进入“读者调查表”栏目，下载并填好本调查表后反馈给我们。
2. 您可以填写下表后寄给我们（北京市海淀区万寿路 173 信箱电子信息分社 邮编：100036）。

姓名：_____ 性别：☐ 男 ☐ 女 年龄：_____ 职业：_____

电话：_____ 移动电话：_____

传真：_____ E-mail：_____

邮编：_____ 通信地址：_____

1. 影响您购买本书的因素（可多选）：

☐封面、封底 ☐价格 ☐内容简介 ☐前言和目录 ☐正文内容

☐出版物名声 ☐作者名声 ☐书评广告 ☐其他_____

2. 您对本书的满意度：

从技术角度	<input type="checkbox"/> 很满意	<input type="checkbox"/> 比较满意	<input type="checkbox"/> 一般	<input type="checkbox"/> 较不满意	<input type="checkbox"/> 不满意
从文字角度	<input type="checkbox"/> 很满意	<input type="checkbox"/> 比较满意	<input type="checkbox"/> 一般	<input type="checkbox"/> 较不满意	<input type="checkbox"/> 不满意
从版式角度	<input type="checkbox"/> 很满意	<input type="checkbox"/> 比较满意	<input type="checkbox"/> 一般	<input type="checkbox"/> 较不满意	<input type="checkbox"/> 不满意
从封面角度	<input type="checkbox"/> 很满意	<input type="checkbox"/> 比较满意	<input type="checkbox"/> 一般	<input type="checkbox"/> 较不满意	<input type="checkbox"/> 不满意

3. 您最喜欢书中的哪篇（或章、节）？请说明理由。

4. 您最不喜欢书中的哪篇（或章、节）？请说明理由。

5. 您希望本书在哪些方面进行改进？

6. 您感兴趣或希望增加的图书选题有：

邮寄地址：北京市海淀区万寿路 173 信箱电子信息出版分社 张剑 收 邮编：100036

电 话：(010) 88254450 E-mail: zhang@phei.com.cn